

새로운 S/H를 이용한 저전력, 고속 전류모드 파이프라인 CMOS ADC 설계

준희원 최경진*, 이승우*, 정희원 조성익**, 신홍규***

Design of Low-Power, High-Speed Current-Mode Pipelined CMOS ADC Using a New S/H

Kyung-Jin Choi*, Seung-Woo Lee*, Seong-Ik Cho**, Hong-Kyu Shin*** Regular Member

요 약

본 논문에서는 전류모드 S/H와 1.5-비트 비트 셀로 이루어진 전류모드 파이프라인 CMOS ADC를 제안한다. 전 세계적인 ADC의 해상도 향상을 위하여 클럭 피드스루를 제거한 차동구조의 전류 메모리를 이용한 전류모드 S/H를 설계하였고 각 비트 셀 전단에 배치하였다. 제안한 ADC를 구성하는 각 단의 비트 셀은 2개의 래치 비교기를 사용하기 때문에 디지털 교정 로직이 간소화되고 소비전력이 감소된다. 또한 ADC를 구성하는 모든 블록들의 회로는 MOS 트랜지스터로만 설계되었기 때문에 혼성모드 집적화에 유리하다. 제안한 ADC를 현대 0.8 μ m CMOS 파라미터로 HSPICE 시뮬레이션 결과, 20Ms/s에서 100kHz의 입력 신호에 대한 SNR은 43 dB로 7-비트의 해상도를 만족하였고 소비전력은 27mW 이다.

ABSTRACT

In this paper, it is proposed to a new architecture of current-mode pipelined CMOS ADC(Analog-to-Digital Converter) of which consists a current-mode S/H and a 1.5-bit bit cell. In order to guarantee the entire resolution of ADC, the new current-mode S/H using the structure of differential current memory to remove clock feedthrough is designed, which is placed in the front-end of each bit cell. In the proposed ADC, its digital correction logic is simplified and power consumption is reduced because bit cell of each stage needs two latch comparator. Also, it is available for a mixed-mode integrated circuit because all of block is designed with only MOS transistor.

With the HYUNDAI 0.8 μ m CMOS parameter, the HSPICE simulation results show that the proposed ADC can be operated at 20Ms/s with SNR of 43 dB with which is satisfies 7-bit resolution for input signal at 100 kHz, and its power consumption is 27mW

I. 서 론

영상 산업 기술의 급속한 발전과 함께 신호처리 기술은 신뢰성의 증대, 고속, 고해상도 저전압, 저전력을 요구하고 있으며 비용 절감과 성능 향상을 위하여 아날로그/디지털 혼성 모드 VLSI로 발전되는

추세이다. 각종 시스템에서 감지되는 신호는 아날로그 신호이기 때문에 디지털 시스템과 연결시키는 인터페이스(interface) 회로인 고성능 ADC가 필수적으로 요구된다. 고속처리를 위하여 일반적으로 높은 변환속도를 얻을 수 있는 전압모드(voltage-mode) 병렬 ADC를 이용하지만 고해상도를 얻기 위해서는 칩 면적이 기하학적으로 증대하므로 소비전력이 증

* 원광대학교 전자공학과(hogkyu@203.249.48.20)

** 현대 전자 Memory 연구소

논문번호 : 98436-1007, 접수일자 : 1998년 10월 7일

* 이 논문은 1997년도 한국학술진흥재단 학술연구조성비에 의하여 지원되었음(과제번호 : 1997-002-E00188)

기하는 단점이 있다. 이러한 문제점을 해결하기 위하여 파이프라인 CMOS ADC가 보고되고 있다.^{[1]-[4]}

그러나 파이프라인 ADC 경우 중간이득을 위하여 SC(Switched-Capacitor) 기법이 이용 되고 선형 커패시터를 구현하기 위해서는 추가적인 공정 단계가 필요하다. 최근에는 전압모드 방식 ADC가 갖는 문제점을 해결하기 위하여 기존의 신호처리 방식과 상이하게 전류로 신호를 처리할 수 있는 전류모드(current-mode) 방식의 ADC가 발표되었다.^{[5-12][14-15]}

전류모드 방식은 저전압 동작과 선형 커패시터가 불필요하므로 저항과 커패시터의 정합에 종속되지 않는다는 이점이 있다. 그러나 이미 발표된 전류모드 ADC들은 전압모드 ADC에 비하여 소비전력과 칩 면적에 있어 우수성을 갖고 있으나 변환속도가 느리며^[9,10] 속도를 향상시키기 위해서 BiCMOS 공정으로 구현된 ADC도 있으나 혼성모드 시스템에서는 부적합하다.^[11,12]

본 논문에서는 현대 0.8 μ m CMOS 파라미터를 사용하여 기존의 전류모드 ADC보다 속도를 향상시키고 소비전력이 감소된 ADC를 설계하기 위하여 MOS 트랜지스터로만 설계된 새로운 고정밀(high precision) 전류모드 S/H와 전류모드 전류 비교기로 구성된 1.5-비트 비트 셀을 이용하여 새로운 구조의 저전력, 고속 전류모드 파이프라인 CMOS ADC를 설계한다.

II. 새로운 구조의 전류모드 파이프라인 ADC

몇몇의 보고된 전류모드 파이프라인 ADC는 고해상도를 만족할 수 있으나 ADC들의 각 비트 블록들의 출력 비트를 비디오 클럭 상에서 처리가 불가능하다. 이러한 단점을 해결하기 위하여 그림 1과 같이 각 비트 블록에 고정밀 S/H 회로와 1.5-비트 비트 셀을 이용한 전류모드 파이프라인 ADC를 설계한다.

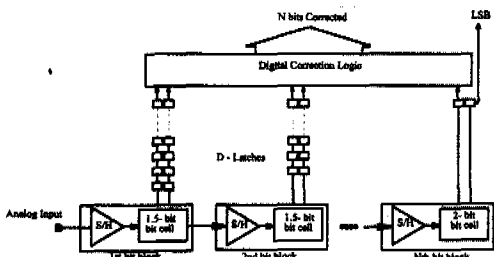


그림 1. 새로운 구조의 전류모드 파이프라인 ADC
Fig. 1 A new architecture of current-mode pipelined ADC

그림 1에서 N-번째 비트 셀을 제외한 비트 셀은 비교기가 2개만 소요되는 1.5-비트 해상도를 갖도록 구성하였으며 디지털 교정을 위하여 각단의 0.5-비트의 여분(redundancy)을 이용한다. 각 비트 셀 블록의 래치 회로는 모든 디지털 비트를 동시에 디지털 교정 회로에 인가하기 위하여 사용한다. 본 논문에서는 전체적인 ADC의 성능 향상을 위하여 비트 셀 전단에 있는 S/H 회로를 ADC의 전체적 해상도에 만족하도록 전류모드 고정밀 S/H를 설계하였고 또한 소비전력을 감소하기 위하여 리셋 기간(reset period)에 정적 전류(static current)가 차단되는 래치형 전류 비교기를 설계하였다.

특히 제안된 ADC의 특징은 MOS 트랜지스터로만 구현되었기 때문에 저항과 커패시터의 정합이 불필요하므로 혼성모드에 유리하다.

III. 비트 블록을 구성하고 있는 회로

1. 새로운 전류모드 Sample-and-Hold 회로

대부분 아날로그 회로에서 신호가 전압일 경우 공급전원이 낮아 질 수록 동적 영역이 감소되어 양질의 신호를 얻기가 곤란하나 전류모드 회로에는 신호전류를 처리하는데 낮은 임피던스로 인하여 그 절점에서는 작은 전압 폭(voltage swing)이 요구되므로 저전압, 고속 동작이 가능하다.

그러나 전류모드 회로는 트랜지스터의 낮은 출력 임피던스와 MOS 스위치 클럭 피드스루(clock feedthrough)로 인하여 정확한 신호처리에 어려움이 있다.

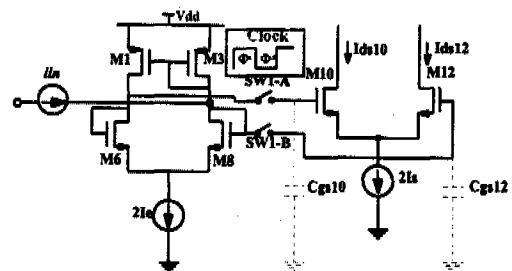


그림 2. 클럭 피드스루를 보상한 전류 메모리
Fig. 2 Current memory for compensation of clock feedthrough

이와 같은 문제점을 해결하기 위해서는 MOS 스위치에서 발생하는 클럭 피드스루의 제거와 출력 임피던스를 증가시켜야 한다. 그림 2는 기본적인 전

전류 메모리(current memory)와 공통모드 제거(common-mode rejection) 특성을 갖는 전류 메모리를^[16] 이용하여 클럭 피드스루를 제거 할 수 있도록 설계한 전류 메모리 셀이다.

M6, M8, 2Ie는 식 (1)과 같이 전류를 전압으로 변환하는 비 선형 차동구조의 I-V 변환기(current-to-voltage converter)로 작용하며, M10, M12는 스위치 SW1-A와 SW1-B가 있는 비 선형 차동구조의 V-I 변환기(voltage-to-current converter)로 작용한다.

$$V_{gs6,(8)} = \sqrt{\frac{I_{ds6,(8)}}{K}} + V_{tn} \tag{1}$$

$$K = (1/2)u_n C_{ox} (W/L)$$

단약에 $2I_e = 2I_s$ 이고, 무 신호일 때 M6과 M8은 동일한 바이어스 전류 I_e 가 흐르게 되어 식 (1)에 해당하는 전압이 위상 ϕ_1 에서 M10(M12)의 게이트-소오스 커패시터 $C_{gs10,(12)}$ 에 충전되므로 위상 ϕ_2 에서 스위치가 off가 되어도 위상 ϕ_1 동안의 전압이 $C_{gs10,(12)}$ 에 기억 되어 M10(M12)에 위상 ϕ_1 동안에 흐른 전류가 흐른다. 이때 M10에 흐르는 전류 I_{ds10} 과 M12에 흐르는 전류 I_{ds12} 를 빼면 0이 된다. 즉, 클럭 피드스루를 차동구조를 이용하여 제거 할 수 있다. 전류모드 회로의 또 다른 문제는 낮은 출력 임피던스에 의한 입력과 출력 트랜지스터의 드레인-소오스 전압 변화에 따른 입력과 출력 전류의 불일치이다.

이러한 오차를 피하기 위하여 저전압의 동작과 출력 임피던스를 증가시킬 수 있는 wide-swing cascode current mirror를 적용하였다.

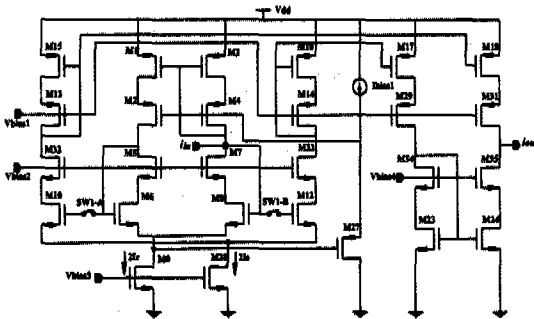


그림 3. 새로운 전류모드 S/H 회로
Fig. 3 A new current-mode S/H circuit

그림 3은 새로운 전류 메모리 셀을 이용한 전류

모드 S/H 회로이다. 그림 2의 스위치 SW1-A, SW1-B는 NMOS와 PMOS 트랜지스터를 이용하였다.

스위치 트랜지스터 크기와 M10, M12의 게이트-소오스간 커패시턴스는 S/H의 정착시간(settling time)을 좌우하므로 스위치의 도통 저항이 최소화 되도록 설정하나 스위치를 구성하는 트랜지스터의 크기가 커지면 클럭 피드스루를 증가시키므로 이를 고려하여 설정되어야 한다. 스위치는 그림 2의 클럭으로 제어되며 출력 단의 전류미러(current mirror)들은 정확한 전류 이득을 위하여 wide-swing cascode current mirror로 구성하여 전류 차이에 의하여 출력 전류를 구한다.

입력 전류 i_{in} 이 입력에 인가되면 M10(M12)의 $C_{gs10,(12)}$ 에 식 (3)의 전압이 저장되며 다음 위상 즉, hold에서 이 전압에 의하여 M6과 M8에 저장된 전압에 해당하는 전류가 흐르게 된다. 그러므로 식 (3)의 전압에 의하여 차동구조의 비 선형 V-I 변환기는 식 (3)의 전압 차이만큼 전류를 출력하게 된다.

$$I_{ds6} = I_e - 1/2 i_{in} \tag{2}$$

$$I_{ds8} = I_e + 1/2 i_{in}$$

$$V_{gs6} = \sqrt{\frac{I_e - (1/2) i_{in}}{K}} + V_{tn} \tag{3}$$

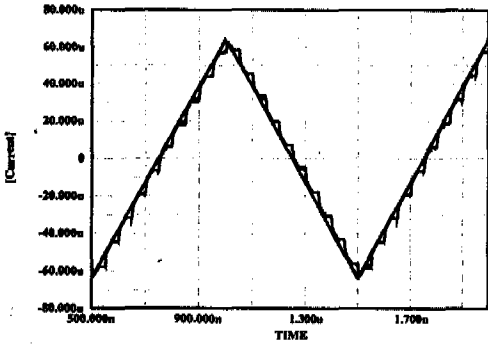
$$V_{gs8} = \sqrt{\frac{I_e + (1/2) i_{in}}{K}} + V_{tn}$$

즉, $V_{id} = V_{gs12} - V_{gs10}$ 가 $i_{out} = I_{ds12} - I_{ds10}$ 가 된다. 따라서 차동구조 비 선형 V-I 변환기에 출력되는 전류는 [17]에 의하여 식(4)와 같이 구할 수 있으므로 $I_s = I_e$ 이면 $i_{out} = i_{in}$ 가 된다.

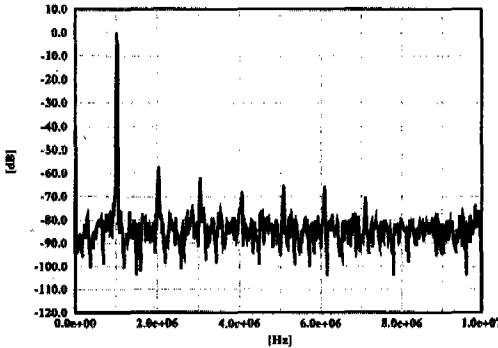
$$i_{out} = I_{ds12} - I_{ds10}$$

$$= i_{in} \sqrt{1 + (4/i_{in}^2)(I_s - I_e)(2I_e - \sqrt{(2I_e)^2 - i_{in}^2})} \tag{4}$$

다시 말해 M10, M12에 흐르는 전류는 PMOS 트랜지스터로 구성된 전류미러 M15, M16의 전류이고 이 전류는 M17과 M18에 각각 미러 되어 wide-swing cascode current mirror로 구성된 출력 단 트랜지스터 M34, M35에 흐르게 되므로 출력 단에 출력되는 전류는 M34와 M35에 흐르는 전류 차이와 같게 된다. 그림 4는 설계된 전류모드 S/H에 대한 시뮬레이션 결과를 보이고 있다.



(a) 입력과 출력의 과도 특성



(b) 주파수 특성

그림 4. 새로운 전류모드 S/H 회로의 특성
Fig. 4 The characteristics of a new current-mode S/H circuit

그림 4(a)는 입력 크기가 $-64 \mu A \sim 64 \mu A$ 인 1 MHz의 삼각파를 20 MHz 클럭으로 제어한 출력을 입력과 비교한 파형이다. S/H된 출력 전류 신호 하나의 크기는 $12.8 \mu A$ 이고 단계 편차(step deviation)는 $\pm 0.092 \mu A$ 가 측정되었다. 이는 0.1%보다 작은 선형성(linearity) 특성이 된다. 또한 0.1%까지의 어퀴지션 시간(acquisition time)은 약 18 ns, 홀드 기간에 90 MHz의 -3 dB 대역폭 특성을 나타냈다.

식 (5)에 의하여 유효 비트(effective number of bit)를 구하기 위하여 512-point FFT로 분석하였다.^[18]

$$\text{유효비트} = \frac{\text{SNR} - 1.76\text{dB}}{6.02} \quad (5)$$

그림 4(b)와 같이 1.0156 MHz인 $\pm 64 \mu A$ 정현파 입력 신호를 인가하여 20 MHz 클럭으로 제어할 때 1 MHz 정도의 위치에서 0 dB의 신호전력이 존재하며 2차 성분 고주파는 58 dB에 존재하므로 SNR

(Signal-to-Noise Ratio)은 58 dB이므로 식 (5)에 의하여 9.3-비트의 유효 비트가 구해지며 이는 새로운 S/H의 정확도를 나타낼 수 있다. 본 논문에서 SNR은 원 신호 전력과 제일 큰 고주파 성분의 차로 계산한 것이다.

2. Current-mode Comparator

비교기는 ADC 블록 중 상당한 부분을 차지하는 블록으로 속도와 소비전력을 고려하여 그림 5와 같은 전류 비교기를 구현하였다. [19,20]

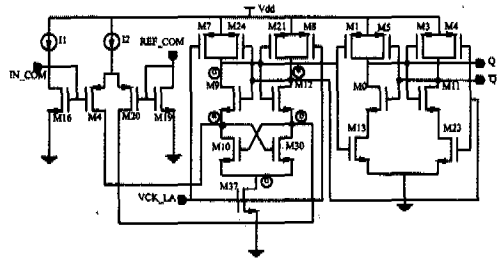


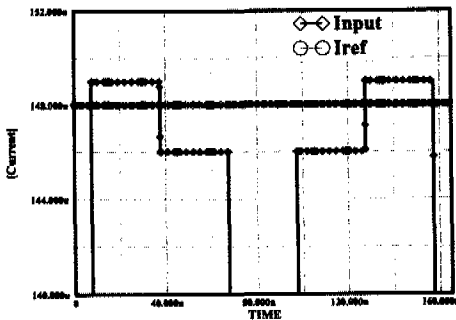
그림 5. 전류모드 비교기
Fig. 5 Current-mode comparator

비교기의 구성은 차동쌍 입력의 I-V 변환기, CMOS 래치, SR 래치로 구성되었다. CMOS 래치는 예비충전(precharge)을 위한 트랜지스터 M8, M7과 교차 결합한 반전기(cross-coupled inverter) 트랜지스터 M9, M12, M21, M24 그리고 정제환(positive feedback)을 구성하는 트랜지스터 M10, M30으로 구성되었으며 리셋 기간 동안 정제 전류를 차단하는 M37로 구성되었다. 만약에 래치 신호가 low 즉, 비교기가 리셋 기간이 되면 M10, M30은 M4와 M20의 차동쌍에 흐르는 전류에 트리거되어 M10과 M30의 드레인점 a와 b는 Vdd, M37의 드레인점 c는 $Vdd - V_{th}$ 이 된다.

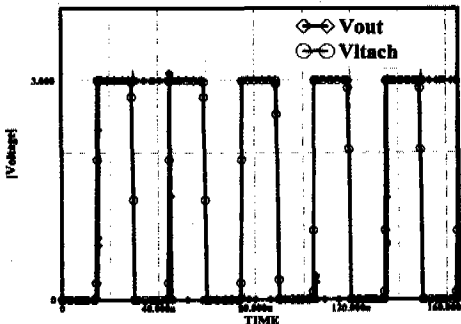
이때 예비충전을 위한 트랜지스터 M7, M8은 on이 되어 M9, M12의 드레인점 d와 e는 Vdd까지 충전이 된다. 그러나 리셋 기간 동안 M37이 off가 되어 접지로 흐르는 전류는 0이 되므로 절점 a와 b는 high로 같게 된다. 이 상태에서 입력 단자 IN_COM의 전류가 REF_COM보다 크다면 비 선형 I-V 변환기에 의하여 차동쌍 입력 트랜지스터 M4의 게이트에 M20의 게이트 전압보다 큰 전압이 인가된다. 이때 래치 신호가 high(regeneration period)가 되면 M30의 드레인점 b의 전압은 M10의 드레인점 a 전압보다 낮게 되므로 양쪽의 드레인점 전압은 정제환 구성에 의하여 급격하게 a 절점은 high

가 되고 b 절점은 low가 된다. 그리고 교차 결합한 트랜지스터들은 즉시 활성 영역으로 되어 M9의 드레인점 e의 전압은 0으로 M21의 드레인점 d의 전압은 Vdd로 급격하게 변화하여 다음 래치 클럭 high까지 안정 상태를 유지한다.

이와 같이 설계된 전류 비교기는 기존의 비교기와 다르게^[20] 리셋 동작이 M10, M30, M37의 동작 관제에서 수행되기 때문에 추가적인 스위치 클럭 없이 저전력과 트리거 전류의 조절에 의하여 동작 속도를 만족시킬 수 있다. 설계된 전류모드 비교기의 변환율을 조사하기 위하여 그림 6(a)과 같이 입력 신호와 기준 전류를 인가하여 overdrive recovery test를 조사하였다.^[21] 시뮬레이션 결과 트리거 전류 I2가 148 μ A에서 33.3 Mhz의 최대 동작 속도 특성을 나타냈다.



(a) overdrive recovery test를 위한 입력



(b) 출력

그림 6. 비교기 overdrive recovery test (1 LSB = 1 μ A, clock=33.3 Mhz)

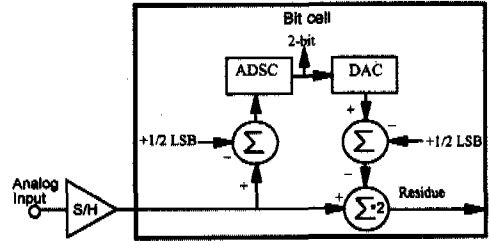
Fig. 6 Overdrive recovery test of comparator

3. 1.5-비트 비트 셀

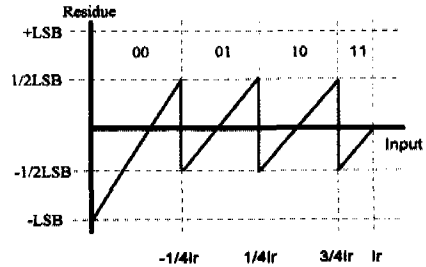
전류모드 파이프라인 ADC에 적용된 디지털 교정법은 기존의 전압모드 ADC에서 이용된 디지털 교정 알고리즘을 적용하였다.^[13,22] 기존의 디지털 교정

기법에서 뱀셀기를 제거하기 위하여 비트 셀을 구성하고 있는 ADSC(Analog-to-Digital Subconverter)에 1/2 LSB의 시스템 오프셋(system offset)을 마지막 단을 제외한 비트 셀에 그림 7(a)과 같이 인가한다.

입력에 대한 이상적인 잔류(residue) 관계는 그림 7(b)과 같다



(a) 블록도



(b) 입력에 대한 이상적인 잔류

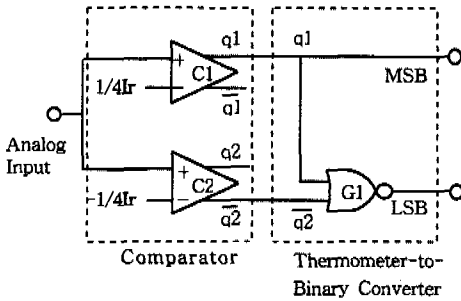
그림 7. 1/2 LSB의 오프셋을 둔 비트 셀 블록도와 입력에 대한 이상적인 잔류

Fig. 7. Bit cell block diagram with 1/2 LSB offset and ideal residue versus input

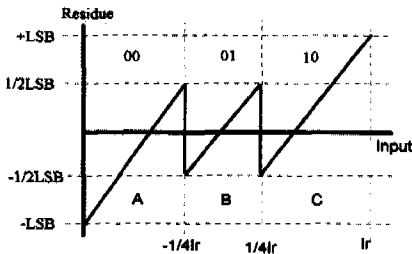
ADSC에 인가 된 시스템 오프셋은 각각 일정하게 코드 결정점(decision point)을 오른쪽으로 이동시키고 전체적인 잔류전류를 아래로 이동시킨다. 만일 ADSC의 시스템 오프셋이 정(positive)이고 랜덤 오프셋(random offset)보다 크면 ADSC의 출력 코드는 항상 이상적인 코드보다 작거나 같기 때문에 그냥 두거나 그 코드에 1을 더하기 때문에 교정법이 용이하다. 그림 7에서 이득이 2인 이상적인 잔류는 항상 $-I$ 과 $I/2$ 사이에 항상 존재하며 최소의 잔류전류는 00 코드의 왼쪽 끝에서 발생되므로 다음 단의 가장 낮은 변환영역(conversion range)의 경계에 있다. 비록 코드 결정점의 이동은 최소 잔류값에 영향을 끼치지 않으나 중간단 오프셋(interstage offset)이나 이득오차는 최소 잔류값을 다음 단의 변환영역 아래 부분에 있도록 하므로 중

간 오프셋 또는 이득오차는 다음 단 ADSC의 선형성에 영향을 끼친다. 이러한 영향은 비교기를 추가하여 감소시킬 수 있으나 추가적인 비교기 및 디지털 교정 로직 검증이 어렵다는 단점이다.^[13] 이와 같은 문제점을 해결하기 위하여 상위 비교기가 제거된 그림 8의 ADSC를 이용한다. 그림 8에서 상위 비교기가 제거되었기에 00, 01, 10의 3개의 코드가 출력되기 때문에 해상도는 $\log 2^3 = 1.5$ -비트이다.

만약에 신호가 $1/2I_r < Input < I_r$ 가 1.5-비트 비트 셀에 인가되면 11 코드를 얻기 위해서는 교정로직 회로는 비트 셀의 출력 10 코드에 1을 더하고 00 코드를 얻기 위해서는 뺄셈 동작이 아닌 그 출력된 코드에 0을 더하기 때문에 교정이 용이하다.



(a) 블록도



(b) 입력에 대한 이상적인 잔류

그림 8. 2개의 비교기로 구성된 ADSC의 블록도와 입력에 대한 이상적인 잔류
Fig. 8. 1.5-bit bit cell block diagram and ideal residue versus input

그림 9은 잔류전류 신호를 생성하는데 필요한 DAC, 뺄셈, 증폭을 동시에 수행할 수 있도록 설계된 1.5-비트 비트 셀이다.

앞 절에서 설명한 S/H 출력은 그림 9의 1.5-비트 비트 셀에 인가되어 그림 8(b)와 같은 특성을 출력하게 된다.

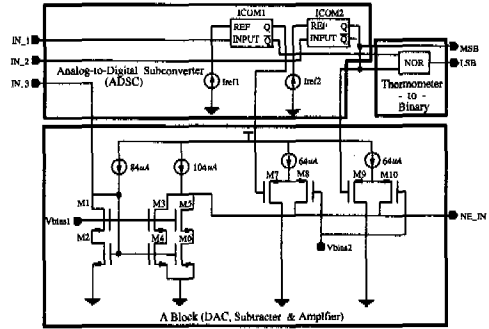


그림 9. 1.5-비트 비트 셀
Fig. 9. 1.5-bit bit cell

S/H에서 출력되는 전류는 전류 비교기 ICOM1과 ICOM2 입력 단자인 IN_1, IN_2와 잔류전류 신호를 위하여 동작하는 A 블록의 입력 단자인 IN_3에 각각 동시에 인가된다. 비트 셀의 전단에 있는 S/H에 $\pm 64 \mu A$ 의 전류 신호를 인가하면 출력은 역으로 출력되므로 S/H에 출력된 전류는 각각의 전류 비교기의 오프셋 전류 $84 \mu A$ 와 더해져 즉, $+20 \mu A \sim +148 \mu A$ 의 전류가 비교기에 인가된다. ADSC의 기준 전류 I_{ref1} 과 I_{ref2} 가 각각 $68 \mu A$ 와 $100 \mu A$ 로 설정되었다면 전류 비교기 ICOM1과 ICOM2은 IN_1과 IN_2가 $-16 \mu A$ 와 $16 \mu A$ 에 도달할 때 비교기의 상태가 달라진다. 또한 S/H의 출력은 다음 단의 신호를 생성하기 위하여 DAC, 뺄셈, 증폭 동작이 동시에 수행하는 A 블록에 인가된다.

이 블록에서도 오프셋 전류 $84 \mu A$ 와 더해져 다음 단 신호처리를 위한 잔류 신호가 생성된다. 그림 8(b)와 같은 특성을 위한 비트 셀의 기본적인 신호 처리 단계는 다음과 같다.

첫째로, 만약에 S/H 출력 $-64 \mu A \sim -16 \mu A$ 가 ADSC의 비교기와 A 블록에 인가되었다면 각각의 비교기는 0으로 변화가 없다. 이 코드는 A 블록의 DAC를 구성하고 있는 M7과 M9를 on 시키며 A 블록에 인가된 신호는 오프셋 전류 $84 \mu A$ 와 더해져 전류미러 트랜지스터를 구성하고 있는 M1 ~ M6에 의하여 2배 되어 다음 단계에 인가될 신호 $-64 \mu A \sim -32 \mu A$ 가 생성되어 그림 8(b)의 A 부분의 특성을 나타낸다.

둘째로, S/H의 출력 $-16 \mu A \sim 16 \mu A$ 가 각각의 비교기와 A 블록에 인가되었다면 ICOM1의 비교기는 0에서 1로 변화하고 ICOM2는 0으로 변화가 없다. 그러므로 DAC의 M7은 off가 되고 M9는 on이 되어 절점 NE_IN에 다음 단계에 인가될 신호 $-32 \mu A \sim 32 \mu A$ 가 생성되어 그림 8(b)의 B 부분의 특성

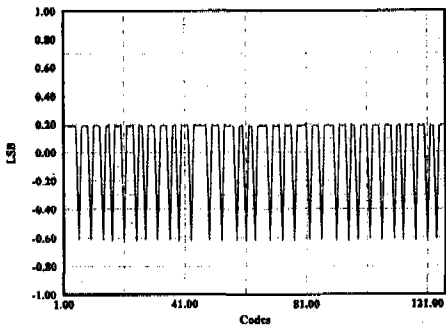
을 보인다

셋째로, S/H 출력 $16\ \mu\text{A} \sim 64\ \mu\text{A}$ 가 각각의 비교기와 A 블록에 인가되었다면 IC0M1의 비교기는 1로 불변하고 IC0M2은 0에서 1로 변화하여 DAC의 M7과 M9가 on이 되어 다음 단계에 인가될 신호 $-32\ \mu\text{A} \sim 64\ \mu\text{A}$ 가 생성되어 그림 8(b)의 C 부분의 특성을 보인다

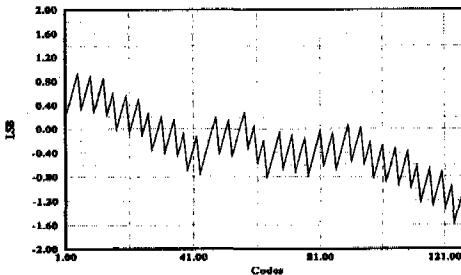
이와 같이 1.5-비트 비트 셀은 파이프라인된 다음 단계에서 전단과 같은 신호처리를 위하여 이러한 단계를 거쳐 다음 단계에 인가 될 잔류신호를 생성한다. A 블록의 전류미러는 전류의 정확한 정합과 저전압 동작을 위하여 wide-swing cascode current mirror를 이용하였다.

IV. 시뮬레이션

현대 $0.8\ \mu\text{m}$ CMOS 파라미터를 이용하여 3V 전원의 전류모드 7-비트 20Ms/s 파이프라인 CMOS ADC를 설계하여 먼저 정적 특성을 분석하였다. 그림 9은 20Ms/s에서 코드에 대한 DNL과 INL을 측정된 결과를 보이고 있다. DNL은 $+0.2\ \text{LSB} \sim -0.6\ \text{LSB}$, INL은 $0.9\ \text{LSB} \sim -1.5\ \text{LSB}$ 이다.

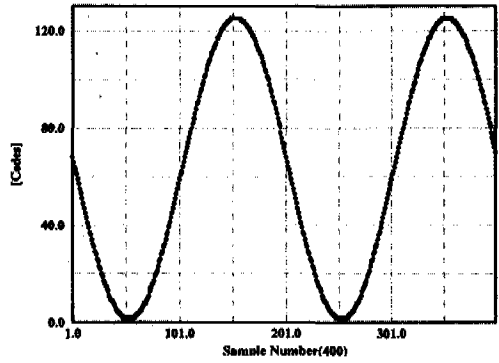


(a) DNL

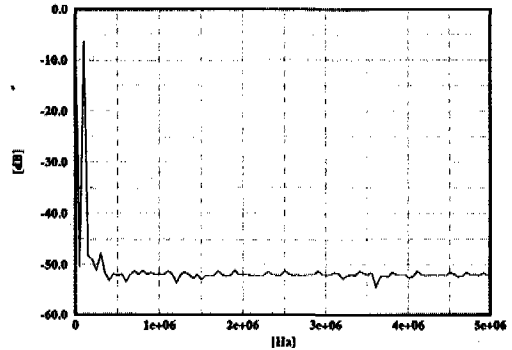


(b) INL

그림 9. 7-비트 전류모드 ADC의 정적 특성
Fig. 9 Static characteristics of 7-bit current-mode ADC



(a) 복원된 신호



(b) 동적 특성

그림 10. 7-비트 전류모드 ADC의 동적 특성
Fig. 10. Dynamic characteristics of 7-bit current-mode ADC

그림 10은 동적 특성을 보이고 있다. 20Ms/s에서 입력의 크기가 $\pm 64\ \mu\text{A}$ 인 100 kHz의 정현파를 인가하여 그림 10(a)처럼 복원된 신호에 대하여 시뮬레이션한 결과 입력 신호와 2차 고주파 성분과의 차를 SNR로 나타낼 때 이상적인 7-비트 ADC의 SNR인 43 dB의 특성을 보였으며 1 MHz의 입력에서는 3 dB가 감소된 40 dB의 특성을 보였다.

또한 전체적인 시스템의 소비전력은 27 mW를 나타냈다. 표 1에 제안된 7-비트 ADC의 성능 측정 결과를 요약하였다.

표 1. 제안된 ADC의 시뮬레이션 결과
Table 1 Simulation result of proposed ADC

SNR	43 dB @100kHz	DNL(LSB)	+0.2~-0.6
샘플링 주파수	20Mhz	INL(LSB)	+0.9~-1.5
소비전력	27mW	입력크기	$\pm 64\ \mu\text{A}$
파라미터	현대 $0.8\ \mu\text{m}$ CMOS	공급전원	3V

표 2는 제안된 ADC와 기존의 전류모드 ADC와
의 성능 면을 비교하였다. 다소 해상도 면에서는 기
존의 ADC보다는 떨어지지만 변환율과 전력면에서
는 우수한것으로 나타났다.

표 2. 제안된 ADC와 기존 ADC의 성능 비교
Table 2. Performance comparison of conventional ADC
and proposed ADC

전류모드 ADC	해상도 [비트]	변환율	구조	전력 소모[mW]	공정
참고문헌 [9]	10	500KHz	Algorithmic	1000	3 μ m CMOS
참고문헌[10]	10	550KHz	Pipelined	20	2.4 μ m CMOS
참고문헌[12]	10	20MHz	Pipelined	1000	2 μ m BiCMOS
참고문헌[14]	8	4.5MHz	Pipelined	128	0.8 μ m CMOS
참고문헌[15]	7	25MHz	Two-Step	31.5	1.2 μ m CMOS
Proposed	7	20MHz	Pipelined	27	0.8 μ m CMOS

V. 결 론

본 논문은 전류모드 S/H와 1.5-비트 비트 셀로
구성된 새로운 구조의 전류모드 파이프 라인
CMOS ADC를 제안하였다. 제안된 ADC에서 전류
모드 S/H는 클럭 피드스루가 제거되었으므로 선형
성이 향상되어 전체적인 해상도가 증대되었다. 전체
적인 ADC를 구성하고 있는 각 단의 비트 셀은 마
지막 단을 제외하고 비교기가 단지 2개만 소요되는
1.5-비트 비트 셀로 구성하여 디지털 교정 로직의
간소화와 소비전력 감소를 달성하였다. 설계된 7-비
트 ADC는 5단의 1.5-비트 비트 셀과 2-비트 셀 1
단 그리고 지연 래치 회로로 구성 되고 각단의 0.5-
비트 여분을 이용하여 디지털 교정 로직에 의하여
코드 교정이 수행된다.

또한 ADC를 구성하는 모든 블록들의 회로는
MOS 트랜지스터로만 설계되어 아날로그/ 디지털
혼성모드 칩 제작에 용이하고 칩 면적의 축소와 성
능 향상이 기대된다.

제안된 ADC를 현대 CMOS 0.8 μ m 파라미터를
이용한 HSPICE 시뮬레이션 결과 20Ms/s에서 입력
신호 100 KHz에 대한 SNR은 43 dB, 7-비트 해상도
를 만족하였고 27 mW의 낮은 소비전력 특성을 나타
내어 표 2와 같이 기존의 전류모드에 비하여 우수
함이 확인되었다. 또한 최대 DNL은 +0.2 LSB ~
-0.6 LSB이고 INL은 0.9 LSB ~1.5 LSB인 동적
특성을 나타내었다.

향후의 연구 과제로 제안된 ADC의 해상도와 속

도를 향상시키기 위하여 S/H의 속도와 잔류신호를
발생하는 블록에서 전류 정합이 개선이 된다면 1.5-
비트 비트 셀의 파이프라인의 확장에 의하여
20Ms/s 이상에서 더 높은 해상도가 가능할 것으로
생각된다.

참 고 문 헌

- [1] M. Ishkiawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D convert with pipelined wide-band S/H", *IEEE J. Solid-State Circuits*, vol. 24, pp. 1485-1491 Dec. 1992.
- [2] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital convert", *IEEE J. Solid-State Circuits*, vol. 22, pp. 954-961, Dec. 1987.
- [3] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10-b 50-MHz pipelined CMOS A/D convert with S/H," *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
- [4] S. H. Lee and B. S. song, "Digital-Domain Calibration of Multistep Analog-to-Digital Convert", *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [5] J. B. Hughes and K. W. Moulding, "Switched-current signal processing for video frequencies and beyond", *IEEE J. Solid-State Circuits*, vol. 28, pp. 314-322, Mar. 1993.
- [6] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
- [7] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully Balanced CMOS Current-Mode circuits," *IEEE J. Solid-State Circuits*, vol. 28, pp. 569-574, May. 1993.
- [8] Z. Wang, "Current-mode integrated circuits for analog computation and signal processing," *Analog Integrated Circuits and Signal Processing Journal*, Kluwer Academic Publisher, vol. 1, pp. 287-295, 1991.
- [9] D. G Nairn and C. A. T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters", *IEEE J. Solid-State Circuits*, vol. 25, pp. 997-1004, Aug. 1990.

[10] D. Macq and P. G. A. Jespers, "A 10-bit Pipelined Switched-Current A/D Converter", *IEEE J. Solid-State Circuits*, vol. 29, pp. 967-971, Aug. 1994.

[11] D. Robertson, P. Real, and C. Mangelsdorf, "A wideband 10-bit, 20Ms/s pipelined ADC using current-mode signals", *ISSCC Dig. Tech. Papers*, pp. 160-161, Feb. 1990.

[12] P. Real, D. H. Robertson, C. W. Mangelsdorf, and T. L. Tewksbury, "A Wide-Band 10-b 20-Ms/s Pipelined ADC Using Current-Mode Signal", *IEEE J. Solid-State Circuits*, vol. 26, pp. 1103-1109, Aug. 1991.

[13] S. H. Lewis, R. Ramachandran, C. W. Mangelsdorf "Indirect Testing of Digital-Correction Circuits in Analog-to-Digital Converters with Redundancy", *IEEE Trans. Circuits Syst.* vol. 42, July, 1995.

[14] Chung-Yu Wu, Chin-Cheng Chen Jyh-Jer Cho, "A CMOS Transistor-only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, vol. 30, pp. 522-532, May. 1995.

[15] J. P. Carrerira, J. E. Fanca, "A TWO-STEP FLASH ADC FOR DIGITAL CMOS TECHNOLOGY," *Advanced A-D and D-A Conversion Techniques and Their Applications,* IEE Conference Publication no. 393 pp. 49.-51, July. 1994.

[16] C. Toumazou, J. B Hughes & N. C. Battersbhy, : *SWITCHED-CURRENTS an analogue technique for digital technology*

[17] A. S. Sedra, K. C. Smith, *Microelectron Circuits*, 3/e, pp. 448-450

[18] H. C. Choi, D. Y. Chang, C. H. Lee, S. H. Lee, "The Design of High-Accuracy CMOS Sample-and-Hold Amplifiers," *대한전자공학회 논문지*, 제33권, 제6호, pp. 239-247, June, 1996.

[19] W. C. Song, H. W. Choi, S. U. Kwak, B. S. Song, "A 10-b 20-Msample/s Low-Power CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 30, pp. 514-521, May. 1995.

[20] K. W. Kim, "A 10-bit, 100MS/s Analog-

to-Digital Converter in 1- μ m CMOS," pp. 150-168, 1996.

[21] Behzad Razavi, *Principles of Data Conversion System Design* IEEE Press, pp. 181-188

[22] G. Chien, "High-Speed, Low-Power, Low-Voltage, Pipelined Analog-to-Digital Converter," *UC Berkeley MS Thesis*, 1996

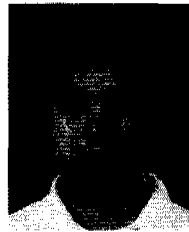
최 경 진(Kyung Jin Choi)



1993년 2월 : 원광대학교 전자공학과 공학사
 1995년 8월 : 원광대학교 전자공학과 공학석사
 1995년 8월~현재 : 원광대학교 전자공학과 박사수료

<주관심 분야> 아날로그 및 혼성모드 집적회로 설계

이 승 우(Seung Woo Lee)

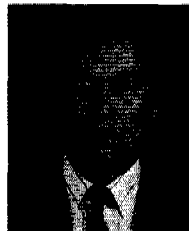


1995년 2월 : 원광대학교 전자공학과 공학사
 1998년 2월 : 원광대학교 전자공학과 공학석사
 1997년 2월 : 원광대학교 전자공학과 박사과정

<주관심 분야> 아날로그 및 혼성모드 집적회로 설계

조 성 익(Seong Ik Cho)

정회원



1987년 2월 : 전북대학교 전기공학과 공학사
 1989년 8월 : 전북대학교 전기공학과 공학석사
 1994년 2월 : 전북대학교 전기공학과 공학박사
 1996년 5월~현재 : 현대전자 Memory 연구소 선임연구원

<주관심 분야> 통신시스템, VLSI 설계 등

신 홍 규(Hong Kyu Shin)

정회원



1975년 2월 : 전북대학교 전기
공학과 공학사

1980년 8월 : 전북대학교 전기
공학과 공학석사

1989년 2월 : 전북대학교 전기
공학과 공학박사

1990년 8월~1991년 8월 : Ohio
State Univ. Post
Doctoral course

1982년 3월~현재 : 원광대학교 공과대학 전자공학
과 교수

<주관심 분야> 이날로그 및 혼성모드 집적회로 설계