

이동통신 시스템을 위한 저전압 가변 저능동필터 설계

정회원 이근호*, 방준호**, 이우춘**

Design of A Tunable Low-pass Active Filter for Communication system

Geunho Lee*, Junho Bang**, Woochun Lee** *Regular Members*

요 약

본 논문에서는 통신시스템에 응용 가능한 가변저역 능동필터를 설계하는데 있어 기본 블록으로 이용되는 적분기를 저전압(2.5V)에서 동작 가능하도록 설계하고, 이를 적용하여 능동필터를 제작하였다. 제안된 적분기는 CMOS 상보형 회로로 구성됨으로서 기존의 적분기에 비하여 단위이득 주파수와 위상등에서 개선된 특성을 나타내었다. 또한 간단한 제어회로를 통해 능동필터의 공정시 나타날 수 있는 오차를 해결하고, 그 용도에 따른 주파수와 이득의 조절이 가능하였다. 이의 응용회로로서 double-poly double-metal CMOS 공정 파라미터를 이용하여 가변 저역 능동필터를 설계 및 제작하였다.

ABSTRACT

In this paper, a integrator as a basic block of the low-voltage(2.5V) active filter for communication system are proposed. The integrator is composed of the CMOS complementary circuit which can extend transconductance of an integrator. Therefore, the unity gain frequency which is determined transconductance is increased about two times larger than that of the conventional continuous-time integrator. And then frequency and gain of the integrator can be controlled with simple tuning circuit. Finally, tunable low-pass active filter is designed with double-poly double-metal CMOS process.

I. 서 론

최근 집적회로 공정기술은 저전압 CMOS 공정기술을 이용하여 아날로그 회로와 디지털 회로가 동일 칩상에서 공존하는 추세로 발달되고 있다. 이러한 경향에 의해 최근에 급속하게 주목받고 있는 방식이 전류모드(current-mode) 방식에 의한 신호처리이다. 혼성모드 시스템 구현을 위한 전류모드 회로는 전압모드 회로와는 달리 낮은 내부전압을 통해 동작이 가능하며, 디지털 공정에 의한 제작 또한 용이하여 저전압, 저전력 혼성집적회로 응용에 적합하다. 이러한 전류모드 회로의 유용성으로 인해 저전압 고주파용 시스템에서 이용될 수 있는 필터등도 전류모드 방식에 의한 설계법이 많이 연구되고 있

다.^[1-6]

능동필터 설계시 기본 구성블럭인 전류모드 적분기의 구조를 살펴보면 NMOS 전류미러쌍을 직렬로 구성하여 피드백시킨 구조^[3]와 이 구조의 이득 및 출력특성을 개선한 캐스코드 구조^[4], 그리고 위상추이 및 신호잡음 등의 영향을 줄이고 주파수특성 등을 개선한 완전차동구조^[5,6]등으로 연구되고 있다. 이러한 구조중에서 마지막에 언급한 완전차동구조의 전류모드 적분기는 다른 구조에 비하여 상대적으로 고주파용 필터의 동작시 안정성 면에서 좋은 조건을 갖추고 있다. 최근 연구 발표된 완전차동 적분기^[6]의 경우에 NMOS 전류미러쌍을 병렬로 구성하였고, 두 개의 입력신호가 균형을 이루고 진행하기 때문에 기생 커패시턴스 및 신호잡음등에 강한 특성

* 전북대학교 전기공학과(L329@chollian.net) ** 익산대학 전기과
논문번호 : 98006-0105, 접수일자 : 1999년 1월 5일

$$(g_{m3} + g_m)v - 2vC_{gd} = i_o \quad (5)$$

이때, 제안된 전류모드 적분기를 구성하고 있는 트랜지스터 M1과 M3, M2와 M4, M5와 M7, 그리고 M6와 M8은 모두 전류미러로 구성되어 있으므로 모두 같은 크기로 설계하면 이들 각각의 g_m 값들은 $g_{m1}=g_{m3}$, $g_{m2}=g_{m4}$, $g_{m5}=g_{m7}$, $g_{m6}=g_{m8}$ 이 된다. 이 값을 식 (4), (5)에 대입하면 식 (6)과 (7)을 얻을 수 있다.

$$i_o = \frac{g_{m3} + g_m}{sC_2} i \quad (6)$$

$$i_{op} - i_{on} = \frac{g_{m3} + g_m}{sC_2} (i_p - i_n) \quad (7)$$

식 (6), (7)의 결과는 제안된 전류모드 적분기의 입출력 전류비를 나타내고 있는데 이 값은 적분기의 전류이득을 나타낸다. 기존 적분기인 경우를 살펴보면 M₂에서 얻어지는 g_{m2} 와 커패시터 C가 식 (8)과 같이 입출력 전류비를 표현한다.

$$i_{op} - i_{on} = \frac{g_{m2}}{sC_2} (i_p - i_n) \quad (8)$$

각 적분기를 구성하는 트랜지스터를 같은 크기로 설계할 경우에 적분기들의 입출력 전류비, 즉 전류이득인 식 (7)과 (8)을 비교하여 볼 때, 제안된 적분기의 전류이득이 약 2배에 가까운 값으로 얻어질 수 있음을 알 수 있다.

제안된 적분기의 소신호 특성을 보다 자세하게 분석하기 위하여 그림 1(b)에서 무시하였던 출력 컨덕턴스 (g_{ds})를 포함한 2차 소신호 등가회로를 그림 1(c)에 나타내었다. 이때 트랜지스터에서 얻어지는 g_m 값들은 각각 같은 값으로 설계할 수 있으므로 $g_{m1} \sim g_{m8}$ 의 값을 g_m 으로 $g_{ds1} \sim g_{ds8}$ 의 값을 g_{ds} 로 설정하고 그림 1(c)에서 KCL을 적용하면 다음과 같은 식을 얻을 수 있다.

$$(2g_m + sC + 2C_{gd} + 2g_{ds})v = i + i_o \quad (9)$$

$$2(g_m - sC_{gd} - g_{ds})v = i_o \quad (10)$$

위 식으로부터 입출력 전류식은 식 (11)과 같이 정리된다.

$$i_o = A \frac{1 - \frac{s}{z_1}}{1 + \frac{s}{p_1}} i \quad (11)$$

여기서,

$$z_1 = \frac{g_m - g_{ds}}{C_{gd}} \quad (12)$$

$$p_1 = \frac{4g_{ds}}{C + 4C_{gd}} \quad (13)$$

이고, 적분기의 단위가득 주파수는 식(14)와 같다.

$$\omega_0 = 2 \frac{(g_m - g_{ds})}{C + 4C_{gd}} \quad (14)$$

이상과 같이 얻어진 식들로부터 본 논문에서 제안된 연속시간 전류모드 적분기의 여러 가지 특성을 살펴볼 수 있다. 이러한 결과를 정리하여 다음절에서 기존 적분기의 특성결과와 표를 통해 비교, 분석하고 그밖에 개선된 특성에 관하여서도 살펴본다.

2. 특성 결과

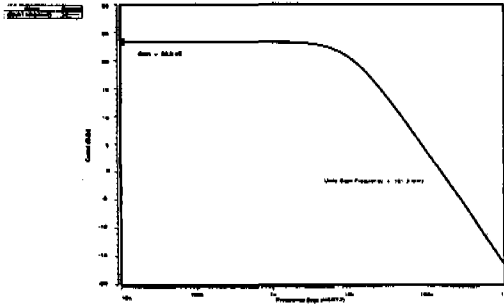
1) 주파수 특성의 개선

그림 1에서 보여주는 설계된 연속시간 전류모드 적분기에 대한 소신호 해석의 결과를 기존의 적분기 특성과 비교하여 표 1에 정리하였다.

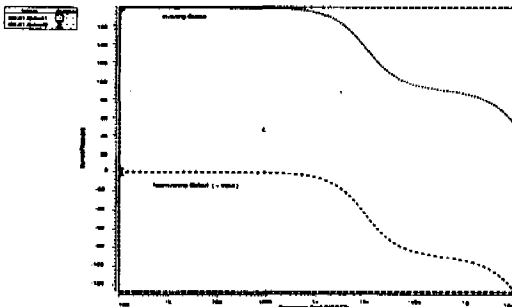
소신호 해석에서 보인 것과 같이 극점 및 영점의 크기는 MOS의 트랜스컨덕턴스(g_m), 출력컨덕턴스(g_{ds})와 게이트-드레인에서 발생하는 기생커패시턴스(C_{gd}), 그리고 적분기에 삽입된 커패시턴스 C에 의하여 결정된다. 표 1의 결과는 제안된 적분기의 극점 및 영점의 크기가 기존의 적분기의 값에 비하여 각각 두배의 값을 가지고 있음을 보여 준다. 또한 제안된 전류모드 적분기의 단위가득 주파수 값 역시 기존의 적분기에 비하여 두배의 크기로 나타남을 알 수 있다. 제안된 연속시간 전류모드 적분기의 시뮬레이션 결과를 그림 2에 나타내었다.

표 1. 소신호 해석결과

변수	형태	기존 적분기	제안된 적분기
극점 (p1)		$\frac{2g_{ds}}{(C + 4C_{gd})}$	$\frac{4g_{ds}}{(C + 4C_{gd})}$
영점 (z1)		$\frac{(g_m - g_{ds})}{2C_{gd}}$	$\frac{(g_m - g_{ds})}{C_{gd}}$
단위가득주파수 (ω ₀)		$\frac{(g_m - g_{ds})}{(C + 4C_{gd})}$	$\frac{2(g_m - g_{ds})}{(C + 4C_{gd})}$



(a) 크기특성



(b) 위상특성

그림 2. 크기 및 위상특성

2) 전류이득의 증가

앞 절에서 논의하였던 것처럼 제안된 연속시간 전류모드 적분기는 소신호 해석의 결과인 식 (7)과 (8)을 통하여 전류이득에 있어서도 약 두배의 값으로 증가되었음을 알 수 있다. 이것은 제안된 적분기가 구조적으로 PMOS와 NMOS를 모두 신호경로에 위치하게 함으로써 전체적인 이득이 두 개의 MOS에서 발생하는 g_m 들의 합으로 얻어지는데 기인하며, 기존의 적분기의 경우는 NMOS에 의해서만 한 개의 g_m 이 얻어지기 때문이다. 이러한 결과를 시간해석 시뮬레이션을 통해 그림 3에 나타내었다. 분석된 시뮬레이션 결과는 두 개의 적분기의 바이어스 전류를 모두 546 μ A의 같은 크기로 설계하여 비교한 것이다. AC 해석의 경우 개선된 적분기의 전류이득이 약 23.3dB(1.8배)까지 증가되는 결과를 얻었다. 시간해석에서는 sine파 입력에 대한 각 적분기들의 출력 파형을 분석한 결과를 보이고 있는데 얻어진 출력 파형은 입력의 sine파형이 각 적분기를 거치면서 90도가 위상차이 되었으며, 이때 제안된 적분기의 출력파형은 기존의 적분기의 출력파형에 비하여 약 두배의 크기로 스윙을 하고 있다.

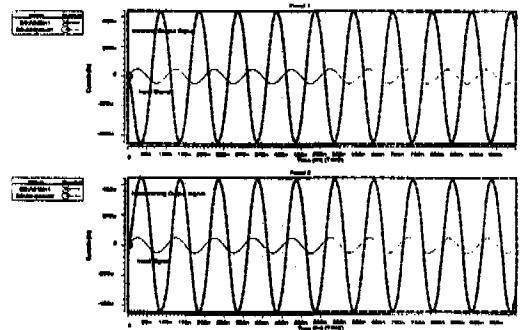


그림 3. 시간해석 (반전출력, 비반전출력)

III. 간단한 이득 조절회로 설계

언급된 표 1에서 보면 영점과 단위이득주파수가 트랜스컨덕턴스 (g_m)의 영향을 받고 있음을 알 수 있다. 따라서 설계된 적분기를 이용하여 구성되는 능동필터와 같은 아날로그 능동 소자회로는 집적회로 제작시 나타날 수 있는 공정변화 및 온도등의 영향으로 전류값의 변동 및 주파수, 이득특성이 변이하는 등 심각한 영향을 초래할 수 있다. 트랜스컨덕턴스 제어회로는 집적회로 제작시 발생하는 아날로그 능동회로의 특성 변이를 보상하는 역할을 할 수 있어서 최근에는 능동필터의 설계에도 대부분 이용되고 있다^[8]. 따라서 이 절에서는 능동필터의 주파수 특성을 보상하는 기능을 수행할 뿐만 아니라 신호의 동적범위 및 이득을 보상할 수 있는 기능을 갖는 트랜스컨덕턴스 제어회로를 설계된 적분기에 적합하도록 설계한다. 또한 트랜스컨덕턴스값은 능동필터 설계시 그 수동소자값이 표준화 되어 있을 때 다음의 식에 의하여 차단주파수 값에 영향을 줄 수 있음을 알 수 있다.

$$C_i = \frac{g_m X_i}{\omega_c} \quad (15)$$

식 (15)에서 g_m 은 전류모드 적분기의 트랜스컨덕턴스이며, X_i 는 i 번째 회로의 표준화(normalized)된 수동 소자값이고, ω_c 는 전류모드 능동필터의 차단주파수이다.

저전압 저전력 특성을 가지는 설계된 트랜스컨덕턴스 제어회로는 설계된 적분기의 능동회로 응용시 보정용으로 이용하며, 여타의 저전압 휴대용 통신시스템등에 활용될 수 있는 다양한 기능을 갖도록 연구되었다. 그림 1에서 제안된 회로에 트랜스컨덕턴

스 조절회로를 첨가한 전체회로를 그림 4.에 나타내고 있다.

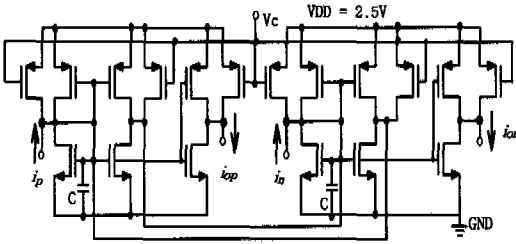


그림 4. 적분기 이득 조절회로

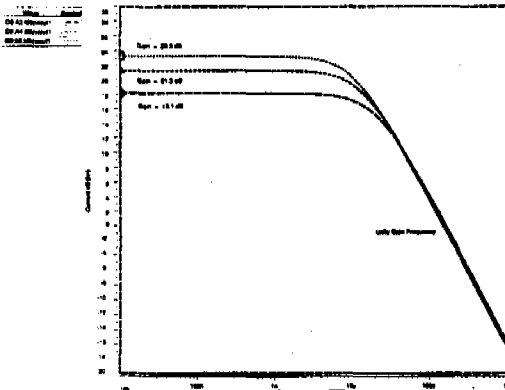


그림 5. 적분기 이득값 변화 시뮬레이션

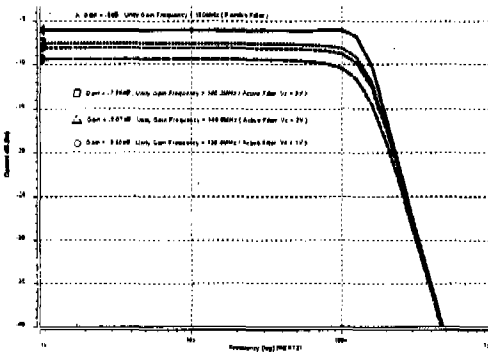


그림 6. 설계된 필터 주파수 응답특성

그림 4에서 조절전압(Vc : Control Voltage)에 각각 전압 1V (18.1 dB)와 2V (21.3 dB) 그리고 3V (23.3 dB)를 인가하여 시뮬레이션한 결과를 그림 5에 나타내었다. 각각의 조절전압에 의해 적분기의 이득이 변화하고 있음을 알 수 있다. 이와 같이 능동필터의 설계시 기본블럭이 되는 적분기의 이득제어가 가능함에 따라 제안된 적분기를 이용하여 설계된 능동필터도 쉽게 그 이득과 주파수를 제어할

수 있을 것이며 이는 그림 6.에 나타내었다.

IV. 저전압 가변저역 능동필터 설계

본 절에서는 설계된 가변이득 적분기를 이용하여 가변 저역 능동필터를 설계하고자 한다. 능동필터 설계에 있어서 적분기는 가장 중요한 기본 블럭이며, 따라서 이용되는 적분기의 특성이 필터의 동작 특성을 결정짓는다. 따라서 본 논문에서 제안하여 그 특성개선이 증명된 연속시간 전류모드 적분기를 이용하여 능동필터를 설계, 제작한다.

우선 전류모드 능동필터의 설계사양을 결정한다. 본 논문에서는 기본적으로 복중단 제자형 회로망에 3차의 체비셰프 함수를 이용하며 이때 통과역의 등파상은 0.1dB, 차단주파수는 150MHz, 그리고 동작 전압은 2.5V상에서 설계하기로 한다. 필터구조를 수동 복중단 제자형 회로망으로 하였는데, 제자형 회로망은 수동회로를 능동회로로 변환하는 과정에서 낮은 감도 특성을 유지할 수 있는 장점을 갖는다. 설계된 수동 저역통과 필터의 형태와 소자값은 그림 7과 같다.

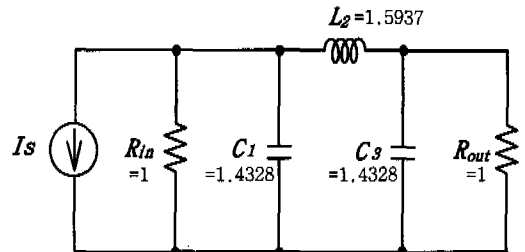


그림 7. 설계된 3차 체비셰프 수동 저역필터

그림 7의 복중단 제자형 수동필터를 능동회로로 변환하기 위하여 작성한 신호흐름선도는 그림 8과 같다. 신호흐름선도의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류값들은 식 (16)~(18)로 표현되며 이 식들에 의하여 신호흐름선도가 구성된다.

$$I_1 = \frac{1}{SC_1}(I_S - I_1 - I_2) \quad (16)$$

$$I_2 = \frac{1}{SL_2}(I_1 - I_3) \quad (17)$$

$$I_3 = \frac{1}{SC_3}(I_2 - I_3) \quad (18)$$

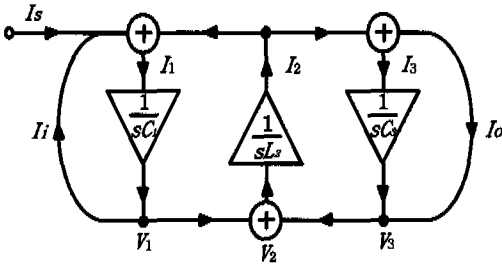


그림 8. 신호흐름선도

이와 같이 전류모드 능동필터는 3개의 전류모드 적분기로 직접 모의되며, 전류모드 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각 전류모드 적분기 내부의 적분 커패시터 C_i 는 앞에서 언급된 식 (15)를 통해 구할 수 있다. 제안된 연속시간 전류모드 적분기를 이용하여 설계된 전류모드 3차 능동 저역필터와 간단한 이득 조절회로를 이용하여 시뮬레이션된 주파수 특성은 앞에서 보여준 그림 6과 같다. 주파수응답특성 시뮬레이션에서 얻어진 결과에서 알 수 있듯이, 본 논문에서 제안된 CMOS 상보형 구조의 적분기를 이용한 능동필터의 특성이 간단한 이득 제어회로를 이용하여 쉽게 조절될 수 있다. 따라서 능동필터 제작시 주변 환경의 영향으로 나타날 수 있는 오차를 보정하는 데 유용할 것으로 사료된다.

또한 현대전자의 $0.8\mu m$ 공정률에 따라 Cadence를 이용하여 Full custom 방식으로 제안된 적분기와 3차 능동저역통과 필터를 제작하였고, 제작된 칩의 내부 현미경 사진을 그림 9에 나타내었다.

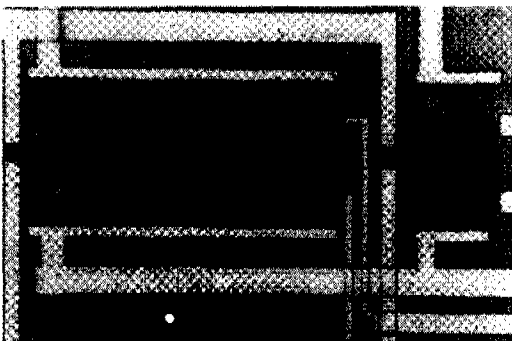


그림 9. 제작된 적분기와 필터의 현미경 사진

V. 결론

이동통신 시스템에 이용될 수 있는 능동필터 설

계시 기본 블록 중 적분기를 2.5V 동작하에서 설계하였다. 소신호해석 및 시뮬레이션 결과로부터 설계된 CMOS 상보형 형태의 개선된 적분기는 기존의 NMOS형 적분기의 특성에 비하여 약 두 배 증가된 트랜스컨덕턴스 값을 얻어낼 수 있었으며 증가된 트랜스컨덕턴스 값에 의하여 전류이득과 단위이득주파수가 증가되었다. 또한 적분기의 설계시에 각 트랜지스터들은 자기바이어스 되도록 함으로써 추가적인 바이어스 회로의 구성에 의한 회로크기의 증가를 피하여 상대적으로 작은 칩면적을 가진다. 이러한 결과는 소신호 해석 및 SPICE 시뮬레이션으로 분석되었으며 분석된 결과를 기존의 적분기와 비교하여 제시하였다. 하지만 제안된 CMOS 적분기는 기존의 NMOS 적분기보다 공급전류가 불안정하여 그 특성이 불안정한 단점을 지니고 있다. 이는 온도 등 환경변화에 대하여 안정적인 전압과 전류를 공급할 수 있는 레퍼런스 회로를 이용하여 해결할 수 있을 것으로 사료되며, 이는 추후 본 논문의 연구와 병행하여 연구되어야 할 사항이다. 하지만 본 논문에서는 설계된 적분기가 자체적으로 능동소자로 이용되어 칩으로 제작될 때 나타날 수 있는 문제점, 즉 전류 및 커패시턴스값의 변동에 의한 트랜스컨덕턴스값 변화와 이에따른 주파수 대역의 오차발생 등을 최소화하기 위하여 트랜스컨덕턴스값을 조절하여 이에 밀접한 관계가 있는 이득 및 주파수 조절까지도 가능한 이득 조절회로를 추가 제안하였다. 시뮬레이션 결과가 조절전압(V_c)이 1V일 때 적분기의 이득은 18.1dB값을 가지며, 2V일 때 21.3dB 그리고 3V를 인가시에는 그림 5.에서와 같이 23.3dB의 이득값을 보여주고 있다. 제안된 전류모드 적분기는 능동필터로 설계되어 이동통신용 IF 회로, 디스크 드라이버 등의 저전압 아날로그/디지털 혼성 집적회로 등에 응용될 수 있을 것으로 사료된다.

참고 문헌

- [1] S. S. Lee, R. H. Zele, and D. J. Allstot, "CMOS Continuous-Time Current-Mode Filter for High-Frequency Applications", *IEEE J. Solid-State Circuits*, pp.323-329, 1993.
- [2] J. B. Hughes, N. C. Bird, and I. C. Macbeth, "Switched Currents A New Technique for analogue Sample-Date Signal Processing", in *Proc IEEE ISCAS*, pp.1584- 1587, May 1989.
- [3] R. H. Zele, S. S. Lee, D. J. Allstot, and G.

Liang. "A continuous-time current-mode integrator", *IEEE Trans. Circuits and Systems*, vol 38, pp.1236-1238, Oct. 1991.

- [4] S. L. Smith, E. S-Sinencio, "3V High-Frequency Current-Mode Filter", *Proc. IEEE ISCAS*, pp. 1459-1462, 1993.
- [5] R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125Mhz CMOS Continuous-Time Filter", *Proc. IEEE ISCAS*, pp.1164-1167, 1993.
- [6] R. H. Zele, and D. J. Allstot, "Low-Power CMOS Continuous-Time Filter", *IEEE J. Solid-State Circuits*, vol 31, No. 2, Feb. 1996.
- [7] L. T. Bruton, "Low-sensitivity digital ladder filters", *IEEE Trans. Circuits and System*, vol. CAS-22, no. 3, pp. 168-176, Mar. 1975.
- [8] 방준호, 조성익, 김동용, "저전압 전류모드 CMOS필터 구현을 위한 새로운 연속시간 전류 모드 적분기", *한국통신학회 논문지*, 21권 4호, 1068-1076(쪽), 1996.

이 우 춘(Woo chun Lee)

정회원



1951년 7월 23일생

1977년 : 단국대학교 전기공학과
공학사

1986년 : 명지대학교 전기공학과
공학석사

1995년 : 명지대학교 전기공학과
박사수료

1992년 3월~현재 : 국립익산대학 전기과 부교수

<주관심 분야> 전기통신관계법, 통신장치

이 근 호(Geun ho Lee)

정회원



1969년 3월 29일생

1994년 : 전북대학교 전기공학과
공학사

1997년 : 전북대학교 전기공학과
공학석사

1999년 : 전북대학교 전기공학과
박사수료

<주관심 분야> 회로 및 시스템, 아날로그 집적회로

방 준 호(Jun ho Bang)

정회원



1966년 9월 28일생

1989년 : 전북대학교 전기공학과
공학사

1991년 : 전북대학교 전기공학과
공학석사

1996년 : 전북대학교 전기공학과
공학박사

1998년 4월~현재 : 국립익산대학 전기과 전임강사

<주관심 분야> 회로 및 시스템, 아날로그 집적회로