

CDMA 이동국용 다중경로 복조기의 효율적인 하드웨어 설계

준회원 황 상 윤* 정회원 김 재 석*

An Efficient Hardware Design of Demodulating Fingers for CDMA Mobile System

Sangyun Hwang*, Jaeseok Kim* *Regular Members*

요 약

본 논문에서는 CDMA 이동국용 시스템에서 탐색된 다경로 신호를 복조하기 위한 복조기의 효율적인 하드웨어 구조 설계에 대하여 제안한다. 이동국의 설계시 중요한 요소인 하드웨어의 복잡도를 줄이기 위하여, 여러 개의 다중경로 복조기(demodulating finger)가 하나의 연산 블록을 공유하도록 설계하였으며, 이러한 공유 연산기가 다중경로 복조기내에서 이루어지는 모든 연산을 수행하도록 설계하였다. 제안된 구조는 VHDL로 설계되었으며, FPGA로 구현하여 검증하였다. 이러한 다중경로 복조기는 IS-95 규격에 기초를 둔 CDMA 개인 휴대 이동 통신 시스템 표준에 적합하게 설계되었다. 제안된 다중경로 복조기는 복조 하고자 하는 다중경로의 수가 3인 경우에는 논리 게이트 수가 약 23K였으며, 제안된 구조는 기존의 시스템보다 하드웨어 복잡도가 약 11%정도 감소하였다. 제안된 구조를 사용할 경우 7개의 채널을 동시에 복조해야 하는 MC-CDMA 다중경로 복조기의 논리 게이트 수는 약 42K 정도였다. 제안된 하드웨어 구조는 다수의 다중경로를 복조하는 시스템이나 동시에 여러 개의 채널을 복조해야 하는 Multi-Code CDMA 시스템에서 매우 효율적인 하드웨어 설계임을 보이고 있다.

ABSTRACT

This paper presents an efficient hardware architecture of demodulating fingers to demodulate the multi-path propagating signals in CDMA Mobile System. We design a new architecture of demodulating fingers which share the single arithmetic unit to reduce the hardware complexity. This arithmetic unit performs MAC(Multiplication and Accumulation) operations of all demodulating fingers. We design the proposed architecture using VHDL and implement it on Altera FPGA chip. The proposed architecture is suitable for IS-95 based CDMA PCS system. It contains about 23K logic gates when the number of demodulating finger is 3. The hardware complexity of our proposed architecture is decreased by 11% to be compared with the conventional one. Three demodulating fingers for MC-CDMA which demodulate 7 channels contain about 42K logic gates. Our proposed system is shown to be very useful for hardware architecture which uses multiple demodulating fingers, and also for Multi-code CDMA system in which several channels are demodulated simultaneously.

I. 서 론

현재 이동 통신 시스템의 무선 접속 방식으로 제

안되고 있는 CDMA(Code Division Multiple Access)기술은 다중경로 간섭과 대역 제한된 잡음에 강한 특징 이외에도, 통신상에서의 비밀보장과

* 연세대학교 전자공학과 VLSI&CAD 연구실(sea@asic.yonsei.ac.kr)

논문번호: 98390-0901, 접수일자: 1998년 9월 1일

* 본 연구는 1998년도 한국학술진흥재단 대학부설연구소과제 연구비에 의하여 연구되었음

한정된 주파수 대역에서 사용자의 용량을 증가시킬 수 있는 장점을 가지고 있다. 우리 나라는 96년 1월부터 IS-95 규격에 기초를 둔 CDMA 상용화 서비스가 시작되었으며 이에 따라 CDMA용 디지털 이동국의 수요는 계속 급증하고 있는 추세에 있다. 디지털 전송방식을 위한 이동국 설계는 상업적인 보급을 위하여 저가격화, 소형화, 저전력 소모, 그리고 성능 최적화를 목표로 하며, 이러한 목표를 이루기 위해서는 CDMA용 이동국의 모뎀 설계 기술 확보가 필수적이다.

이러한 CDMA 방식을 이용한 셀룰라 시스템의 대표적인 예는 한국, 미국 등에서 차기 표준 디지털 셀룰라 방식^[1,2]으로 채택하여 개발 중에 있는 DS/CDMA 시스템^[3,4,5]을 들 수 있다. 현재 서비스 되고 있는 DS/CDMA 무선 접속 방식의 칩율(Chip rate)은 1.2288Mcps이고 펄스 성형된 RF 대역폭은 1.25MHz이다. 순방향 채널은 파일럿 채널(Pilot channel), 동기 채널(Sync-channel), 페이징 채널(Paging channel) 및 다수의 순방향 트래픽 채널(Traffic channel)로 구성되는데, 이들 모든 순방향 채널은 동일한 PN 부호와 PN 위상차(Phase offset)를 사용하고, 이에 대한 기준시간은 GPS(Global Positioning System)를 이용하여 설정되게 된다. 각 채널간의 구분은 직교부호인 왈시(Walsh) 부호에 의해서 이루어지며, 최대 64개의 채널에 대한 구분이 가능하다. 데이터 변조(Data demodulation)는 파일럿 채널을 이용한 동기 BPSK(Binary phase shift keying) 변조를 이용하며, 반송파 변조방식은 QPSK(Quadrature phase shift keying)를 채택하고 있다. 또한 사용자의 비밀보장을 위하여 별도의 PN신호가 사용되고 있다. 현재의 DS/CDMA 무선 접속 방식은 음성 정보와 같은 낮은 데이터 서비스를 제공하여 주고 있으므로 다양한 데이터 서비스를 제공하여 주지 못하는 단점을 가지고 있다.

MC-CDMA(Multi-Code CDMA)는 이러한 IS-95 CDMA 시스템에서 좀 더 높은 데이터 전송 서비스를 가질 수 있는 기술로 제안되고 있다^[2,6]. 이러한 MC-CDMA 시스템은 하나의 사용자가 다수의 채널을 사용함으로써 기존의 IS-95 CDMA 시스템보다 더 높은 데이터 서비스를 받을 수 있게 된다. 만약 기지국이 사용자로부터 높은 데이터 서비스를 요구 받을 경우, 기지국은 정보를 다수의 트래픽 채널로 나누어 사용자에게 전송하게 되며, 사용자는 늘어나는 트래픽 채널의 개수만큼의 데이터 서비스를 받을 수 있게 된다. 이러한 데이터 서비스를 제공받기

위해서는 기본적으로 CDMA 수신기는 다수의 트래픽 채널을 동시에 복조할 수 있는 구조로 되어 있어야 하며, 현재 이러한 CDMA 수신기에 대한 연구가 활발히 진행 중에 있다^[6].

기지국에서 전송되는 신호는 전송 환경의 반사, 굴절, 산란 등으로 인한 다중경로 감쇠 현상을 겪게 되므로, 전체 수신 신호의 SNR(Signal-to-noise ratio)을 높이기 위해서는 다중경로를 통한 복조가 이루어져야 한다. 그러므로, 이러한 다중경로 복조를 위한 CDMA 수신기는 PN 부호 탐색기(Searcher), 다수의 다중경로 복조기(Demodulating finger), 그리고 콤바이너(Combiner)로 구성되어 있다^[7]. 일반적으로 CDMA 수신기는 시스템의 용량을 높이기 위하여 다수의 다중경로를 복조하게 되며, 보통 3-4개의 다중경로를 복조하는 구조로 되어 있다. PN 부호 탐색기는 수신기의 PN 신호와 송신기로부터 수신되는 PN 신호의 초기 동기 획득 과정을 수행하게 되며, PN 부호 탐색기를 통해 탐색된 다중경로 신호는 다수의 다중경로 복조기에 할당되게 된다. 다중경로 복조기는 할당받은 다중경로 신호에 대한 복조를 수행하게 되며, 이와 동시에 시간과 주파수에 대한 미세한 동기 추적 과정을 수행하게 된다. 시간 동기 과정은 수신기의 PN 신호와 송신기로부터 수신되는 PN 신호의 위상차를 초기 동기 과정보다 더 미세하게 줄이는 과정이며, 주파수 동기 과정은 이동 통신 채널에서 발생할 수 있는 주파수 천이 현상을 보상해주는 과정을 말한다. 각각의 다중경로 복조기에서 복조된 신호는 콤바이너를 통하여 합하게 되며, 이 과정을 통하여 전체 신호의 SNR을 높이게 된다. MC-CDMA의 경우에는 다수의 트래픽 채널을 복조하여야 하므로, 다중경로 복조기에서 채널을 복조하는 블록이 트래픽 채널의 수만큼 증가하게 된다. 이러한 다수의 다중경로 복조기는 전체 CDMA 수신기 칩 면적의 큰 부분을 차지하고 있으며, 특히 다중경로 복조기의 개수가 늘어나거나 또는 다수의 채널을 동시에 복조해야 되는 MC-CDMA인 경우에는 전체 하드웨어 복잡도의 증가는 현저해 질 것이다. 그러므로 이러한 다중경로 복조기에 대한 효율적인 설계 기술이 확보된다면 실제 이동국 모뎀의 하드웨어 복잡도를 줄일 수 있을 것이다.

본 논문에서는 기존의 IS-95에 기초를 둔 DS/CDMA용 단말기의 하드웨어 복잡도를 줄이기 위한 다중경로 복조기의 효율적인 하드웨어 설계와 제안된 구조를 이용한 MC-CDMA용 다중경로 복조

기에 대한 구조를 제안한다. 각각의 다중경로 복조기에서는 복조와 동기 과정을 위하여 다수의 MAC(Multiplier and Adder Cell) 연산 과정이 필요하게 되는데, 이를 위한 조합 논리 회로의 증가는 전체 하드웨어를 증가시키는 원인이 된다. 본 논문에서는 다수의 다중경로 복조기에서 사용되는 MAC 연산 블록을 하나의 공유 블록으로 설계함으로써, 전체 하드웨어의 복잡도를 줄일 수 있었다. 이러한 DS/CDMA와 MC-CDMA용 다중경로 복조기에 대한 설계는 VHDL을 이용하여 이루어졌으며, DS/CDMA를 지원하기 위한 3개의 다중경로 복조기는 논리 합성 과정을 통해 하나의 Altera FPGA 칩으로 구현하였다. 실제적인 하드웨어의 검증을 위하여 필요한 기지국의 송신 부분, 마이크로프로세서, 그리고 다중경로 채널 환경 모델도 직접 VHDL로 설계하여 별도의 FPGA 칩으로 구현하였으며, 이를 설계된 DS/CDMA용 다중경로 복조기와 연동하여 검증하였다.

본 논문의 구성은 II장에서 일반적인 다중경로 복조기에 대한 기능과 여기에 사용되는 알고리즘을 설명하고, III장에서는 공유 연산 블록을 사용한 DS/CDMA용 다중경로 복조기의 하드웨어 구조와 IV장에서는 제안된 구조를 이용한 MC-CDMA용 다중경로 복조기의 하드웨어 구조를 제시한다. V장에서는 설계된 구조에 대한 구현과 검증 결과에 대하여 언급하며, 마지막으로 VI장에서는 결론을 맺는다.

II. 다중경로 복조기의 기능과 알고리즘

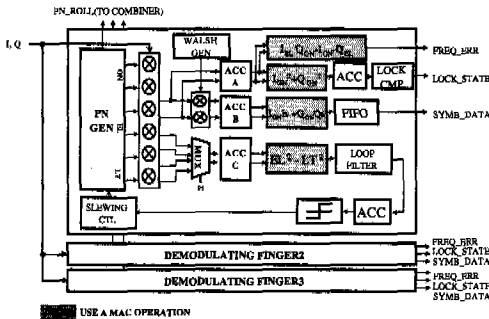


그림 1. 일반적인 다중경로 복조기의 블록도

다중경로 복조기의 기능에는 역확산 기능, 시간 동기 추적 기능, 복조 기능, 에너지 탐색 기능, 주파수 오차 측정 기능 등이 있다⁸⁾. 3개의 다중경로를

복조하기 위한 일반적인 다중경로 복조기의 구조는 (그림 1)과 같다.

다중경로 복조기의 핵심 기능에 속하는 역확산 블록은 할당된 다중경로에 대한 QPSK 역확산(Despreading)을 수행한다. 이러한 역확산 기능은 다시 PN 역확산과 왈시 역확산으로 나누어진다. PN 역확산은 이동국 내부의 동기된 PN 신호에 의하여 이루어지며, 왈시 역확산은 복조 하고자 하는 채널에 따라 선택된 왈시 신호에 의하여 이루어진다.

다중경로 복조기의 또 다른 주된 기능 중의 하나는 PN 부호 탐색기에서 찾은 PN 신호에 대한 시간 동기 추적 기능이다. 이 기능을 위해 일반적으로 사용되는 알고리즘에는 DLL(Delay-Lock Loop) 방식과 TDL(Tau-Dither Loop) 방식이 있다^{9,10)}. TDL 방식은 DLL 방식보다 3dB의 성능 저하는 있지만, DLL 방식보다 적분기가 하나 덜 필요하므로 전체적인 하드웨어의 복잡도를 줄일 수 있다. 이러한 시간 동기 추적기에 필요한 기본 연산은 식 (1)과 같이 표현된다.

$$s(t) = \text{Early}^2(t) - \text{Late}^2(t) \quad (1)$$

만일 추적하고자 하는 시간 동기 영역이 하나의 PN 칩 구간이라면, 여기서 Early와 Late는 각각 수신된 파일럿 신호를 내부의 동기된 PN 신호보다 1/2 PN 칩 앞선 PN 신호와 1/2 PN 칩 늦은 PN 신호와 상관시킨 값을 의미한다.

데이터 복조기(Data demodulator)는 I 채널과 Q 채널의 왈시 역확산된 값을 동기 복조하기 위하여 식 (2)와 같은 계산 과정이 필요하게 된다.

$$s(t) = I_S(t)I_{ON}(t) + Q_S(t)Q_{ON}(t) \quad (2)$$

여기서 주파수 오차가 제거되었다고 가정하면 식 (2)의 각 변수는 $I_S = M(t) \cos \theta$, $Q_S = M(t) \sin \theta$ 이고 $I_{ON} = A \cos \theta$, $Q_{ON} = A \sin \theta$ 로 표현될 수 있으며, 여기서 $M(t)$ 는 복조 하고자 하는 신호를 의미하며, A 는 이동 통신 채널 환경을 겪은 신호의 크기를 의미한다. I_{ON} , Q_{ON} 는 각각 파일럿 신호의 I 채널과 Q 채널에 대해 PN 역확산 시킨 신호를 나타낸다. 이 값들을 식 (2)에 대입하면 식 (3)과 같이 표현되며, 수신된 신호의 위상 오차가 제거됨을 알 수 있다.

$$s(t) = AM(t) \quad (3)$$

이러한 위상 오차가 제거된 신호는 데이터 정렬기(Data deskewer)를 거쳐 컴바이너에 전달되게 된다.

에너지 측정기는 할당된 파일럿 채널의 평균 에너지 값을 계산하는 역할을 하며, 이 값은 제어 레지스터에 저장되어 PN 부호 탐색기에서 탐색하고 있는 다른 다중경로의 에너지와 비교하게 된다. 여기에서는 식 (4)와 같은 기본적인 에너지 값을 계산하기 위한 과정과 더불어 계산된 에너지 값을 평균하는 과정이 필요하게 된다.

$$s(t) = I_{ON}(t) + Q_{ON}(t) \tag{4}$$

주파수 오차 측정기는 수신기와 기지국과의 오실레이터(Oscillator) 성능 차이와 이동국의 운동성에 의한 도플러 효과(Doppler effect)에 의해 발생할 수 있는 주파수 오차를 측정하는 기능을 수행한다. 이러한 주파수 오차에 의한 성능 저하는 식 (5)와 같다^[11].

$$D(\Delta f) = \left[\frac{\sin(\pi N \Delta f T_C)}{\pi N \Delta f T_C} \right]^2 \tag{5}$$

여기서 N은 역확산된 파일럿 신호를 적분하기 위한 적분 구간이고, Δf 는 주파수 오차를, T_C 는 PN 칩의 주기를 나타낸다. 본 논문에서는 이러한 주파수 오차 값을 측정하기 위하여 하드웨어 구현이 간단한 Cross Product AFC(Automatic Frequency Controller) 알고리즘^[12]을 사용하여 구현하였다. 이 알고리즘은 식 (6)과 같은 일반식으로 표현이 가능하다.

$$s(t) = I_{EL}(t)Q_{ON}(t) - Q_{EL}(t)I_{ON}(t) \tag{6}$$

여기서 $I_{EL}(t)$, $Q_{EL}(t)$ 는 $I_{ON}(t)$, $Q_{ON}(t)$ 를 하나의 심볼 구간만큼 지연시킨 값을 의미한다.

위의 식 (1), (2), (4), (6)에서 볼 수 있듯이, 각각의 기능 블록에서는 기본적으로 MAC 연산과정이 필요함을 알 수 있으며, 이러한 연산을 하나의 공유된 연산 블록에서 모두 수행한다면, 전체 하드웨어의 복잡도를 상당히 줄일 수 있음을 알 수 있다.

III. 공유 연산 블록을 가진 DS/CDMA용 다중경로 복조기의 설계

앞장에서 언급한 것과 같이, 하나의 다중경로 복조기에서 필요한 여러 MAC 연산 기능을 하나의

MAC 연산 블록에서 처리하도록 하고, 또한 이 MAC 연산 블록이 나머지 두 개의 다중경로 복조기에 대한 MAC 연산도 동시에 수행하게 한다면 전체 하드웨어 구조를 상당히 줄일 수 있게 된다. (그림 2)는 본 논문에서 제안하는 구조의 블록도를 나타낸 것이다. 3개의 다중경로를 처리하기 위한 이 구조는 크게 3개의 전처리 블록(Front-end Block), 하나의 MAC 연산 블록, 그리고 3개의 후처리 블록(Back-end Block)으로 나눌 수 있다.

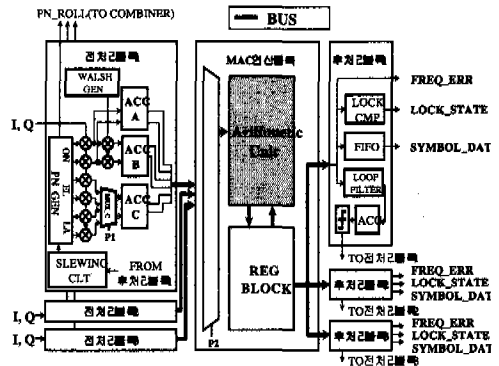


그림 2. 제안된 다중경로 복조기의 블록도

전처리 블록은 기본적으로 PN 발생기, Walsh 발생기, 세 개의 적분기(ACC_A, ACC_B, and ACC_C), 슬루잉 제어기(Slewing control), 그리고 네 개의 상관기(Correlator)로 구성되어 있다. 각각의 PN 발생기(I 채널, Q 채널)는 동기된 PN 신호 뿐만 아니라 PN 신호보다 1/2 PN 칩이 앞선 신호(PN_EARLY)와 1/2 PN 칩이 늦은 신호(PN_LATE)를 동시에 발생하게 되며, 이 신호들은 상관기를 통하여 파일럿 신호(Pilot signal)와 곱해지고, 적분기를 통해 정해진 주기(64 PN 칩, 256 PN 칩)동안 적분되게 된다. ACC_A 적분기는 PN 역확산된 파일럿 신호를 저장하는 역할을 하며, ACC_C 적분기는 시간 오차 값을 발생하게 하기 위하여 PN_EARLY 및 PN_LATE와 상관된 값들을 매 64 PN 칩마다 선택하여 하나의 심볼 구간 동안(64 PN 칩) 적분하게 된다. Walsh 발생기에 의하여 Walsh 역확산된 신호는 ACC_B 적분기를 통해 해당되는 심볼 주기 동안 적분되게 된다. 즉 다시 말해서 동기 채널의 경우에는 256 PN 칩 동안 적분하게 되며, 나머지 채널은 64 PN 칩 동안 적분하게 된다. 그러므로 전처리 블록에서는 6개(I 채널, Q 채널포함)의

8 비트 적분기 값이 출력되게 된다.

MAC 연산 블록은 3개의 다중경로 복조기의 전처리 블록 중에서 순차적으로 하나를 선택하여, 선택된 다중경로 복조기에 대한 아래의 네 가지 MAC 연산을 수행하게 된다.

- (1) 시간 오차 값 : $Early^2(t) - Late^2(t)$
- (2) 신호 동기 복조 : $I_S(t)I_{ON}(t) + Q_S(t)Q_{ON}(t)$
- (3) 에너지 측정 : $I_{ON}^2(t) + Q_{ON}^2(t)$
- (4) 주파수 오차 측정 : $I_{EL}(t)Q_{ON}(t) - Q_{EL}(t)I_{ON}(t)$

한번의 곱셈 및 덧셈 연산과 이 값들의 레지스터 블록으로의 저장이 하나의 PN 칩 안에서 수행되므로, 입력되는 두 값에 대한 MAC 연산은 두 개의 PN 칩 안에 모두 이루어진다. 그러므로, 각각의 MAC 연산을 위해서는 두 개의 PN 칩이 필요하기 때문에 하나의 다중경로 복조기에 대한 기본적인 MAC 연산을 모두 수행하는에는 여덟 개의 PN 칩이 걸리게 된다. MAC 연산 블록은 위와 같은 기본적인 MAC 연산 과정과 더불어 계산된 에너지의 평균을 구하는 기능도 포함되어 있으며, 이를 위해서 한 개의 PN 칩이 추가로 필요하게 된다. 그러므로 다수의 다중경로 복조기에 대한 모든 연산 과정을 수행하기 위해 필요한 시간은 다음 식 (7)과 같이 표현할 수 있다.

$$t_{total} = N \times (t_i + t_s + t_e + t_f + t_{ae}) \quad (7)$$

$$= N \times 9$$

N : 다중경로 복조기의 수

t_i : 시간 오차 값을 계산하기 위해 필요한 시간

t_s : 신호 동기 복조를 계산하기 위해 필요한 시간

t_e : 에너지값을 계산하기 위해 필요한 시간

t_f : 주파수 오차 값을 계산하기 위해 필요한 시간

t_{ae} : 에너지의 평균값을 계산하기 위해 필요한 시간

위에서 보는 것과 같이 하나의 다중경로 복조기에 대한 연산은 모두 아홉 개의 PN 칩이 필요하며, 세 개의 다중경로 복조기에 대한 모든 MAC 연산을 수행하기 위해서는 전체적으로 27 PN 칩(3 × 9 PN 칩)이 필요하게 된다. MAC 연산 과정이 수행될 수 있도록 허용된 시간은 하나의 심볼 주기(64 PN 칩)이므로, 3개의 다중경로 복조기가 하나의 연

산 블록을 공유하는데는 타이밍 문제가 전혀 없음을 알 수 있다.

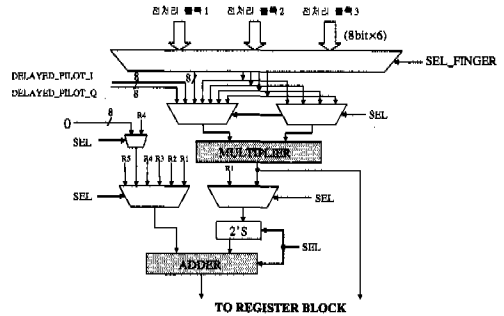


그림 3. 공유 연산기의 블록도

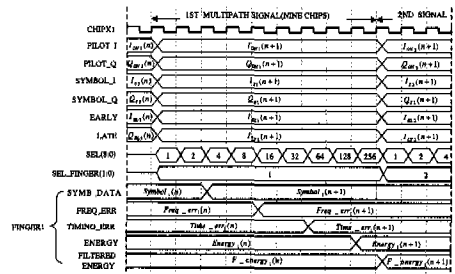


그림 4. MAC 연산 블록의 타이밍 다이어그램

이러한 MAC 연산 블록은 덧셈과 곱셈을 수행하기 위한 연산자와 이의 값들을 저장하는 레지스터 블록, 그리고 이를 제어하는 제어 블록으로 구성되는데, (그림 3)은 공유 연산기의 블록도를 보여주고 있다. 여기서 사용한 공유 연산기는 실제적인 하드웨어 복잡도를 고려하여 하나의 16비트 덧셈기와 8비트 곱셈기로 구성되어 있다. 각각의 다중경로 복조기에 대한 MAC 연산을 수행하기 위해서는 먼저 SEL_FINGER 신호를 이용하여 매 9 PN 칩마다 하나의 다중경로 복조기를 선택하게 되며, 선택된 다중경로 복조기에 대한 연산은 9 PN 칩 안에 모두 이루어지게 된다. 수신되는 다중경로 중에서 3개의 다중경로를 복조하고 있으므로 이러한 SEL_FINGER 신호는 하나의 심볼 주기인 64 PN 칩에서 처음 27 PN 칩 동안 유효하게 된다. 레지스터 블록은 공유 연산기에서 계산된 결과와 주파수 오차 값을 계산하기 위해서 전처리 블록에서 출력되는 PN 역확산된 파일럿 신호를 하나의 심볼 구간 동안 저장하는 역할을 하게 된다. SEL신호는 매

침마다 선택된 다중경로 복조기와 내부의 레지스터 블록으로부터 곱셈기와 덧셈기의 입력값을 선택하는 제어 신호이다. 이러한 공유 MAC 연산 블록의 타이밍 다이어그램은 (그림 4)와 같다.

위의 (그림 4)에서 볼 수 있듯이, 하나의 다중경로 복조기의 MAC 연산이 9개의 PN 칩 내에 끝남을 알 수 있다. 수신 신호의 동기 복조를 예로 들면, SEL_FINGER가 '1'일 때에는 첫 번째 다중경로에 대한 MAC 연산을 수행하게 된다. SEL 신호가 '1'일 경우에는 공유 연산기에 입력될 신호로 SYMBOL_I와 PILOT_I가 선택되며, 두 값에 대한 곱셈 연산을 수행하게 된다. 이렇게 계산된 값은 지정된 레지스터 블록에 저장되게 된다. SEL 신호가 '2'가 되었을 때에는 SYMBOL_Q와 PILOT_Q가 선택되며, 앞에서 계산된 값을 이용하여 식 (2)와 같은 MAC 연산이 수행되게 된다. 이와 같이 SEL 신호는 전처리 블록의 출력값과 내부의 레지스터 블록에서 공유 연산기에 입력될 신호를 선택하는 역할을 한다.

다중경로 복조기의 마지막 블록인 후처리 블록은 에너지 비교기, 데이터 정렬기, 그리고 시간 동기 추적기로 구성된다. 에너지 비교기는 MAC 연산 블록에서 수신되는 평균 에너지 값과 마이크로콘트롤러에서 정한 에너지 값을 비교하여 지금 복조하고 있는 다중경로의 유효 유무를 판단하게 된다. 데이터 정렬기는 복조된 신호를 정렬하여 콤바이너에 전달하게 된다. 그리고 시간 동기 추적기는 MAC 연산 블록에서 전달되는 시간 오차 값을 이용하여 전처리 블록의 슬루잉 제어기에 PN 신호의 이동량을 전달하게 되고, 슬루잉 제어기는 이 값을 받아서 PN 발생기의 PN 신호 위상을 이동시키게 된다. 그리고 각각의 다중경로 복조기에서 출력되는 주파수 오차 값과 복조된 신호는 콤바이너단에 전달하게 된다.

마지막으로, 본 논문에서 제안한 공유 연산 블록을 공유할 수 있는 다중경로 복조기의 개수에 대해서 간단히 언급하고자 한다. 앞에서 보였듯이, 3개의 다중경로 복조기에 대한 모든 MAC 연산을 수행하기 위해서는 27 PN(3 x 9 PN 칩) 칩이 필요하고, 이러한 모든 연산과정은 적어도 하나의 심볼 주기(64 PN 칩)안에 이루어져야 한다. 식 (7)을 사용하여 계산해 보면, 하나의 MAC 연산 블록은 최대한 일곱 개(7 x 9 PN칩)의 다중경로에 대한 복조가 가능함을 알 수 있다. 본 논문에서 제안한 구조는 이러한 다수의 다중경로를 복조해야 하는

DS/CDMA 단말기에 매우 유용한 구조임을 알 수 있다.

IV. MC-CDMA용 다중경로 복조기의 설계

다수의 트래픽 채널을 동시에 복조해야 하는 다중경로 복조기의 경우에는 기존의 DS/CDMA용 다중경로 복조기에서 사용자에게 할당된 트래픽 채널 개수만큼의 데이터 복조기와 데이터 정렬기가 필요하게 된다.

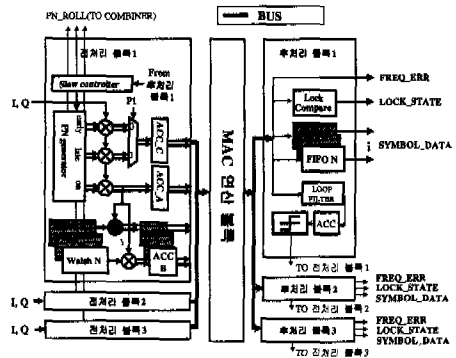


그림 5. MC-CDMA용 다중경로 복조기의 블록도

(그림 5)는 제안된 MAC 연산 블록을 사용한 MC-CDMA용 다중경로 복조기의 구조를 나타내고 있다. (그림 5)에서 볼 수 있듯이 N개의 트래픽 채널의 복원을 위하여 전처리 블록에서는 N개의 왈시 발생기와 적분기(ACC_B)가 필요하며, 후처리 블록은 N개의 데이터 정렬기가 필요함을 알 수 있다. MC-CDMA용 다중경로 복조기에 사용되는 MAC 연산 블록은 다수의 트래픽 채널을 동기 복조하기 위한 시간이 더 추가되며, 만일 C개의 트래픽 채널을 동시에 복조해야 하는 구조일 때, 다수의 다중경로 복조기에 대한 MAC 연산에 필요한 시간은 식 (8)과 같이 표현할 수 있다.

$$t_{total} = N \times (2C + 7)$$

N : 다중경로 복조기의 수

C : 복조하고자 하는 채널의 수

그러므로, 여기서 제안된 다중경로 복조기는 3개의 다중경로를 복조하는 경우 하나의 MAC 연산 블록을 이용하여 최대 7개(3 x 21 PN 칩)의 Multi-

Code 채널을 동시에 복조할 수 있음을 알 수 있다. 이러한 MAC 연산 블록을 공유하는 구조는 DS/CDMA용 CDMA 수신기에서 뿐만이 아니라 MC-CDMA용 수신기에서도 매우 유용한 구조임을 알 수 있다.

V. 하드웨어 구현 및 검증

본 논문에서 제안한 다중경로 복조기 구조는 VHDL로 설계되었고, 세 개의 다중경로 복조기의 경우에는 하나의 Altera EPF10K100GC503-3 FPGA 칩으로 구현할 수 있었다. 제안된 다중경로 복조기의 하드웨어 감소 정도를 알기 위해서 먼저 별도의 MAC 연산 블록을 가지고 있는 다수의 다중경로 복조기에 대한 합성을 실시하였으며, 합성된 결과는 제안된 구조와 비교되었다. (표 1)은 기존의 다중경로 복조기에 대한 게이트 수와 제안된 구조의 게이트 수를 나타내고 있으며, 여기서 전처리 블록과 후처리 블록의 게이트 수는 동일하다. 제안된 다중경로 복조기는 0.6μm CMOS ASIC library를 이용하여 합성하였다. 3개의 다중경로 복조기를 사용하는 구조의 경우 논리 게이트 수는 약 23K 정도였으며, 4개의 다중경로 복조기를 사용한 구조에서는 약 30K 정도였다. (표 1)에서 볼 수 있듯이 제안된 구조는 기존의 시스템보다 하드웨어 복잡도가 약 11%정도 감소하였다.

표 1. 제안된 다중경로 복조기의 게이트 수

내부 블록 \ 구조	기존의 다중경로 복조기		제안된 다중경로 복조기	
	N = 3	N = 4	N = 3	N = 4
다중경로 복조기의 개수	N = 3	N = 4	N = 3	N = 4
전처리 블록 (4091/개)	4,091 × 3 = 12,273	4,091 × 4 = 16,364	4,091 × 3 = 12,273	4,091 × 4 = 16,364
후처리 블록 (2482/개)	2,482 × 3 = 7,446	2,482 × 4 = 9,928	2,482 × 3 = 7,446	2,482 × 4 = 9,928
MAC 연산 블록 (1994/개)	1994 × 3 = 5,982	1994 × 4 = 7,976	3,100	4,230
총 게이트 수	25,701	34,268	22,819	30,522

MC-CDMA 시스템에서는 채널이 증가함에 따라서 MAC 연산 블록뿐만이 아니라 전처리 블록과 후처리 블록의 게이트 수도 변화하게 된다. MAC

연산 블록의 경우에는 입력값을 선택하는 제어단과 더불어 값을 저장하는 레지스터의 수가 증가함으로 인해 게이트 수가 늘어나게 된다. 전처리 블록의 경우에는 왁시 발생기와 데이터 복조기가, 후처리 블록에서는 데이터 정렬기가 채널의 수만큼 증가하게 되므로 전체 게이트 수의 증가가 일어나게 된다. (표 2)는 복조하고자 하는 채널의 수에 따른 3개의 다중경로 복조기의 게이트 수를 나타내고 있다. 그림에서 볼 수 있듯이 7개의 채널을 동시에 복조하는 다중경로 복조기의 게이트 수는 약 42K였다.

표 2. 트래픽 채널의 증가에 따른 MC-CDMA용 다중경로 복조기의 게이트 수

내부 블록 \ 구조	MC-CDMA용 다중경로 복조기		
	N = 1	N = 4	N = 7
다중경로 복조기의 개수	N = 3		
트래픽 채널의 개수	N = 1	N = 4	N = 7
전처리 블록	4,091 × 3 = 12,273	5,951 × 3 = 17,853	7,811 × 3 = 23,433
후처리 블록	2,482 × 3 = 7,446	3,682 × 3 = 11,046	4,882 × 3 = 14,646
MAC 연산 블록	3,100	3,600	4,300
총 게이트 수	22,819	32,499	42,379

(그림 6)은 PN 부호 탐색기에서 할당된 다중경로에 대한 다중경로 복조기의 시간 동기 과정에 대한 기능 검증 결과를 보여주고 있다. 할당된 다중경로의 에너지가 마이크로프로세서에서 설정한 값보다 큰 경우에는 Lock_en 신호가 '1'의 상태가 되어 할당된 다중경로가 유효함을 나타내며, Lock_en 신호가 '1'이 된 경우 다중경로 복조기의 시간 동기 추적기는 시간 동기 과정을 시작하게 된다. 반면, 이러한 Lock_en 신호가 '0'의 상태일 때는 시간 동기 과정을 중지하게 된다. (그림 6)의 A 지점에서 볼 수 있듯이 이러한 시간 동기 과정에 의하여 세 개의 다중경로에 대한 PN 신호가 기지국의 송신 PN 신호와 정확히 동기 됨을 알 수 있다. 여기서 기지국과 이동국의 PN 신호의 위상차는 없다고 가정한다. (그림 7)은 수신된 트래픽 채널(Traffic channel)에 대한 복조 기능의 검증 결과를 보여주고 있다. 마이크로프로세서에서 프레임(Frame)의 동기가 이루어졌음을 알리는 SLAM_SIGNAL이 발생하면, 이를 다중경로 복조기에서 감지하여 정렬된 신호를 컴바

이내에 전달하게 된다.

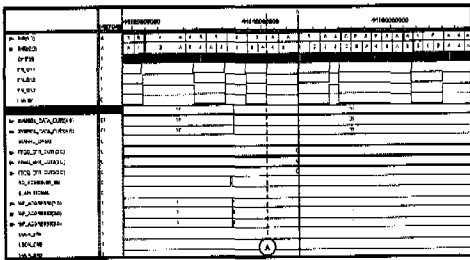


그림 6. 시간 동기 추적에 대한 검증 결과

(그림 7)에서 TRAFFIC_DATA는 기지국에서 전송되는 신호를 의미하며, SYMBOL_DATA 신호에서 볼 수 있듯이, 수신기에서 이러한 수신 신호의 정확한 복조가 이루어짐을 알 수 있다. 여기서 복조된 신호는 내부의 적분기와 데이터 정렬기에 의하여 일곱 심볼 지연되어 출력되며, 송신단에서 '0'은 '1'로, '1'은 '-1'로 전송됨에 유의해야 된다.

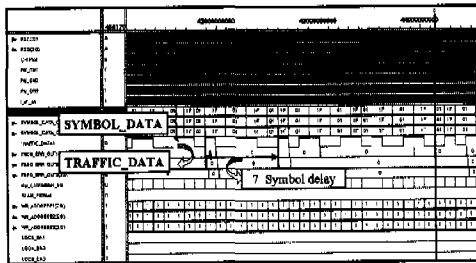


그림 7. 다중경로를 통하여 수신된 신호의 복조에 대한 검증 결과

실제 하드웨어 검증에 있어서는 다중경로 복조기에 대한 제어를 위하여 CPU 대신에 간단한 마이크로컨트롤러를 설계하여 사용하였으며, 다중경로 채널로는 4개의 다중경로를 사용하였다. 이러한 마이크로컨트롤러, 다중경로 채널, 그리고 기지국의 송신단은 VHDL로 설계하여 별도의 FPGA로 구현하였으며, 설계된 다중경로 복조기와 연동하여 검증하였다.

(그림 8)은 실제 하드웨어의 검증을 위한 FPGA 구현 환경을 보여주고 있으며, 마이크로컨트롤러를 구현하기 위하여 하나의 FPGA 칩이 사용되었고, CDMA용 수신기의 구현을 위하여 나머지 두 개의 FPGA 칩이 사용되었다. (그림 9)는 시간 동기 추적 과정에 대한 FPGA 칩에서의 실제 하드웨어 검

증 결과를 보여주고 있으며, A는 기지국에서 발생하는 PN 신호를, B는 세 개의 다중경로 복조기의 PN 신호를 의미한다. (그림 9)에서 볼 수 있듯이 실제 수신된 PN 신호와 세 개의 다중경로 복조기의 PN 신호가 정확히 동기 되었음을 알 수 있다.

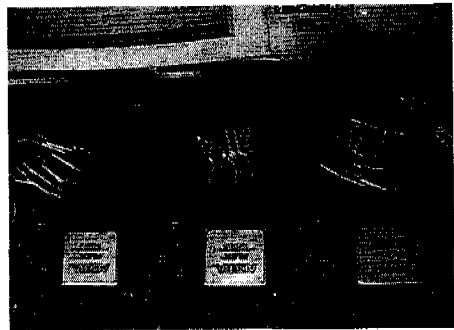


그림 8. FPGA 검증 환경

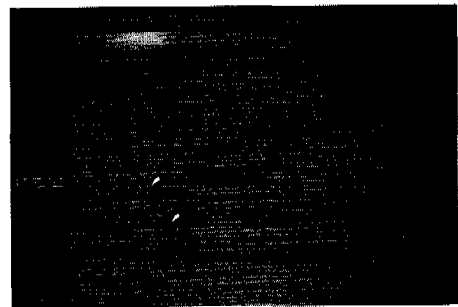


그림 9. FPGA 검증 결과

VI. 결론

본 논문에서는 탐색된 다중경로 신호를 복조하기 위한 복조기의 효율적인 하드웨어 설계를 제안하였다. 제안된 다중경로 복조기는 여러 개의 다중경로 복조기가 하나의 연산 블록을 공유하도록 설계하여, 이동국의 설계시 중요한 문제인 하드웨어의 복잡도를 줄이고자 하였다. 제안된 구조의 설계는 VHDL로 설계되었으며, FPGA 칩으로 구현하여 검증하였다. 3개의 다중경로 복조기의 논리 게이트 수는 0.6 μ m CMOS ASIC library를 이용하여 합성하였을 경우에 약 23K 정도였으며, 제안된 다중경로 복조기를 사용할 경우 기존의 시스템보다 하드웨어 복잡도가 약 11%정도 감소하였다. 제안된 다중경로

복조기를 사용할 경우 7개의 채널을 동시에 복조해야 하는 MC-CDMA 다중경로 복조기의 논리 게이트 수는 약 42K 정도였다. 제안된 구조에서는 최대 7개의 다중경로 복조기가 하나의 공유 연산 블록을 공유할 수 있었으며, 제안된 하드웨어 구조는 다수의 다중경로를 복조하는 시스템이나 동시에 여러 개의 채널을 복조해야 하는 MC-CDMA 시스템에서 매우 효율적인 하드웨어 설계임을 보이고 있다.

참고 문헌

[1] TIA TR45.5 Subcommittee, *An Overview of the Application of CDMA to Digital Cellular Systems and Personal Cellular Network*, Qualcomm, Mar. 28, 1992.

[2] TIA/EIA, *IS-95 : Mobile Station-Base Station Compatibility for Dual-Mode Wide-band Spread Cellular System*, July 1993.

[3] D.L Schilling, "Spread Spectrum for PCN", *IEEE Comm. Magazine*, pp 30-32, Mar, 1991.

[4] *The CDMA Network Engineering Handbook*, Qualcomm, Mar. 1, 1993.

[5] A.J. Viterbi, *CDMA Principles*, Qualcomm, Jan. 16, 1992.

[6] Chih-Lin I, Charles A. Webb III, Howard C. Huang, Stephan ten Brink, Sanjiv Nanda, and Richard D. Gitlin, "IS-95 Enhancements for Multimedia Services" *Bell labs Technical Journal*, vol.1, No.2, pp. 60-87, Autumn 1996.

[7] Jurg Hinderling, Time Rueth, Ken Easton, Dawn Eagleson, Jeff Levin, and Richard Kerr, "CDMA Mobile Station Modem ASIC", *Proceedings of the IEEE CICC'92*, pp. 10.2.1-10.2.5, May 1992.

[8] S. Lee, S. Hwang, J. Kim, "VLSI Architecture of CDMA Rake Receiver with Low Hardware Complexity for PCS", *Proceedings of the IEEE ICCE'98*, pp. 160-162, June 1998.

[9] A. Polydoros and C. L. Weber, "A unified approach to serial search spread spectrum code acquisition-Part 1 : General Theory" *IEEE Trans. Comm*, Vol. COM-32, No. 5, pp.

542-549, May 1984.

[10] H. Meyer and G. Ascheid, *Synchronization in Digital Communications*, vol-I, John Wiley and Sons, 1990.

[11] Andrew J. Viterbi, *CDMA Principles of Spread Spectrum Communication*, Addison-Wesley, 1995.

[12] FRANCIS D. NATALI, "AFC Tracking Algorithms", *IEEE Trans. on Comm*, vol. COM-32, No. 8, pp. 935-941, August 1984.

황 상 윤(Sangyun Hwang)

준회원



1974년 9월 16일생.

1997년 2월 : 경북대학교 공과대학 전자공학과 학사

1997년 3월~1999년 2월 : 연세대학교 공과대학 전자공학과 석사과정

1999년 3월~현재 : 연세대학교 공과대학 전자공학과 박사과정

<주관심 분야> 이동통신 시스템용 Modem ASIC 설계

김 재 석(Jaeseok Kim)

정회원

제24권 제2호 참조