DBpia

IMT-2000 광대역 CDMA의 동기추적 및 데이터 복조 회로구현

정회원 권 형 철*, 오 현 서**, 이 재 호**, 조 경 록*

Design of a tracking and demodulation circuit for wideband CDMA in IMT-2000

Hyoung Chul Kwon*, Hyun Seo Oh**, Jae Ho Lee**, Kyoung-Rok Cho* *Regular Members*

요 약

본 논문은 광대역 CDMA 방식의 IMT-2000 단말기용 이동국의 PN 코드 위상 동기를 위한 동기 추적기와 데이터를 복원하는 복조기회로 설계 및 구현에 대해서 기술한다. 먼저 동기 추적을 위한 회로는 넌코히어런트 방식을 사용하여 설계하였으며 동기 추적 과정에서 발생되는 클럭이 1/8 PN 칩의 해상도를 갖도록 설계하였다. 복조기 부분은 코히어런트 방식을 사용하여 설계하였으며 타임 트래킹 동작에 의해서 발생되는 클럭으로 생성된 PN 코드와 수신신호를 역확산하여 원래의 데이터를 복원하도록 설계하였다. 32.786 MHz의 구동 클럭과 4.096 MHz의 칩율을 사용하였으며 FPGA로 구현하였다. 또한 설계된 복조기는 32Kbps 음성 및 신호 채널에서 정상 동작함을 확인하였다. 성능 검증을 위하여 AWGN(Additive White Gaussian Noise) 7dB로 시뮬레이션하여 데이터 복원이 이루어 졌으며 무선 가입자망(WLL:wireless local loop)과 IMT-2000 변복조기 설계에 적용할 수 있음을 알 수 있었다.

ABSTRACT

In this paper, a pseudo-noise(PN) tracking and demodulation circuits are analyzed and designed for a direct-sequence/spread-spectrum multiple access system under a mobile fading channel. We consider noncoherent delay locked loop(DLL) as a PN code tracking loop which has 1/8 PN chip resolution. The tracking performance of DLL is evaluated in terms of locking time from a loose state and tracking jitter. The received signal is demodulated to original data by despreading with PN code locked by DLL. Also the designed circuit supports sound service of 32Kbps and in-band signal with 4.096MHz chip clock. The circuits are implemented and verified with FPGA, which is shown completely data recovery under AWGN 7dB and will be available for IMT-2000.

I. 서 론

고속 데이터 전송 및 동영상 서비스의 요구를 만족하기 위하여 새롭게 등장하고 있는 IMT-2000 은 기존의 음성 위주의 서비스를 탈피하여 최대 2Mbps 까지의 고속 정보 전송을 가능하게 하여 화상, 데이터 등의 다양한 서비스를 제공 해주는 멀티미디어 서비스이다.

IMT-2000의 통신 방식으로 가장 유력한 CDMA 시스템은 도청 및 방해신호의 영향을 줄이고 다수의 사용자를 수용하기 위하여 PN코드를 이용하여 원 신호의 대역폭보다 훨씬 넓은 확산 대역폭을 사

* 충북대학교 정보통신공학과 통신회로 및 시스템연구실
** 한국전자통신연구원
논문번호 : 98518 - 1130, 접수일자 : 1998년 11월 30일
※ 본 연구는 한국전자통신연구원의 지원으로 수행되었습니다.

www.dbpia.co.kr

용하여 전송한다. 이러한 확산 대역 통신 시스템에서는 송신기에 사용된 PN부호의 위상과 일치된 PN 코드로 복조 해야 원 정보를 복원할 수 있다. 따라서 시스템이 정상적으로 동작하기 위해서는 송신단과 수신 단에서 PN 부호 위상이 일치되어야 하므로 확산 대역 통신 시스템에 있어서 정확한 초기 동기와 동기추적은 시스템 성능에 영향을 미치는 중요한 요소로 작용하게 된다.[1][2][3]

DS/CDMA 시스템의 PN 부호 동기는 크게 두 가지 과정으로 나누어진다. 먼저 수신 신호의 PN 부호 지연 시간을 대략적으로 추정한 후에, PN 부호 동기 추적 루프를 사용하여 PN 부호 타이밍을 계속 추적해 나간다. 즉 코드 탐색기는 송신측의 PN 코드와 수신 측의 PN 코드의 오차를 1/2 칩 이내에 들어오게 수신기의 PN 코드의 위상을 조절하는 것이고, 동기 추적 및 복조기는 초기동기에서 이루지 못한 정밀한 동기를 추적, 유지하는 기능을 하며, 송신측과 수신측 간의 동기가 완전히 이루어지면 데이터 복조 기능을 수행한다.[4][5][6] 이와 같은 직접 시퀀스 확산 대역 방식을 사용한 통신 시스템의 PN 부호 동기 시스템은 기존에는 아날로그 방식으로 구현되어 왔다. 그러나 상용화되는 대역확산 시스템에서는 비교적 낮은 칩 율에서 동작하기 때문에 ASIC으로 구현하기 수월한 전 디지털 방식 PN 부호 동기 시스템에 대한 관심이 고조되고 있다.

본 논문에서는 차세대 이동 통신 시스템으로 제안되고있는 IMT-2000 표준안을 바탕으로 고속 통신을 가능하게 하는 광대역 CDMA 방식에서 중요한 부분을 차지하는 동기 추적기 및 복조기의 알고리즘을 해석하고 FPGA로 구현하여 그 동작을 검증하였다.[7] 본 논문의 구성은 2 장에서는 동기 추적 및 데이터 복조 알고리즘에 대해서 기술하고, 3 장에서는 하드웨어의 구조 및 동작에 대해서 설명하며 4장에서는 시뮬레이션 및 FPGA 구현, 그리고 마지막으로 결론을 기술한다

Ⅱ. 동기 추적 및 복조 알고리즘

그림 1은 구현된 복조부의 전체 블럭도로서 동기 추적기와 복조기의 동작을 간략히 살펴보면 다음과 같다. 먼저 A/D 변환기를 거친 디지틀 신호는 칩 클럭 4.096MHz의 8배로 오버 샘플링 되어 동기추적 블럭으로 입력된다. 동기추적 블럭으로 입력된 신호는 데시메이션(decimation) 블럭에서 칩 클럭인 CHIPx1의 하강 에지에서 latch up 되며, 그 중에서 한 포인트의 신호가 Early_PN 코드 및 Late_PN 코드와 역확산 된뒤 누적기에 각각 입력된다. 누적기에서는 역확산된 신호가 일정구간 누적되고 그 결과는 제곱연산을 통하여 I, Q 신호의 에너지 값을 구한다. 그리고 early와 late 상관 값의 차를 계산한 후 상관 값의 차로 현재 수신된 신호의 PN 코드와 추적기에서 발생된 PN 코드의 위상차를 판별하게된다. PN 코드의 위상차가 판별되면 이 값을 이용해서 추적기에서 사용하는 PN 코드 발생기의 클럭을 변화시키는 제어신호를 생성한다. 여기서 이용되는 루프 필터는 수신된 신호의 에너지를 이용하여 필터의 계수를 자동 변환시키므로서 클럭 지터를 방

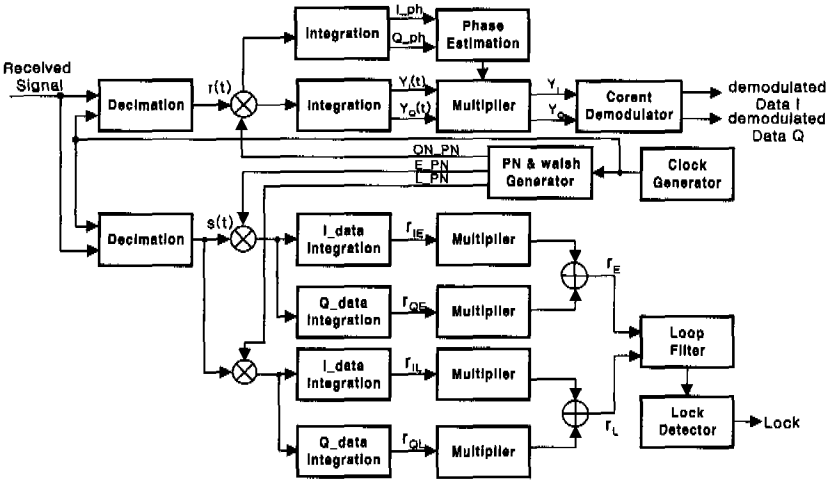


그림 1. IMT-2000용 단말기의 동기 추적기 및 복조기의 블럭도

www.dbpia.co.kr

지하도록 하였다. 클럭 생성기에서는 루프 필터에서 입력되는 제어신호에 의해서 CHIPx1클럭을 발생시키며 CHIPx1 클럭은 추적동작과 복조회로의 기준 클럭으로 사용된다. 또한 PN 생성기는 Early_PN, ON_PN, Late_PN 의 세가지 PN 코드를 발생시키며 발생된 PN 코드 시퀀스는 동일하나 각각 1/2 PN 칩의 위상차가 있으며 동기 추적과 복조기 회로의 역확산 때 사용된다. PN 코드는 CHIPx1 클럭의 위상에 따라 1/8 PN 칩 씩 위상이 변화한다. 복조의 경우에는 데시메이션 블럭에서 CHIPx1 클럭의 상승 에지에서 8배 오버 샘플링된 신호 중 하나의 신호만 ON_PN 코드와 역 확산하여 누적기에서 데이터 심볼 주기동안 누적연산을 한다. 코히어런트 복조기 블럭에서는 타이밍 에러 값을 계산하며 누적기에서 누적 연산을 통해서 계산된 I, Q 신호에 타이밍 에러를 보상하여 수신된 신호의 데이터 값을 계산하게 된다. 또한 수신된 신호의 에너지 값이 임계치보다 작을 경우에는 현재 추적기의 상태가 동기 되지 않은 상태이므로 복원된 데이터는 무효임을 나타내고, 임계치보다 클 경우에는 추적기의 상태가 동기 상태로 현재 복원된 신호가 유효함을 나타낸다. 설계된 시스템의 알고리즘을 동기 추적과 복조 과정으로 나누어 살펴보면 다음과 같다.

1. 동기 추적

동기 추적 회로는 기지국에서 송신되는 파일럿 신호를 이용하는 넌코히어런트 방식으로 설계하였으며, 동기 추적의 목적은 탐색기에서 전달되는 1/2 PN 칩 이내의 동기를 유지하면서 더욱 정확한 동기 위치를 찾는 것이다. 동기 추적에 사용되는 파일럿 신호는 기지국으로부터 QPSK 확산 방식으로 전송되며, 항상 순방향 파일럿 채널로 전송된다. 이 채널은 해당 기지국의 관할영역 내에 운용되는 이동국의 동기를 위한 것으로 무변조 신호이다. 순방향 파일럿 채널은 short PN으로 확산되고 왈쉬 0번을 사용하며, 이동국이 동기를 쉽게 잡을 수 있도록 다른 순방향 채널 즉 동기채널, 페이징 채널 혹은 음성채널보다 신호가 강하게 전송된다.

추적 동작을 위한 입력신호는 그림 1의 데시메이션 블럭에서 출력되는 신호 s(t)는 식 (1)과 같이 표현할 수 있다.

$$s(t) = r_I + r_Q \tag{1}$$

식(1)의 s(t)신호는 early PN 코드와 late PN코드로 각각 역확산 된다. 여기서 early PN 코드와 late PN 코드는 복조때 사용되는 ON_PN 코드와 비교해서 각각 1/2 PN 칩 빠른 것(Early)과 느린(Late) PN 코드이다. 역 확산된 신호는 누적 합산하는 누적기로 입력된다. 누적기에서는 4 비트 오프셋 이진(offset binary) 형태의 데이터를 2의 보수 형태의 데이터로 변환한다. 변환된 데이터는 I 신호와 Q 신호의 누화잡음을 제거하고 신호를 심볼 데이터 주기단위로 누적하며 누적기를 통과한 신호는 식 (2)로 표현될 수 있다.

$$\begin{aligned} r_{IE} &= \sqrt{P}\cos\theta R_c(\tfrac{1}{2}+\tau-\varepsilon)+n(t) \\ r_{QE} &= \sqrt{P}\sin\theta R_c(\tfrac{1}{2}+\tau-\varepsilon)+n(t) \\ r_{IL} &= \sqrt{P}\cos\theta R_c(-\tfrac{1}{2}+\tau-\varepsilon)+n(t) \\ r_{QL} &= \sqrt{P}\sin\theta R_c(-\tfrac{1}{2}+\tau-\varepsilon)+n(t) \end{aligned} \tag{2}$$

여기서 Rc 는 PN 코드 자기상관함수이고, ε는 PN 코드의 위상오차, τ는 PN 코드의 위상이다. 이 신호들을 각각 제곱기에서 I 신호와 Q 신호들의 에너지로 계산되어 early 와 late의 상관 값을 비교하기 위해 I 신호와 Q 신호의 에너지 값을 더한다. 그림 1 에서 보면 제곱기에서 계산된 I 신호의 에너지와 Q 신호의 에너지 값 들은 더하여 루프 필터에 입력되어지고 early 상관값 r_E와 late 상관값은 r_L은 식 (3)과 같이 표현된다

$$\begin{aligned} r_E &= PR_c^2(\Delta+\tau-\varepsilon)+n^2(t) \\ r_L &= PR_c^2(-\Delta+\tau-\varepsilon)+n^2(t) \end{aligned} \tag{3}$$

루프 필터에서는 클럭 지터를 방지하면서 위상오차를 계산하게 되고 클럭인 CHIPx1을 발생시키기 위한 제어신호를 발생시킨다. 루프 필터에서 계산되어진 위상오차는 식 (4)로 표현될 수 있다.

$$P_{Error} = r_E - r_L \tag{4}$$

식 (3)을 식(4)에 대입하면 수신된 신호의 PN 코드 위상과 설계된 시스템에서 발생된 PN 코드의 위상차를 구할 수 있으며 이것은 식 (5)와 같다.

$$P_{Error} = PR_c^2(\Delta+\tau-\varepsilon) - PR_c^2(-\Delta+\tau-\varepsilon) \tag{5}$$

클럭 지터를 방지하기 위한 루프 필터의 동작은 수신된 신호의 에너지 값에 따라서 필터의 계수를 변환시켜서 추적되는 타이밍의 조절이 가능하게 하

www.dbpia.co.kr

였다. Early 상관 값과 late 상관 값의 관계는 그림 2와 같은 S 커브를 나타낸다. 그림 2에서 ε는 PN 코드의 위상오차, S는 상관값의 크기를 나타내며 early 상관 값을 나타내는 E_CORR은 최대 값이 1/2 PN 칩 앞에 위치하며, late 상관 값을 나타내는 L_CORR은 1/2 PN 칩 뒤에 위치한다. 현재 수신된 신호의 PN 코드 위치와 추적기에서 발생된 PN 코드의 위상차는 두 상관 값의 차로서 판별되어 질 수 있다. 즉 E_CORR이 L_CORR 보다 크다면 수신된 신호의 PN 코드 위치보다 추적기에서 발생된 PN 코드의 위치가 빠르다는 것을 나타내며 E_CORR이 L_CORR보다 작다면 수신된 신호의 PN 코드 위치보다 추적기에서 발생된 PN 코드의 위치가 느리다는 것을 나타낸다. 따라서 가장 정확한 동기위치를 찾으면 E_CORR과 L_CORR의 차이 값은 0가되며, E_CORR과 L_CORR의 차이값을 계산하면 그림 2의 EL_DIFF와 같은 값을 얻을 수 있다.

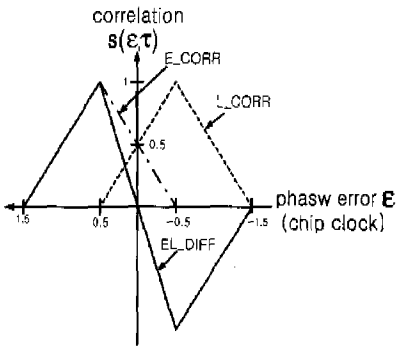


그림 2. 칩율에 따른 early 및 late 상관값의 차

2. 복조기

복조기에서 복조되는 트래픽 채널과 신호 채널의 데이터는 기지국에서 QPSK 확산 방식으로 변조되어 전송되며 특정 이동국으로 데이터를 전송하기 위해 사용된다. 트래픽 채널과 신호 채널의 데이터 복조는 동기추적에 의해서 발생된 클록을 이용하며 코히어런트 방식으로 설계하였다. 복조기 수신신호는 CHIPx1 클럭의 상승 에지에서 래치되어 입력되는 신호에 ON_PN 코드를 역확산 하여 누적기에 입력된다. 데시메이션 블럭의 출력 r(t)는 식 (6)과 같이 표현된다.

$$\begin{aligned} r(t) &= x(t)+n(t) \\ &= d(t)[P_I(t)\cos(W_c t+\theta)+ \\ &\quad P_Q(t)\sin(W_c t+\theta)]+n(t) \end{aligned} \tag{6}$$

여기서 $x(t)=x_I(t)+x_Q(t)$,

$x_I(t)=d(t)\cdot P_I(t)\cdot\cos(\omega_C t+\theta)$,

$x_Q(t)=d(t)\cdot P_Q(t)\cdot\sin(\omega_C t+\theta)$이고 n(t)는 AWGN 이다. d(t) 는 입력 데이터이고 P_I P_Q는 I 채널과 Q 채널의 PN 코드 열이다. 누적기에 입력된 신호는 왈쉬 코드와 다시 한번 역확산을 거친 후에 I 신호와 Q 신호의 cross talk을 제거하고 각각 음성 채널과 신호 채널의 심볼 데이터 율로 누적 연산이 된다. 누적기의 I 채널과 Q 채널의 출력은 식 (7), (8)로 표현된다.

$$\begin{aligned} Y_I(\tau) &= \sum_{t=0}^{T}[r_I(t)\cdot p_I(t-\tau)+r_Q(t)\cdot p_Q(t-\tau)] \\ &= \frac{d(t)}{2}[R_{II}(\tau)+R_{QQ}]\cos\theta \\ &\quad +\frac{d(t)}{2}[R_{QI}(\tau)-R_{IQ}]\sin\theta \end{aligned} \tag{7}$$

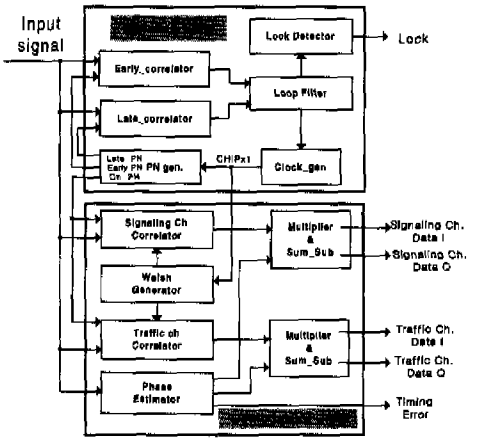


그림 3. 설계된 동기 추적 및 복조기의 블럭도

$$\begin{aligned} Y_Q(\tau) &= \sum_{t=0}^{T}[r_Q(t)\cdot p_I(t-\tau)-r_I(t)\cdot p_Q(t-\tau)] \\ &= -\frac{d(t)}{2}[R_{II}(\tau)+R_{QQ}]\sin\theta \\ &\quad +\frac{d(t)}{2}[R_{QI}(\tau)-R_{IQ}]\cos\theta \end{aligned} \tag{8}$$

식 (7), (8)에서 적분구간이 충분히 크다고 가정한다면, PN 코드의 상호상관함수 $R_{IQ}(\tau)$, 가 0라고 가정 할 수 있다. 따라서 I, Q의 데이터 출력 값은 식 (9), (10)로 표현할 수 있다.

$$\begin{aligned} Y_I &= \frac{d(t)}{2}[R_{II}(\tau)+R_{QQ}]\cos\theta \\ &= d(t)\cos\theta \end{aligned} \tag{9}$$

www.dbpia.co.kr

$$Y_Q = -\frac{d(t)}{2}[R_{II}(\tau)+R_{QQ}]\sin\theta = -d(t)\sin\theta \quad (10)$$

식 (9), (10)의 형태로 제곱기에 입력된 신호에서 $\sin\theta$, $\cos\theta$는 제거되고 I 신호와 Q 신호를 복원할 수 있는데 구해진 I 신호와 Q 신호는 채널 상에서 발생한 타이밍에러를 포함하게 된다. 따라서 복원된 I 신호와 Q 신호는 코히어런트 복조 블럭에서 계산된 타이밍 에러를 보상하여 완벽한 원 신호를 복원하게 한다.

Ⅲ. 하드웨어 구조 및 동작

본 연구에서 설계된 동기 추적기와 데이터 복조기는 그림 3과 같은 블럭들로 구성된다. 동기 추적기를 위해서 넌코히어런트 방식의 DLL(Delay Locked Loop)을 이용한 트래킹 블럭을 설계하였으며 복조기 블럭은 트래픽 채널과 신호 채널의 데이터 복조를 위해서 설계하였다. 회로에서 사용되는 기본 클럭은 칩 율의 8배인 32.678Mhz이며, 입력 신호는 무선부에서 기저 대역 I/Q 채널 신호로 분리된 후 A/D 변환기에서 8배 오버 샘플링된다. 샘플링 된 입력 신호는 4비트 오프셋 이진형태로 동기 추적기 및 복조기 블럭의 내부에서는 2의 보수 형태로 변환된 후 연산된다. 그림 3을 블럭별로 살펴보면 다음과 같다.

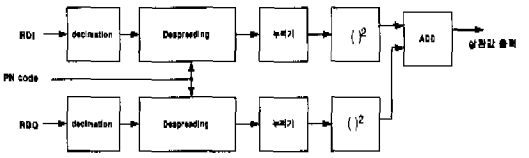


그림 4. 설계된 동기 추적 및 복조기의 블럭도

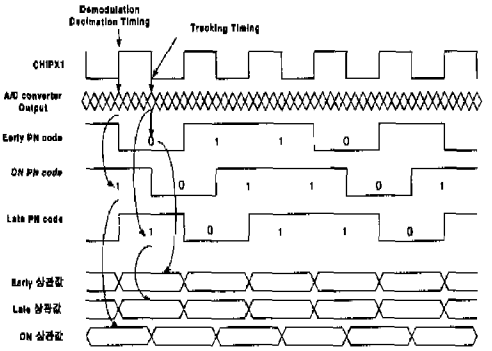


그림 5. 설계된 동기 추적 및 복조기의 블럭도

1. 동기 추적기 블럭 설계

1.1 Early & Late 상관기 블럭

그림 3에서 입력되는 수신 신호는 A/D 변환기에서 8배 오버 샘플링되어 출력되는 신호로서 Early 상관기 블럭과 Late 상관기 블록에 입력된다. Early 상관기와 Late 상관기는 동일한 구조를 가지며 그림 4와 같다. E_NCOR과 L_NCOR 블럭에 입력되는 신호는 데시메이션 블럭에서 CHIPx1 클럭의 하강 모서리에서 트리거 된다. 그림 5의 타이밍 도와 같이 Early 상관기 블럭에서 ON_PN 코드보다 1/2 PN 칩 빠르게 발생된 Early PN 코드를 이용하여 역확산 하며 Late 상관기 블럭에서는 ON_PN 코드보다 1/2 PN 칩 느리게 발생된 Late PN 코드와 역확산된다. 역확산된 신호는 역 확산블럭에서 I 신호와 Q 신호 각각 누화잡음을 제거하고 일정 시간 동안에 누적기 블럭에서 누적 연산을 한다. 이때 누적기의 데이터 율은 수신된 파일럿 신호의 에너지에 따라서 64, 128, 256 PN 칩 동안 누적된다. 누적된 값은 I 신호와 Q 신호를 제곱하여 각각의 에너지값을 계산한다. 에너지 값을 계산 한 후 early 에너지 값과 late 에너지 값의 차이를 구한다. 그리고 이 에너지 값의 차이를 양자화 하여 PN 코드의 위상을 Slewing 시킨다.

1.2 루프 필터 블럭 및 클럭 발생기 블럭

클럭 지터는 시스템에 예측할 수 없는 잡음이 발생하여 동기 추적 장치가 오 동작하는 것으로 루프 필터는 클럭 지터를 방지하기 위한 저역 통과 필터 역할을 한다. 본 설계에서는 파일럿 신호 에너지의 크기에 따라서 필터의 계수를 자동으로 조절하여 응답속도를 제어하도록 하였다.

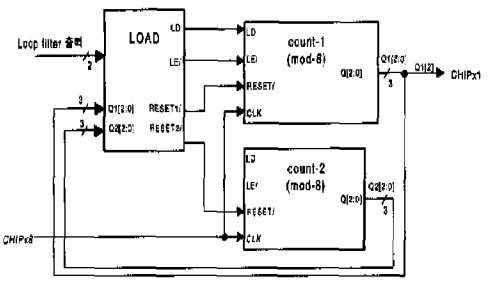


그림 6. CHIPx1 클럭 생성기 블럭도

클럭 발생기 블럭은 그림 6과 같이 구성된다. LOAD 블럭은 외부의 제어신호와 count-2의 제어펄

www.dbpia.co.kr

스를 이용하여 count-1의 병렬 로드 값과 로드 시점을 알리는 제어신호를 생성한다. count-1은 모듈러 8 카운터로 코드 추적용 CHIPx1을 발생시킨다. count-2도 모듈러 8 카운터로 count-1의 위상 제어를 위한 제어펄스를 생성하며 count-1에 의해 주기적으로 리셋 된다. 클럭 발생기 블럭에서 발생되는 CHIPx1 클럭을 이용하여 PN 코드와 왈쉬 코드를 발생시키며 데시메이션 블럭의 트리거 타이밍을 조절하여 추적동작을 수행한다. CHIPx1 클럭은 추적시에 1/8 PN 칩의 해상도를 갖는다.

1.3 Lock 검출기 블럭

복조기의 Lcok 검출기 블럭은 동기 추적기 블럭의 Lock 상태 유무를 인지하는 기능을 수행한다. 복조기에서 정상적인 복조가 이루어지기 위해서는 동기 추적기가 Lock 상태에 있어야 하기 때문에 Lock 검출기 블럭은 수신 신호의 세기를 측정한 에너지 값과, 마이크로 프로세서에서 설정한 임계 에너지 값을 비교하여 수신된 신호의 에너지가 임계치 값보다 크면 lock 상태를 선언하고 반대의 경우에는 unlock을 선언한다. 마이크로 프로세서에서 lock의 유무를 기준으로 데이터 복원 시스템의 동작 모드를 결정한다. 만일 lock 상태가 아니면 프로세서로부터 새로운 PN 코드의 위치에 대한 정보를 입력받아 PN코드의 위상을 조절하여 lock 상태가 되도록 한다.

2. 복조기 블럭의 설계

2.1 PN 코드 생성기 및 왈쉬 시퀀스 생성기

동기 추적기 및 복조기에서 사용되는 PN 코드는 기지국과 동일한 생성 다항식을 이용하여 4.096Mcps 율의 PN I,Q 코드를 생성한다. PN 코드의 전체 주기를 사용하지 않고 81,920 칩(20ms) 주기만을 사용한다. 이를 위해서 PN 생성기의 시드 값을 20ms 마다 갱신시키는 동작을 수행한다. PN 코드 생성기의 생성 다항식은 아래와 같다.

$$I(x) = x^{20} + x^{19} + x^5 + x^3 + 1$$

$$Q(x) = x^{20} + x^{11} + x^8 + x^6 + x^3 + x^2 + 1$$

왈시 코드 생성기는 64 왈쉬 시퀀스를 만드는데 6 비트 카운터와 레지스터, AND 게이트 그리고 Exclusive OR 게이트의 조합으로 구성하였다. 6비트 레지스터는 64 왈쉬 인덱스 중 하나를 의미하며 프로세서가 원하는 왈쉬 인덱스(0차 - 63차)를 레지스터에 쓰면 해당 왈쉬 시퀀스가 생성된다.

2.2 채널 상관기 블럭

복조기의 입력신호는 그림 5의 타이밍도와 같이 상관기에서 CHIPx1 클럭의 상승 모서리에 트리거된다. 트리거된 신호는 ON_PN 코드와 월쉬 코드로 역확산 되며 역확산된 신호는 데이터 심볼 주기로 누적 연산을 한다. 신호 채널 데이터를 복원하는 신호 채널 상관기 블럭과 트래픽 채널 상관기 블럭의 구조는 동일하며 그림 7과 같이 설계하였다. 그림 7의 ADD12 블럭에서는 누적연산을 하며 심볼 데이터 주기로 발생하는 symbol rate control 신호에 의해 초기화된다. 트래픽 채널과 신호 채널의 데이터 전송율이 서비스 종류에 따라서 다르므로 유효 데이터를 출력하기 위해서 처리 이득이 16 PN 칩 인 경우에는 누적기의 전체 11 bit 중에 하위 6비트를 출력시키며, 처리 이득이 256 PN 칩이면 상위 6비트를 출력시킨다.

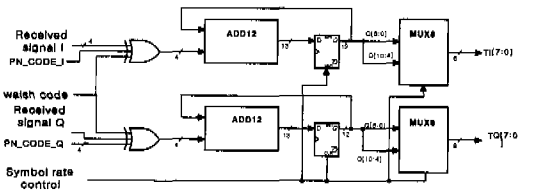


그림 7. 채널 상관기 블럭도

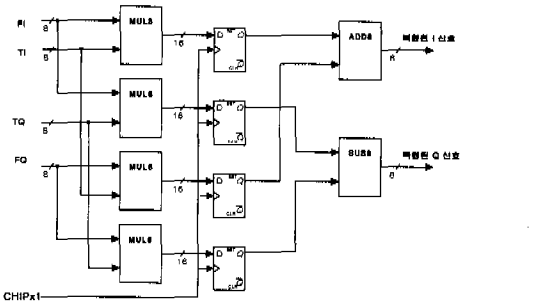


그림 8. 위상 보정 및 데이터 복조 블럭도

2.3 위상보정 블럭

위상 보정 블럭에서는 채널 상관기 블럭의 출력 데이터와 위상 추적기 블럭에서 계산된 위상 추정값을 이용하여 채널 상에서 발생한 주파수 에러가 보상된 신호 채널의 I, Q 신호와 트래픽 I, Q 신호를 복원한다. 그림 3의 2개의 위상 보정 블럭의 구

www.dbpia.co.kr

조는 동일하며 그림 8과 같이 설계하였다. 그림 8에서 입력신호 FI, FQ는 위상 추정 블럭에서 계산된 주파수 에러값이며, TI, TQ는 위상 추정기 블럭의 출력값이다. MUL8 블록에서는 입력 데이터를 곱셈연을 하며 ADD8 블록에서는 제곱연산된 값들을 I^2+(I*Q)연산을 통하여 I 신호를 복원하며 SUB8 블록에서는 Q^2- (Q*I)연산을 통하여 Q 신호를 복원한다.

2.4 위상 추정기 블럭

위상 추정기 블럭의 구조는 그림 9와 같이 설계하였다. 주파수 에러를 계산하는 위상 추정기 블럭은 수신 신호에 대한 동기 복조를 수행하기 위해서는 송신측의 반송 주파수와 위상이 일치 하여야한다. 따라서 이동국 복조부의 주파수 추적기는 송수신 반송 주파수의 에러성분을 계산하여 이를 데이터 복원시 보상하여야 한다. 그림 9에서 수신된 I 신호와 Q 신호를 PN 코드를 이용하여 역확산 한 후에 ADD12 블럭에서 누적연산한 값을 MUX8 블록에서 데이터율이 16 PN 칩일때는 하위 6 비트 256 PN 칩일 때는 상위 6비트를 출력시키며 이 값은 위상 보정블럭에 입력된다. 또한 위상 추정기 블럭에서는 MUL8 블럭에서 주파수 에러값을 계산하여 송수신 반송 주파수의 타이밍 에러 성분을 추출하여 출력시키며 이 타이밍 에러 값은 기저대역 아날로그 블럭의 TCVCOX를 조절하기 위해 사용되는 PDM신호를 발생시키기 위한 정보로 사용된다.

Ⅳ. 시뮬레이션 및 구현

본 연구에서 설계한 단말기 복조부의 각 기능은 시뮬레이션 및 FPGA 구현을 통하여 검증하였으며 시뮬레이션 결과를 살펴보면 다음과 같다.

그림 10은 수신된 신호의 PN 코드가 동기 추적기에서 발생된 PN 코드의 위치보다 빠른 경우에 1/8 PN 칩 전진 추적하는 시뮬레이션 결과이다. 그림 10의 E_corr과 L_corr 상관값은 각각 그림 3의 Early 상관기 블럭과 Late 상관기 블럭에서 출력되는 Early 상관값과 Late 상관값이다. 그림 10을 보면 E_corr의 값은 1025(0000001000000001)를 나타내고 있고, L_corr의 값은 27010(0011010011000010)을 나타내고 있다. 또한 DIFF_corr의 값은 -25985(1111100110100 111 111)을 나타내고 있으며 DIFF_corr은 그림 3의 루프 필터에서 계산되는 early 상관값과 late 상관값의 차이 값으로 수신된 신호의 PN 코드의 위상과 동기 추적기에서 발생된 PN 코드의 위상차를 나타낸다. 즉 DIFF_corr이 -25985 (1111100110100 111111)로 나타나는 것은 early 상관값이 late 상관값보다 작다. 따라서 추적기에서 발생된 PN 코드 위상이 수신된 신호의 PN 코드 위상보다 느리므로 추적기에서 발생되는 PN 코드의 위상을 1/8 PN 칩 전진시키는 과정을 그림 10에서 확인하였다. 즉 추적기의 상태가 추적상태가 아니면 시스템 클럭을 8분주하여 CHIPx1 클럭을 발생시키나 추적상태에서는 7분주하여 CHIPx1 클럭을 발생시키고 이 CHIPx1 클럭을 이용하여 PN 코드를 발생시키므로 PN 코드의 위상은 1/8 PN 칩 전진하게 된다.

그림 11은 수신된 신호의 PN 코드가 동기 추적기에서 발생된 PN 코드의 위치보다 느린 경우로 1/8 PN 칩 추적하는 시뮬레이션 결과이다. 그림 11의 E_corr과 L_corr은 각각 그림 3의 Early 상관기

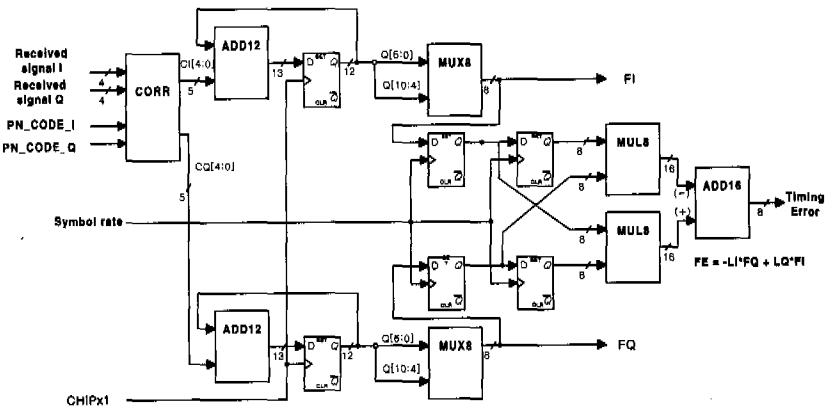


그림 9. 위상 추정기 블럭

www.dbpia.co.kr

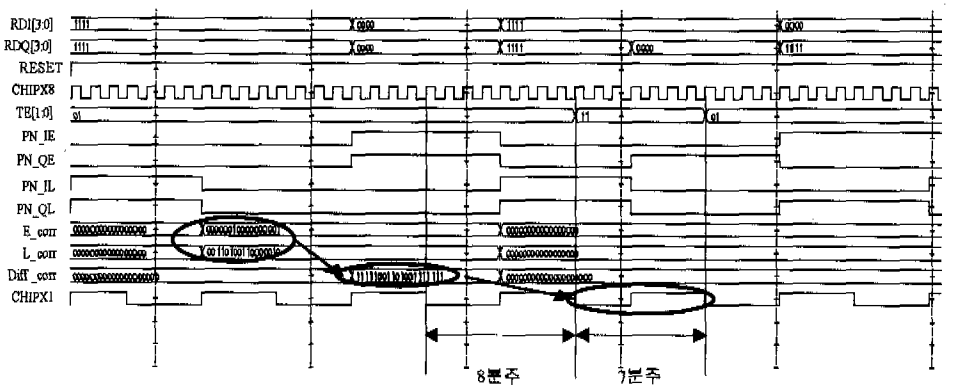


그림 10. 1/8PN칩 Advance 추적 타이밍도

블럭과 Late 상관기 블럭에서 출력되는 상관값이다. 그림 11을 보면 E_corr의 값은 27010(00110100 110000010)을 나타내고 있고 L_corr의 값은 801(00000001100100 001)을 나타내고 있다. 또한 DIFF_corr은26209(000001 10011001100001)을 나타내고 있으며 early 상관값이 late 상관값보다 크다. 따라서 추적기에서 발생된 PN 코드 위상이 수신된 신호의 PN 코드 위상보다 빠르므로 추적기에서 발생되는 PN 코드의 위상을 1/8 PN 칩 지연시키는 과정을 그림 11에서 확인하였다. 즉추적기의 현재 상태가 추적상태가 아니면 시스템 클럭을 8분주하여 CHIPx1 클럭을 발생시키지만 추적상태에서는 9분주하여 CHIPx1 클럭을 발생시키고 이 CHIPx1 클럭을 이용하여 PN 코드를 발생시키므로 PN 코드의 위상이 1/8 PN 칩 지연된다.

그림 12는 동기를 추적하는 과정으로 early 상관값 과 late 상관값의 차가 ±1/8 PN칩(±22.5°) 범위안에서 locking되는 결과를 보여준다. PN 코드의 위상차가 3/8 PN 칩이 발생한 상태에서 동기 추적이 시작되어 early 상관값과 late 상관값의 차이 값으로 추적 동작이 진행됨에 따라 ±1/8 PN 칩 범위에서 수렴되어진다.

또한 수신된 신호의 S/N비가 7dB, 20dB 및30dB 일 때 추적 과정중에 노이즈에 의한 위상지터를 확인할 수 있었고, S/N비가 7dB인 상태에서도 추적이 정확하게 이루어졌다.

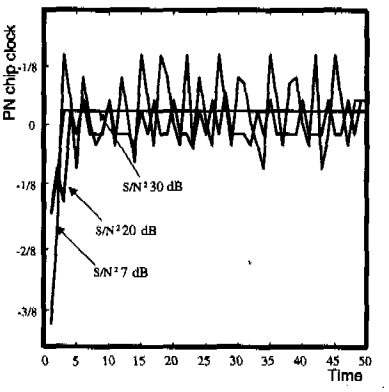


그림 12. S/N비에 따른 동기 추적 과정에서 위상오차의 크기

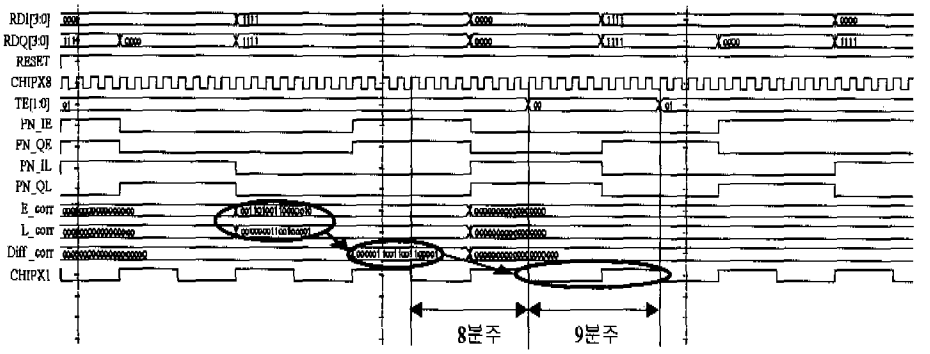


그림 11. 1/8PN칩 Delay 추적 타이밍도

www.dbpia.co.kr

V. 결 론

IMT-2000용 동기 추적기 및 데이터 복조기 회로를 설계하였으며, 시뮬레이션을 통하여 그 기능을 확인한 후 FPGA로 구현하였다. DLL을 이용한 동기 추적 회로는 파일럿 채널을 이용하여 초기 동기에서 이루지 못한 정밀한 동기를 추적 유지하였고, 코히어런트 방식의 복조기 동작은 트래픽 채널과 시그날링 채널 데이터를 완전하게 복원하였다. 또 시뮬레이션을 통하여 S/N비가 7dB하에서 ±1/8 PN 칩 범위 안에서 정확하게 동기 추적이 이루어짐을 알 수 있었고, 본 설계 기술은 앞으로 무선 가입자망 및 IMT-2000 시스템에 적용이 가능할 것으로 생각된다.

참 고 문 헌

[1] Gaudenzi, R. D. and Luise, M., "Decision-Directed Coherent Delay-Lock Tracking Loop for DS-Spread- Spectrum Signals," *IEEE Trans. on. Comm.*, Vol COM-39, no. 5, pp. 758-765, May. 1991.

[2] Gaudenzi, R. D. and Luise, M. and Violar, R., "A Digital Chip Timing Rec오버y Loop for Band-Limited Direct-Sequence Spread-Spectrum Signals," *IEEE Trans. on. Comm.*, vol. 41, no. 11, pp. 1760- 1769, nov. 1993.

[3] A. Polydoros and C. L. Weber, "Analysis and optimization of correlative code-tracking loops in spread-spectrum systems," *IEEE Trans. Commum.*, vol. COM-33, pp. 30-43, Jan, 1985.

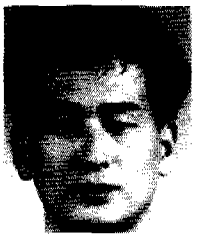
[4] W. H. Sheen, and G, L, Stuber, "Effect of Multipath Fading on Delay Lock Loops for Spread-Spectrum System," *IEEE Trans. on Comm.*, Vol. 42, No 2/3/4, Feb/Mar/Apr 1994.

[5] A. Mileant and S. Hinedi, "On the Effect of Phase Jitter on QPSK Lock Detection," *IEEE Trans. on Comm.*, July 1993.

[6] A. Mileant and S. Hinedi, "Lock Detection in Costas Loop," *IEEE Trans. on Comm.*, March 1992.

[7] QUALCOMM, MOBEL SYSTEM MODEM USER'S MANUAL, 1997.

권 형 철(Hyoung Chul Kwon) 정회원



1997년 2월 : 호원대학교 전자공학과(공학사)
1999년 2월 : 충북대학교 정보통신공학과(공학석사)
1997년 5월~1998년 6월 : 전자통신연구원 위촉연구원
1999년 1월~현재 : 전자부품연구원 위촉연구원

<주관심 분야> 이동통신, CDMA동기 및 변복조

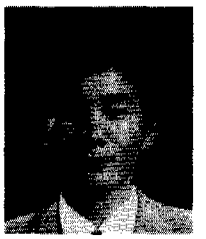
오 현 서(Hyun-seo Oh) 정회원

1982년 2월 : 숭실대학교 전자공학과(공학사)
1985년 2월 : 연세대학교 전자공학과(공학석사)
1998년 2월 : 연세대 전자공학과(공학박사)

1982년 3월~현재 : 한국전자통신연구원 ITS 시스템책임연구원

<주관심 분야> 이동통신, CDMA동기 및 변복조, ITS 무선패킷통신

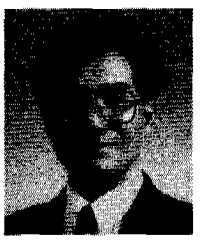
이 재 호(Jae Ho Lee) 정회원



1986년 2월 : 경북대학교 전자공학과(공학사)
1988년 2월 : 경북대학교 전자공학과(공학석사)
1990년 7월~현재 : 한국전자통신연구원 선임연구원

<주관심 분야> Mobile Communication, CDMA MODEM

조 경 록(Kyoung Rok Cho) 정회원



1955년 6월 22일생
1977년 2월 : 경북대학교 전자공학과(공학사)
1989년 3월 : 일본 동경대학교 전자공학과(공학석사)
1992년 3월 : 일본 동경대학교 전자공학과(공학박사)

1979년~1986년 : (주)금성사 TV연구소 선임연구원
1999년 1월~2000년 3월 : 오레곤 주립 대학 객원

www.dbpia.co.kr

교수
1992년~현재 : 충북대학교 정보통신공학과 부교수
<주관심 분야> VLSI 시스템 설계, 통신시스템용 LSI개발, 고속 마이크로프로세서 설계

www.dbpia.co.kr