

# STM-1급 155.52 Mbps 고성능 CMOS 리시버의 구현

정회원 채상훈\*, 정희범\*\*

## 155.52 Mbps High Performance CMOS Receiver for STM-1 Application

Sang-hoon Chai, Hee-bum Jung\*\* *Regular Members*

### 요 약

155.52 Mbps STM-1급 디지털 통신용 고성능 CMOS 리시버 칩을 설계 제작하였다. 제작된 리시버는 전송선로의 단락 또는 송신 중단 등으로 인해 데이터신호가 입력되지 않거나, 정전 발생 또는 시스템의 유지보수 등으로 인해 전원이 차단되었다가 복구될 때에도 155.52 MHz의 클럭 주파수를 유지하여 항상 안정된 동작을 할 수 있는 구조로 이루어진다. 이를 위해 설계된 회로는 PLL을 기본으로 한 데이터 및 클럭 복원회로 외에 데이터 감시회로와 전원 감시회로도 내장한다. 측정 결과 제작된 IC는 데이터신호가 입력되는 정상적인 상황에서뿐만 아니라, 데이터신호가 입력되지 않는 비정상적인 상황하에서도 항상 155.52 MHz의 안정된 클럭을 발생시키고 있음을 알 수 있었으며, PLL 루프의 실효 지터도 23 ps로 우수한 특성을 나타내었다.

### ABSTRACT

A high performance CMOS receiver for 155.52 Mbps STM-1 digital communication has been designed and fabricated. The ASIC operates properly with 155.52 MHz clock frequency in case of the data loss due to some system error such as transmission line open or data transfer fail. Also it operates properly in case the system starts after the power failure or system maintenance. The designed circuit has especially PLL based self oscillation loop which operates on abnormal environment which is added to main oscillation loop. The measured results show that the circuit operates well with 155.52 MHz clock frequency not only on normal environment but also on abnormal environment. Rms jitter of the PLL loop is about 23 ps.

### I. 서 론

광섬유를 이용한 유선 전송 방식에 있어서는 데이터신호가 전송되면서 원래의 형상을 유지하지 못하고 일그러짐(distortion)이나 퍼짐(dispersion) 현상이 수반된다<sup>[1][2]</sup>. 그러므로 교환기, 중계기, 단말기 등 광통신 유선전송 시스템의 수신 부에는 데이터 신호를 원형대로 복원해 주고 복원된 데이터신호로부터 시스템을 동작시키는데 필요한 클럭 신호를

추출해 주는 기능을 갖는 리시버(receiver) 회로가 사용된다. 리시버에 사용되는 클럭 추출 회로에는 여러 종류가 있으나 최근에는 응답특성이 양호하고 온도 등 주변환경의 변화에도 비교적 영향을 적게 받는 Phase Locked Loop(PLL) 방식을 응용한 회로가 각광을 받고 있다<sup>[3]</sup>. 그런데 PLL을 응용한 일반적인 클럭 추출 회로는 PLL 회로의 특성 상 전송선로가 단락 되거나 송신 중단 등으로 인해 데이터신호의 입력이 중단되면 자체 발생된 클럭 신호

\* 호서대학교 전자공학과(shchai@dogsuri.hoseo.ac.kr)

\*\* 한국전자통신연구원 회로소자연구소 아날로그회로팀(hbjung@cadvax.etri.re.kr)

논문번호 : 98386-0901, 접수일자 : 1998년 9월 1일

\* 본 연구는 HAN/B-ISDN 사업 중 ATM 교환소자 개발 과제의 일환으로 수행되었습니다.

와 위상 비교를 위한 입력신호가 없으므로 동작 주파수에서 이탈하여 발진기 고유주파수(natural frequency)에 해당하는 클락을 발생시키거나<sup>[4]</sup>, 심한 경우에는 클락 발생 자체가 중단되는 수도 있다. 또한 불시에 정전이 되었다가 복구되거나 시스템의 유지보수를 위해 전원을 차단한 후 다시 복구시킬 때에도 역시 클락 발생이

중지된 상태로 머물러 있거나 클락 신호의 주파수가 동작주파수로 수렴하지 못하고 발산하는 현상도 발생할 수 있다. 이러한 문제를 해결하기 위해서 일반적으로 시스템 내의 보드 상에 리시버 칩과는 별도로 수정 발진회로와 같은 별도의 보조 클락 신호 발진회로를 탑재하여 입력 중단 시에나 전원 복구 시 등 특별한 경우에도 보조 발진회로로부터 클락을 발생시키는 방법이 많이 사용되고 있다. 그러나 이 방식은 수정 발진기와 이 발진기를 동작시키기 위한 부가회로 등이 추가로 설치되어야 하기 때문에 회로 기판 상에서 많은 면적을 차지하고 제작비용도 많이 들어서 시스템이 복잡해지고 전력소모가 많아질 뿐만 아니라 경제적인 면에서도 바람직하지 못하다.

본 연구에서는 이러한 문제를 해결하기 위하여 2개의 루프(loop)를 갖는 특별한 구조의 PLL 회로를 내장하고 그밖에 여러 회로가 부가된 STM-1급 디지털 통신용 155.52 Mbps 리시버 IC를 0.8 um 디지털 CMOS 기술을 사용하여 설계 제작하였다. 제작된 리시버는 전원이 공급되고 데이터신호가 입력되어 시스템이 정상인 상황에 놓여있을 때뿐만 아니라, 송신선로의 단락이나 송신 측의 전송 중단 등으로 인해 데이터신호가 정상적으로 입력되지 않거나 정전 또는 시스템의 유지보수 등으로 인해 전원이 차단되었다가 복구될 때 등 특별한 상황에서도 155.52 MHz의 클락 신호를 발생시켜 항상 안정된 동작을 유지하는 특성을 갖는다.

## II. 리시버 회로의 설계

그림 1은 본 연구에서 설계한 집적회로의 개략적인 구조를 나타낸 블록도이다. 그림에서 데이터 입력 단에 배치된 데이터신호 복원회로는 전송 도중 전송선로에 의해 찌그러짐이 발생한 데이터 신호를 원상 복구시켜 주고 필요 없는 잡음성분을 제거하는 역할을 하며, 일반적으로 많이 사용하는 슈미트 트리거(Schmitt trigger) 회로와 인버터를 조합하여 구성하였다<sup>[5]</sup>. 클락 추출을 위한 PLL 회로는 그림

과 같이 2개의 루프로 이루어진 특별한 구조를 갖는다. 루프 1은 주 발진회로로서 전원이 정상적으로 켜져있고, 데이터신호가 정상적으로 입력될 때 동작하는 회로이며, 루프 2는 자체 발진회로로서 데이터신호가 입력되지 않거나 전원이 처음 켜질 때 등 특별한 상황이 발생했을 때 동작하는 회로이다.

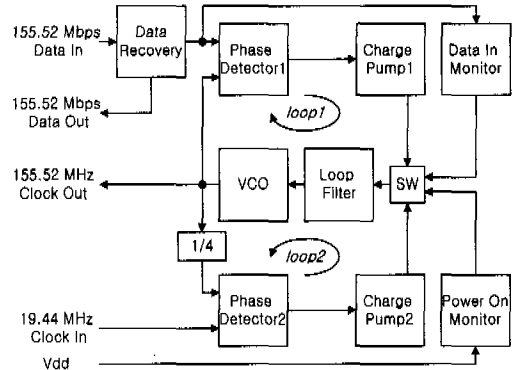


그림 1. 설계된 리시버 회로의 블록도

루프 1의 전체적인 구조는 PLL 회로에서 많이 사용되는 위상비교기(phase detector), 전하펌프(charge pump), 저역필터(low pass filter), 전압제어 발진기(voltage controlled oscillator)들로 구성되어 있다<sup>[6]</sup>. 위상비교기는 전송선로를 통해 전송되어온 155.52 Mbps NRZ(Non-Return Zero) 데이터 신호의 위상과 전압제어발진기에서 발생된 155.52 MHz 클락 신호의 위상을 서로 비교한 다음 그 위상 차이만큼을 펄스 폭의 크기로 변조하여 출력하는 구실을 한다. 전하펌프는 위상비교기에서 출력된 펄스 폭을 아날로그 전압 형태의 신호로 변조하는 구실을 한다. 저역필터는 저항과 커패시터로 구성되며, 필요 없는 고주파 잡음 성분을 제거하고 순간적으로 일정한 전압을 유지하여 시스템을 안정시키는 구실을 한다. 전압제어발진기는 전하펌프에서 생성된 전압에 의해 제어되는 발진기이며, 본 연구에서는 다른 회로와의 집적화를 위해 응답 특성이 양호하고 간편한 CMOS 디지털 공정으로도 제작이 가능한 CMOS 인버터형 링발진기(ring oscillator)를 사용하였다<sup>[7]</sup>. 루프 2도 루프 1과 유사한 형태로 구성되어 있으나, 입력신호를 155.52 Mbps의 데이터 신호 대신에 시스템에 내장되어 있는 19.44 MHz의 기준 클락(reference clock)을 사용하는 것이 상이하다. 따라서 루프 2에서는 전압제어발진기에서 발생한 클락 신호와의 비교를 위해 155.52 MHz 신호를

1/4로 낮추어 위상비교기에 공급하는 주파수 분주기 (frequency divider)가 더 배치되어 있다<sup>5)</sup>.

그 밖의 부가 회로로는 데이터신호의 입력 여부를 감시하여 전송선로의 단락이나 전송 중단 상태를 판단하기 위한 데이터신호 감시회로와, 전원의 켜짐 여부를 감시하여 정전이나 시스템 유지보수를 위하여 전원이 차단되었다가 복구되는 상태를 판단하는 전원 감시회로가 배치되어 있으며, 정상 상태에서는 루프 1 회로를 선택해 주고 비정상 상태에서는 루프 2 회로를 선택해 주는 루프 선택 스위치 회로도 배치되어 있다. 그밖에 복원된 데이터신호와 클락 신호를 최종적으로 위상 동기시켜주는 위상 동기회로 등이 배치되어 있다.

일반적으로 NRZ 신호를 이용한 유선통신에서는 64개 이상의 '0'신호가 연속되는 경우가 발생하지 않는다. 그러므로 시스템 동작 시 64개 이상의 '0'신호가 계속되면 이는 전송선로가 단락 되거나 전송 중단 상태로 판단하여 조치를 취할 필요가 있다. 본 연구에서는 이 원리를 이용하여 전송 상태를 감시하는 데이터신호 감시 회로를 설계하였다. 이 회로는 1/2 주파수분주기인 리셋 단자를 갖는 T 플립-플롭 3개와 2개의 인버터, 1개의 NAND 게이트로 이루어져 있다. 데이터신호 감시기 회로의 입력 단에는 19.44 MHz의 기준클락이 연결되며, 리셋 단자에는 155.52 Mbps의 데이터신호가 연결된다. 이 회로는 동작 시 64개 이상의 0 신호가 입력되면 출력이 '0'으로 바뀌고 그 이외에는 '1'의 출력을 갖는다. 이 회로는 1/8 분주 회로로서 64개 단위의 데이터신호를 카운트하는 역할을 수행하므로 간단하면서도 능률적이다<sup>5)</sup>.

한편, 불시의 정전이나 시스템의 유지 보수를 위하여 전원을 차단하였다가 다시 복구시킬 때에도 PLL 회로는 클락 발생이 정지되어 있거나 155.52 MHz의 정상 주파수로 수렴하지 못하고 발산하는 수가 있다. 본 연구에서는 이 문제를 해결하기 위하여 전원이 차단되었다가 복구될 시에도 이 상태를 판단하여 초기의 얼마동안은 루프 2를 동작시켜 PLL의 전압제어발진기를 155.52 MHz의 안정된 상태로 수렴시킨 후 선택 스위치에 의해 루프 1로 전환되어 루프 1이 정상 동작되도록 설계하였다. 전원 감시회로는 2개의 저항과 커패시터 및 인버터로 이루어져 있다. 저항과 커패시터는 전압 지연 전달회로의 기능을 하며, 전원 스위치가 차단되었다가 다시 복구될 때 시정수만큼의 지연시간이 경과하는 동안에 전원 전압이 커패시터 양단에서 서서히 증

가하도록 하는 구실을 한다. 따라서 전원 감시기 회로의 출력은 정상 동작 시에는 '0'으로 유지되다가 전원이 차단되면 커패시터의 전하가 방전되면서 '1'로 바뀌게 되며, 다시 전원이 복구되면 커패시터 양단의 전압이 인버터 상태가 천이하는 문턱전압 (threshold voltage) 이상이 되는 지점에서 '0'으로 바뀐다<sup>5)</sup>.

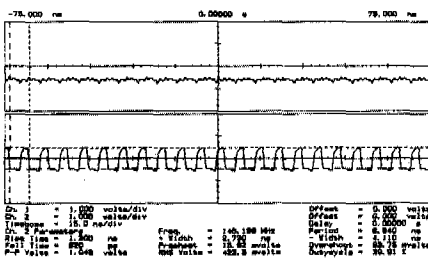
루프선택 스위치는 NOR 게이트의 출력이 루프 1에는 직접 연결되며 루프 2에는 인버터를 거쳐서 연결된다. 루프선택 스위치의 NOR 게이트는 데이터신호 감시회로의 출력과 전원 감시회로의 출력이 모두 '0'일 때 즉, 데이터신호가 입력되고 전원이 연결되어 있는 정상적인 동작 상태에서에만 '1'을 출력하고, 나머지 경우 즉, 데이터신호가 입력되지 않아서 데이터신호 감시기의 출력이 '1'이거나 전원이 복구되면서 전원 감시기의 출력이 '1'일 때에는 '0'을 출력한다. 그러므로 NOR 게이트의 출력이 '0'일 때는 루프 1이 동작되고 출력이 '1'일 때는 루프 2가 동작한다<sup>5)</sup>.

### III. 제작 및 측정 결과

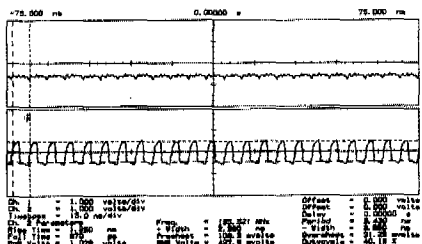
본 연구에 의한 리시버 IC는 ATM 교환기, SONET 통신망, LAN 등 155.52 Mbps STM-1급 디지털 통신을 사용하는 각종 시스템에 채택되어 대량의 수요가 예상된다. 따라서 경제적인 면을 고려하여 0.8 um CMOS 디자인 룰을 이용하여 레이아웃한 다음 비용이 저렴한 CMOS 디지털 표준 공정 기술을 이용하여 제작하였다. 따라서 저항은 아날로그 공정에서 사용하는 2층 폴리실리콘 저항 대신에 P+ 확산(diffusion) 저항을, 커패시터는 아날로그 공정에서 사용하는 2층 폴리실리콘 커패시터 대신에 게이트 산화막을 이용한 MOS 트랜지스터 채널 커패시터를 사용하였다.

제작된 칩을 패키징한 다음 테스트 보드를 이용하여 각종 전기적 특성을 측정하여 보았다. 그림 2의 (a)는 PLL 회로에 DC 바이어스만 가한 상태에서의 자유동작(free running) 상태를 측정해 본 결과로서, 전압제어발진기의 제어 전압이 2.5 V일 때 출력은 146 MHz의 주파수로 클락을 발생시키고 있음을 알 수 있다. 그림 2의 (b)는 전원이 켜지는 동작 초기와, 전송 중단으로 인해 데이터신호가 입력되지 않을 때의 동작 상태를 알아보기 위해 데이터신호는 입력하지 않고 19.44 MHz에 해당하는 구형파(square wave)만 기준클락으로 입력하여 시스템이 비정상적인 경우에 처해 있을 때를 가정하여 동

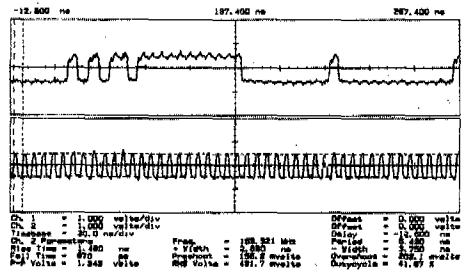
작 상태를 관찰한 결과이다. 측정 결과 PLL의 루프 2가 동작하여 입력된 기준클럭에 전압제어발진기에 의해 발생한 클럭 신호가 동기 되어 그 주파수를 155.52 MHz로 유지하고 있음을 알 수 있었다. 따라서 이 리시버는 입력 데이터신호가 없는 상태에서도 정상적으로 155.52 MHz의 클럭 신호를 발생시킨다. 그림 2의 (c)는 데이터신호가 정상적으로 입력될 때의 동작 상태를 알아보기 위해 155.52 Mbps에 해당하는 데이터신호를 입력하여 시스템이 정상적일 때 즉, 루프 1에 대한 동작상태를 관찰한 결과이다. 측정 결과 입력된 데이터신호와 클럭 신호가 서로 동기 되어 그 주파수를 역시 155.52 MHz로 유지하고 있다. 또한 그림 3은 열악한 데이터 입력 조건하에서 이 리시버가 동작하는 특성을 관찰하기 위하여 클럭 40 주기마다 1개의 '1' 신호가 입력되고 나머지 39개는 '0' 신호가 반복되는 극단적인 데이터 신호를 입력 신호로 입력한 후 전압제어발진기의 출력 특성을 관찰한 것으로서, 이 조건하에서도 이 리시버는 정상적인 155.52 MHz의 정상적인 클럭을 발생하고 있음을 알 수 있었다. 그림 4는 PLL의 동작 특성에 큰 영향을 미치는 전압제어발진기에서 발생한 클럭 신호의 지터(jitter) 특성을 관찰한 것으로서 일반적으로는 30 - 50 ps 정도 범위로 나타난다. 그림에서는 평균 값(rms)이 약 23 ps로 나타나서 양호한 결과를 보였다. 그밖에 데이터 감시기와 전원 감시기, 데이터 변환회로 등 주변회로에 대해서도 측정해 본 결과 155.52 MHz 주파수에서 모든 기능이 정상적으로 동작하고 있다.



(a)



(b)



(c)

그림 2. ASIC 측정 결과 (a) 자유 동작, (b) 루프 2, (c) 루프 1.

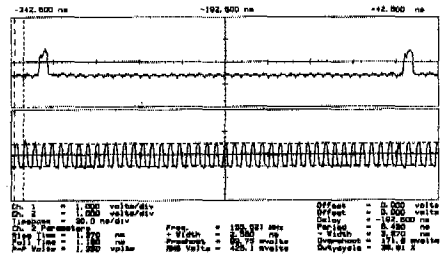


그림 3. 전압제어발진기의 출력 특성.

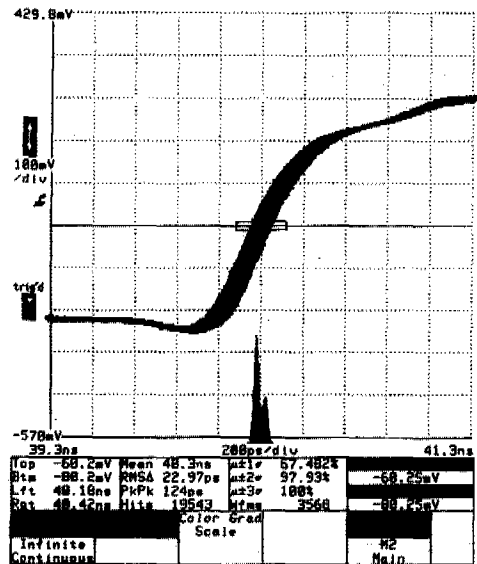


그림 4. 전압제어발진기의 지터 특성.

최종적으로 HP 사의 ATM 분석기를 이용하여 칩에 대한 BER(bit error rate) 테스트를 해 본 결과 22시간 연속실험에서도 비트 에러(bit error)가

발생하지 않아서 BER 10E-15 이하의 양호한 결과를 나타내었다. 표 1은 제작된 리시버 IC에 대한 측정 결과를 정리한 것이다. 그림 5는 제작된 칩의 사진으로서 크기가 2.1 mm x 2.2 mm이며, 칩의 소모전력은 350 mW이었다. 본 연구에 의해 제작된 칩은 PLL 회로뿐만 아니라 직병렬 데이터 변환기, 데이터 감시회로, 전원 감시회로 등을 한 개의 칩 안에 내장하였으며, 따로 보조 클럭 발진회로가 필요 없는 구조로 만들었기 때문에 기존의 여러 개의 칩을 사용하여 하이브리드 보드 구성하는 방법에 비해 시스템에서 차지하는 면적을 줄일 수 있을 뿐만 아니라 전력 소모도 크게 줄일 수 있다.

표 1. 제작된 리시버 ASIC에 대한 측정 결과.

Measurement Items	Measurement Results
Data Rate	155.52 Mbps
VCO Frequency	155.52 MHz
Acquisition Time	< 2 us
Bit Error Rate	< 10E-15
RMS Jitter	< 23 ps
Temperature Range	0 - 125°C

지 않거나, 정전 후 복구 시에도 155.52 MHz의 클럭 주파수로 안정한 동작을 할 수 있는 STM-1급 통신 시스템 수신부용 리시버를 제작한 후 측정해보았다. 제작된 회로는 정상적인 상황에서 동작하는 주발진 회로 외에 특별한 상황에서 동작하는 자체 발진회로를 내장하고 있으며, 데이터신호의 입력 중단 상태를 판단하는 데이터신호 감시회로와 전원이 차단되었다가 복구되는 상태를 판단하는 전원 감시회로 및 상황에 따라서 주 발진회로와 자체 발진회로를 선택해주는 선택스위치회로가 포함되어 있다. 0.8 um CMOS 공정으로 제작된 IC를 측정해 본 결과 예측한대로 잘 동작함을 확인할 수 있었다. 본 논문에 의한 리시버 회로는 발진회로와 주변회로들을 1개의 칩 형태로 집적화 하였기 때문에 여러 개의 칩으로 분리되어 있는 기존의 회로에 비해 PCB 보드 상의 집적도를 높일 수 있으며, 제작단가도 줄일 수 있다. 그리고 칩 제작에 있어서도 가장 비용이 저렴한 0.8 um CMOS 디지털 표준 공정으로 제작하였기 때문에 대량생산을 할 경우 경제적인 면에서도 큰 효과가 있을 것으로 기대된다.

참 고 문 헌

- [1] B. Kim, D. Helman, P. Gray "A 30 MHz high-speed analog/digital PLL in 2 um CMOS", ISSCC 90, vol. 33, pp. 104-105, Feb. 1990.
- [2] David K. Su, Marc J. Loinaz, Shoichi Maui, and Bruce A. Wooley, "Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits", IEEE JSSC, Vol.sc-28, No. 4, pp 420-429, April, 1993.
- [3] D. Jeong, G. Borriello, D. Hodges, R. Katz, Design of PLL-based clock generationcircuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
- [4] F. Gardner, "Charge-pump phase locked loops", IEEE Communication, Vol. com-28, No. 11, pp. 1848-1858, Nov. 1980.
- [5] 채상훈, 광명신, "ATM 교환기용 데이터 및 클럭 복원회로의 설계" 대한전자공학회 논문지, 제 32 권, B편, 제 4 호, pp 46 - 51, 1995년 4월.
- [6] 채상훈, 김귀동, 송원철, "155.52Mbps CMOS

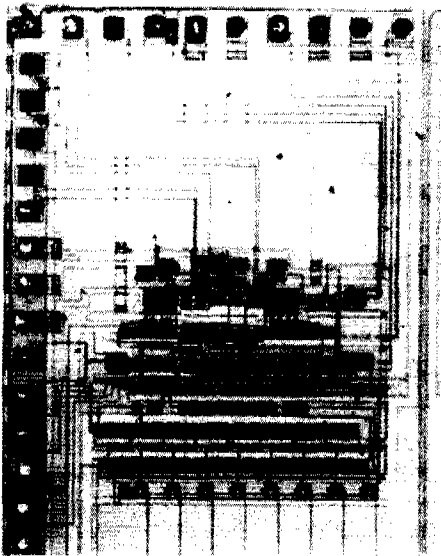


그림 5. 제작된 리시버 칩 사진.

V. 결 론

정상적인 상황에서뿐만 아니라 데이터가 입력되

데이터 트랜스미터 회로의 설계” 대한전자공학회 논문지, 제 33 권, B편, 제 8 호, pp 62 - 68, 1996년 8월.

채 상 훈(Sang-hoon Chai)  
제23권 제2호 참조

정회원

정 회 범(Hee-bum Jung)

정회원

1981년 2월 : 서강대학교 전자공학과(공학사)

1983년 2월 : 한국과학기술원 전기전자공학과(공학석사)

1993년 3월 : Columbia University at New York 전자공학과(공학박사)

1983년 3월~현재 : 한국전자통신연구원 회로소자연구소 아날로그회로팀 근무(팀장)

<주관심 분야> ASIC 설계, 통신회로 설계, ATM, 소자모델링