

# n-MOS FET의 강반전영역에서의 반전층 깊이 해석

정회원 노영준\*, 김철성\*\*

## Analysis of the Inversion Layer Depth in Strong Inversion of n-MOS FET

Young-Joon Noh\*, Chul-Sung Kim\*\* *Regular Members*

### 요 약

증가형 모드소자에서는 게이트전압에 의해서 전도채널이 형성되고, 이로인해 드레인 전류가 흐르게 되는데, 본 논문에서는 인가된 전위가 문턱전압보다 크다면 반전층이 형성된다는 것을 이용하여 강반전에서의 전도채널의 생성깊이를 추출하는 방법을 제안한다. 즉, 이온주입시 나타나는 가우시안 농도분포를 n개의 섹션으로 균등분할하고, 각 섹션에서 표면전위와 반전층을 야기시키는 문턱전압 값을 상호비교하므로써 반전층의 생성깊이를 유도하였다. 본 논문에서 제안한 방법의해 구한 결과 본 논문에서 제시한 제작조건을 갖는 n-MOS FET에서는  $0.05[\mu\text{m}] \sim 0.06[\mu\text{m}]$  정도의 반전층 깊이가 형성됨을 알 수 있었다.

### ABSTRACT

To make drain current flow in the enhancement mode device, the inversion layer must be formed by gate bias voltage. In this paper, the method that extracts its formation depth is proposed by using the theory that the inversion layer can be formed if the applied potentials are more than the threshold voltages. That is, gaussian distribution that exposes by ion implantation is equally divided into n boxes and from each box we induced the depth of the inversion layer by comparing the values of the surface potentials and the threshold voltages. The depth of the inversion layer of NMOSFET are calculated numerically by the method that are proposed in this paper. The numerical results show that the depth is  $0.05[\mu\text{m}] \sim 0.06[\mu\text{m}]$  under a fabrication condition that presents in this paper.

### I. 서론

증가형 MOS FET는 소비전력이 적고, 칩으로 만들 때 점유면적이 적어 바이폴라에 비해 낮은 가격으로 고밀도집적회로의 제조가 가능하다. 특히 현재 초고밀도 반도체 제조 공정기술의 발달로 ROM, RAM 등의 기억소자에 널리 이용되어 왔다. 그러나 고집적화에 따른 채널길이의 감소에 따라 종래의 긴 채널소자에서는 볼 수 없었던 여러 가지 짧은 채널효과가 발생하여 소자의 특성을 열화시키게 되었다. 소자의 특성을 열화시키는 짧은 채널 현상으

로는 펀치스로우(punchthrough)에 의한 낮은 항복전압, 문턱전압의 감소<sup>[1,2]</sup> 등이 있다. MOS FET회로의 설계에 있어서 문턱전압의 조절이 제일 중요한데, 이를 위해서 이온주입을 통하여 채널내 불순물농도를 높혀 주므로 인해서 문턱전압을 증가시켜 문턱전압을 조절하는 방법을 이용한다. 여기서, 게이트 바이어스 전압에 의한 반전층의 형성깊이를 알 수 있다면, 이를 이용하여 저전압에서 동작하는 MOS FET의 I-V 모델링이 가능할 수 있을 것이다.

현재 초고밀도 집적회로설계의 경향이 저전력용의 아날로그-디지털회로로 향하는 추세이므로, 트랜

\* 재능대학 교수

\*\* 인하대학교 전자공학과 교수

논문번호 : 99003-0308, 접수일자 : 1999년 3월 8일

지스터의 반전영역중에서 강반전영역 뿐만아닌 중간 반전영역에서나 약반전영역에서의 소자특성을 더 정확하게 나타낼 수 있는 모델식이 필요하게 되었다. B. J. Sheu<sup>[3]</sup>, J. H. Huang<sup>[4]</sup> 등의 모델링들은 기관의 농도가 균일하다는 가정하에 수행되어졌기 때문에 기관표면쪽 이온주입한 불균일 기관농도의 소자의 예측에는 적용이 될 수 없었다. 기존 일부의 모델링은 불균일 기관농도를 계단형으로 근사화시켜 수행되었으나, 그것은 단 지 트랜지스터 반전영역중 강반전영역만을 위주로 수행되는것에 그쳐 현재와 같이 소자의 크기가 감소하고 집적도가 증가함에 따르는 저전력 모델링이 필요한 시점에서는 높은 정확성과 효율성이 요구되고 있다.

n-MOS FET는 구조상 공핍형 n-MOS FET와는 달리 기관이 절연층까지 확장되어 있어 n채널이 존재하지 않는다.

따라서 MOS FET가 통전되기 위해서는 소스와 드레인 사이에 반전층인 전도채널이 형성되어야 하고 이러한 전도채널의 형성은 인가된 게이트전압 즉, 문턱전압 (threshold voltage)에 의해서 결정된다. 본 논문에서는 증가형 모드소자에서 형성되는 반전층의 깊이를 추출하고, 이를 이용하여 저전력 모델링을 구현하기 위한 새로운 해석방법을 제시하고자 한다.

현재 사용하는 대부분의 MOS트랜지스터는 이온주입에 의해 불균일하게 도핑된 채널을 가지고 있다. 이온주입은 훨씬 더 약하게 도핑된 기관의 사용을 가능케하므로서 MOS FET의 성능을 개선한다.

본 논문에서는 정확성을 기하기 위하여 계단형 근사법에 의존하지 않고 불순물 이온주입에 의하여 형성되는 가우시안농도분포를 깊이에 따라 일정한 간격으로 미세하게 n 등분하고 분할된 box마다 농도분포가 일정하다고 가정하였다. 즉, 금속 산화물과 Si를 접촉시키면 접촉전위가 발생하게 되고 여기에 게이트 전압  $V_{GS}$ 를 인가하면, 표면전위는 더욱 증대하게 되어 상당한 깊이까지 Potential이 존재하게 된다. 또한 문턱전압  $V_T$ 는 Mos FET에서 반전층을 형성시키는 최소단위의 값으로 불순물농도와 채널깊이에 의해서 결정된다. 지금, 표면깊이를 미세한 구간으로 구분하고, 주입이온농도에 의한 Potential drop을 고려하여 깊이에 따르는 구간별 접촉 Potential을 구한 다음, 해당 깊이에 대한 가상 문턱전압  $V_T(y)$ 를 구하여 이 값이 접촉전위 Potential보다 작으면 반전층이 형성될 수 있다는 가설하에 중첩의 원리를 적용 구하였다.

## II. 이론적 해석

높은 에너지로 가속되어 반도체내로 주입된 이온은 기관의 Si 원자핵과 그 주위에 있는 전자들과 충돌산란하여 결국에는 정지하게 된다. 그래서 이온주입된 도펀트의 분포는 주입된 이온이 충돌하여 정지하는 방법에 따라 결정된다. 즉, 핵과탄성충돌한 이온은 에너지를 핵에 넘겨주고 굴절하게 된다. 이 과정을 반복하여 정지하게 된다. 이것이 핵정지(nuclear stopping)이다. 한편 핵도 역시 초기의 위치에서 벗어나게 된다. 핵정지의 결과로 반도체내에 선(linear)결함과 같은 점결함(point defect)을 형성시켜 물리적 손상을 일으킨다. 때로는 이 과정의 결과로 반도체가 비정질이 되기도 한다. 또 다른 정지과정은 표적핵에 속박된 전자와 주입된 이온이 비탄성충돌을 일으켜 에너지를 손실하여 정지한다. 이를 전자정지(electronic stopping)라한다. 이 때 이온이 통과하는 거리, 즉 통과깊이를 비정(range)이라하는데 보통 표면 밀 1[um]이하가 된다. 비정은 이온의 운동에너지와 반도체의 구조적특성의 함수이다. 주입된 이온의 깊이방향의 도핑분포  $N(y)$ 는 LSS (Lindhard, Scharff, Schiott) 이론에 의하여 1차적으로 Gaussian분포로 근사된다<sup>[5]</sup>.

$$N(y) = \frac{D_I}{\sqrt{2\pi}(\Delta R_P)} \exp\left(-\frac{(y - R_P)^2}{2 \Delta R_P^2}\right) \quad (1)$$

$R_P$ 는 입사방향으로 투영된 평균적인 비정(projected average range)으로 에너지의 증가에 따라 증가하고 또한 도펀트질량의 함수이다.  $\Delta R_P$ 는 비정방향에서 벗어난 표준편차로 straggle이라 한다. 이는 주입에너지와 Si원자의 질량에 의존한다. 반도체에 주입된 이온의 수는 다음과 같이 정의된  $D_I$  [ $cm^{-2}$ ]를 사용한다.

$$D_I = \int_0^{\infty} N(y) dy = N_P(\Delta R_P)\sqrt{2\pi} \quad (2)$$

$N_F$ 는 단위체적 [ $cm^{-2}$ ]당  $y = R_F$ 에서의 첨두 농도를 나타낸다. 도무즈는 주의깊게 제어되는 양이다. 앞에서 서술한 ion stopping과정은 이온주입공정에 있어서 2가지 중요한 문제를 야기시킨다. 첫째 주입이온은 격자원자와 충돌하여 원래 존재하던 원자를 제거하고 그 자리를 차지하므로 결과적으로 결정상태가 무질서해지거나 비정질상태가 된다. 둘째

주입이온은 격자내에 불규칙하게 분포될 수 있어 주입된 불질(implant)이 활성화되지 않는한 치환형 불순물로 작용할 수 없다. 이 두 문제를 해결하기 위하여 웨이퍼는 손상을 복구하고 동시에 implant를 활성화시키는 열처리(annealing)과정을 거쳐야 한다. 즉, 도펀트와 Si원자 모두를 확산시키기 위하여 반도체를 잠시동안 가열한다. 전형적인 어닐링 주기는 1000°C에서 30분간이다. 이 온도는 고체상태 확산에서 사용하는 온도에 비해 매우 낮은 것이 보통이다. t 시간동안 온도 T에서 어닐링을 수행하였다면 확산깊이는 주로 온도와 drive-in diffusion의 시간에 의존한다. 그 새로운 분포도 가우시안이지만 초기특성길이  $\sqrt{2\Delta R_p}$ 와 확산길이  $2\sqrt{Dt}$ 에 의해서 더 넓어진 도펀트의 폭의 함수인 새로운 특성길이에 의해서 표시된다. 이들 양들은 rms형태로 조합된다. 즉, 새로운 특성길이  $L'$ 는,

$$L' = \sqrt{2\Delta R_p^2 + 4Dt} \quad (3)$$

이다. 새로운 피크농도는 초기특성길이  $\sqrt{2\Delta R_p}$ 를  $L'$ 로 대체하므로써 나타낼 수 있다. 따라서 최종도펀트분포는<sup>[6]</sup>,

$$N(y) = \frac{D_I}{L'\sqrt{\pi}} \exp\left[-\left(\frac{y-R_p}{L'}\right)^2\right] + N_{AB} \quad (4)$$

이다. 접합깊이  $y_j$ 에서  $N(y)$ 는 기판농도  $N_{AB}$ 와 같게 되므로 다음 관계식이 성립한다.

$$y_j = R_p + L' \sqrt{\ln \frac{D_I}{N_{RC} L' \sqrt{\pi}}} \quad (5)$$

본 논문에서는  $1 \times 10^{15} [cm^{-3}]$ 의 기판농도를 갖는 p형 Si 웨이퍼에 도우즈(dose) 농도  $1 \times 10^{12} [cm^{-2}]$  보론을 50 [KeV]의 열에너지로 가속하고 1000°C에서 30분간 어닐링을 한 n MOS FET를 기본 시료로 하였으며, 이때 이온주입의 범위와 폭을 나타내는  $R_p$ 와  $\Delta R_p$ 는 주입된 불순물의 종류뿐만 아니라 주입이온 빔의 에너지의 크기에 의존하며, 이들의 값들은 위에서 주어진 조건하에서  $R_p = 1.7 \times 10^{-5} [cm]$ ,  $\Delta R_p = 5 \times 10^{-6} [cm]$ 로 된다<sup>[7]</sup>. 그림 1은 이온주입후의 implant profile과 어닐링을 한 후의 implant profile을 나타낸 것으로, 활성화한 후의 주입된 불순물 분포는 등골게 더 넓게 퍼져있음을 알 수 있고 침투농도가  $8.08 \times 10^{16} [cm^{-3}]$ 에서  $3.84 \times 10^{16} [cm^{-3}]$ 로 반으로 줄어든 대

신 implant접합깊이  $y_j$ 는  $0.37 [\mu m]$ 에서  $0.54 [\mu m]$ 까지 확장되었음을 알 수가 있다.

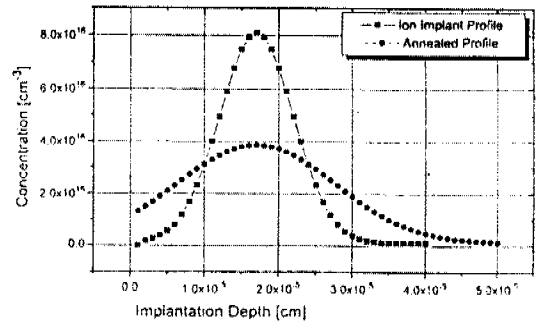


그림 1. 전형적인 이온 주입 불순물 분포

### III. 문턱전압 분포 해석

이상적 MOS구조에서 0 게이트전압을 인가하면 에너지대역의 모양이 평탄하다고 가정하였으나, 실제로는 일함수 차이, 산화막과 표면상태에서의 전하 때문에 그같은 상황을 실현할 수가 없다. 따라서 MOS 구조에서는 금속과 반도체 각각의 페르미준위로 부터 산화막전도대까지로 정의되는 변형된 일함수(modified work function)을 사용한다. 산화막전하 효과와 일함수차이를 복합적으로 고려하면 평탄밴드를 얻는데 필요한 게이트전압, 즉 평탄밴드전압(flat-band voltage)은 다음과 같이 주어진다.

$$V_{FB} = \phi_{MS}' - \frac{Q_{OX}'}{C_{OX}} \quad (6)$$

여기서,  $\phi_{MS}'$ 는 금속  $S_1O_2$ 계에 대한 변형된 일함수로 전극을 알루미늄으로 사용할 경우 3.2[eV]이며,  $Q_{OX}'$ 는 산화막-Si 경계면에 존재하는 모든 기생전하량이고,  $C_{OX}'$ 는 단위면적당 산화막용량이다. 문턱전압 역시 일함수차이와 산화막전하효과를 고려하여 변형되어야한다. 이 경우 문턱전압은 1) 평탄밴드전압 2) 공간영역전하  $Q_B$ 를 유지하는 전압 3) 강반전시 에너지대역의 휨(bending)을 유지하는데 필요한 전압의 합이 된다. 즉,

$$V_T = V_{FB} + \phi_B + \sqrt{\phi_B + V_{CB}} \quad (7)$$

여기서,  $V_{FB}$ 는 반도체를 중성으로 유지하기 위한 평탄밴드를 얻는데 필요한 게이트전압을 나타내

며,  $\phi_B$ 는 Si-SiO<sub>2</sub> 계면에 나타나는 내부접촉전위이고  $V_{CB}$ 는  $n^+$ 영역과 기판단자사이의 전압원이다. 문턱전압  $V_T$ 는 불순물농도와 채널깊이  $y$ 에 의해서 결정되는 값으로 이온주입시 식 (4)에 의하여 가우스농도분포를 갖기 때문에 따라서 문턱전압  $V_T$ 도 깊이에 따라 각각 다른 값을 갖는다.

지금 깊이  $y$ 를  $y_0, y_1, y_2, \dots, y_n$ 으로 그림 2와 같이  $\Delta y$ 의 일정한 간격으로  $n$  등분할 경우 식 (7)은  $\phi_B$ 와  $\gamma$ 이 각각 접합깊이에  $y$ 따라  $\phi_B'$ 와  $\gamma'$ 로 변형된 다음의 식으로 된다.

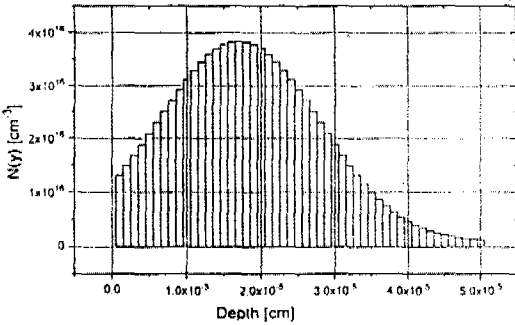


그림 2. 균일하게 분할한 깊이에 따르는 불순물 농도분포곡선

$$V_T(y) = V_{FB} + \phi_B' + \gamma' \sqrt{\phi_B' + V_{CB}} \quad (8)$$

여기서,  $\phi_B' = \phi_B + \frac{KT}{q} \ln[1 + \frac{N(y)}{N_{AB}}]$

단,  $n=0, 1, 2, \dots$

$$\gamma' = \frac{F\sqrt{N(y) + N_{AB}}}{C_{OX}}$$

단,  $n=0, 1, 2, \dots$  이다.

지금 게이트금속전극을 Al으로 하고, 게이트산화막의 두께  $D_{OX} = 100[\text{nm}]$ , 산화막-Si계면의 표면전하밀도를  $3 \times 10^{11}[\text{cm}^{-2}]$ , 산화막유전율

$$\epsilon_{OX} = 3.5 \times 10^{-13}[\text{F/cm}], N_{AB} = 1 \times 10^{15}[\text{cm}^{-3}]$$

로 하면, 식 (8)을 이용하여  $V_{CB}$ 를 0[V], 1[V] 및 2[V]로 변화시켰을 경우, 산화막-Si계면으로 부터 깊이  $y_0, y_1, y_2, \dots, y_n$ 에 해당하는 농도  $N(y)$ 로 채널이 균일한 농도를 갖는다고 가정할 경우 각각의 문턱전압  $V_T(y)$ 의 분포를 그림 3에 나타냈다. 문턱전압이 일정한 값을 나타내지 않고, 깊이에 따라 각각 다른 값을 나타내고 있는 것은 깊이에 따르는 주입이온 농도가 다르기 때문이다. 즉, 문턱

전압은 계면에서 각각  $V_{CB}=0[\text{V}]$ 에서는 0.251[V],  $V_{CB}=1[\text{V}]$ 에서는 1.09[V],  $V_{CB}=2[\text{V}]$ 에서는 1.71[V]이고, 또한  $y=5 \times 10^{-6}[\text{cm}]$ 에서  $V_{CB}=0[\text{V}]$ 일 때  $V_T=0.693[\text{V}]$ 에 비해,  $V_{CB}=1[\text{V}]$ 일 때  $V_T=1.751[\text{V}]$ ,  $V_{CB}=2[\text{V}]$ 일 때  $V_T=2.538[\text{V}]$ 로 각각 2.53배, 3.66배 증가함을 관찰할 수가 있다. 이처럼  $V_{CB}$ 의 변화가  $V_T$ 의 큰 변화를 야기시키므로, 이 관계를 이용해서 이온주입시  $V_{CB}$ 가 인가될 때의 증가형 모드소자에서의 채널깊이의 추출도 가능해진다.

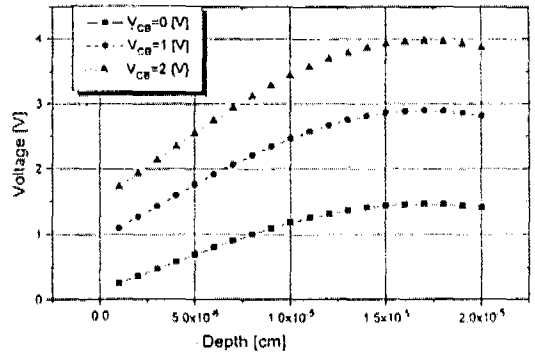


그림 3.  $V_{CB}$ 에 의한 문턱전압  $V_T$ 의 관계

#### IV. 반전층 깊이 해석

(+)의 게이트전압이 인가되면 표면전위는 (+)로 되어 에너지대역을 아래쪽으로 휘어지게(bending)만든다.

이 경우 Si표면 근처의 페르미준위는 가전자대의 가장자리에서 더욱 멀어지게 되며, 결과적으로 정공의 농도는 작아지게 된다. 다시말하면 정공이 산화막-Si계면 근방에서 공핍되어 고정된 억셉터이온으로 이루어진 공간전하영역을 형성하게 된다. 게이트 전압이 클 때 에너지대역이 캐리어공핍의 그 근방에서 평탄하게 놓여있는 페르미준위와 교차하게 된다. 이런 상태가 되면 전자농도가 정공농도보다 커지는 반전층이 형성된다. 이러한 반전층의 형성은 표면전위의 크기에 따라 약반전, 중반전, 및 강반전으로 구분되는데 대부분의 트랜지스터의 동작에서는 보다 더 높은 반전캐리어농도를 필요로 하는 강반전 상태를 요구하게 되며, 이 때 형성되는 반전층의 깊이는 MOS FET의 동작에 대단히 중요한 역할을 하게 된다.

Potential  $\phi$ 는 농도가 증가시 Potential drop을 나타낸다. 지금, 미소영역  $\Delta y$  내의 농도  $N(\Delta y)$ , 이 영역내의 전자밀도를  $\rho$ , 유전율을  $\epsilon_s$ 라 하면, 이온 주입농도를 고려시에  $\Delta y$  간격사이에 일어나는 potential drop  $\Delta\phi$ 는<sup>[8]</sup>

$$\Delta\phi = -\frac{\rho \Delta y^2}{2 \epsilon_s}$$

와 같이 나타낼 수 있고,  $\rho = -qN(\Delta y)$ 을 대입하면,

$$\Delta\phi = -\frac{q N(\Delta y) \Delta y^2}{2 \epsilon_s}$$

을 얻을 수 있다. 따라서, n번째의 미소영역  $N\Delta y_n$  내의 농도를  $N(\Delta y_n)$ 이라고 하고, 이 농도를 표면까지 확장시킨 다음, 표면에서 이 지점까지의 깊이는  $(n\Delta y)$ 로 표시되므로 이 경우의 표면전위에 대한 potential은 다음과 같이 나타낼 수가 있다.

$$\phi_s(y) = \phi_s - \frac{q N(\Delta y_n) (n\Delta y)^2}{2 \epsilon_s} \quad (9)$$

표면전위  $\phi_s = 2\phi_F$ 에서 표면에서의 전자농도는 엑셉터불순물과 같게된다.  $\phi_s > 2\phi_F$ 이 되면  $\phi_s$ 의 지수배로 표면전자농도는 대단히 크게 증가하게되고 강반전상태가 된다. 그리고 강반전 상태에서의 표면전위는 게이트전압에는 무관하고 채널전압  $V_{CB}$ 에만 의존하므로 이를 감안하면 다음과 같이 표시 된다<sup>[9]</sup>.

$$\phi_s = \phi_B + V_{CB} \quad (10)$$

여기서,  $\phi_B \cong 2\phi_F + 6\phi_T$ 로 표시되면 페르미 potential  $\phi_F$ 는 열평형상태에서의 진성 반도체와 불순물 반도체의 접촉전위 이다.

$\phi_T$ 는  $kT/q$ 로 표시되는 열전압으로 상온에서 0.0259[V]의 값을 갖는다. 그림 4는  $V_{CB}=0$ [V]로 하고,  $\Delta y = 1 \times 10^{-5}$ [cm]의 간격으로 하고,  $y=0 \sim 1 \times 10^{-4}$ [cm]에서의 표면전위를 나타낸 그림으로, 표면에서  $\phi_s = 0.8118$ [V]의 값을 갖다가 깊이에 따라 급격이 감소함을 알 수 있다.

기판과 같은 type로 implant된 3단자 MOSFET에서는 채널-기판전압  $V_{CB}$ 가 어느 임계치 전압  $V_I$ 와 비교하여 강반전영역, 중반전영역과 약반전영역으로 구분되는데, 본 논문에서는 강반전영역에서를

수행하였다. 작은  $V_{CB}$ 에서 게이트-기판전압  $V_{CB}$ 가 증가하는데 따라 공핍영역폭이 강반전영역층이 형성될 때까지 증가하고, 이 강반전 층이 형성되는 순간 공핍영역폭은 특정한 값  $l_{BM}$ 으로 고정된다. 계속 강반전을 유지시키면서  $V_{CB}$ 를 증가시키면 공핍영역폭이 확장되어 implant profile의 폭과 같아지며, 이때의  $V_{CB}$ 가  $V_I$ 이다.  $V_{CB} \leq V_I$ 인 경우 implant된 부분 까지만을 따로 하나의 소자로 볼 수 있으며, 이 때의 기판농도는 다음과 같은 실효기판농도  $N_{AS}$ 로 생각할 수 있다.

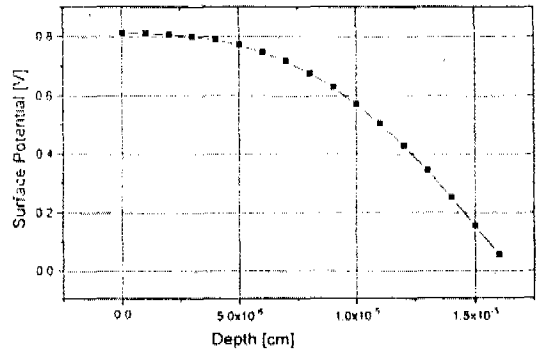


그림 4. 깊이 y에 의한 표면전위  $\phi_s(y)$ 의 관계

$$N_{AS} = N_{AB} + N_I \quad (11)$$

여기서,  $N_I$ 는 주입이온농도이고, 강반전에서 공핍영역의 폭은 다음과 같다.

$$l_{BM} = \sqrt{\frac{2 \epsilon_s}{q N_{AS}}} \sqrt{\phi_B + V_{CB}} \quad (12)$$

따라서  $V_{CB}$ 의 임계치전압  $V_I$ 는  $V_{CB} = V_I$ ,  $l_{BM} = Y_I$ 라고 한후 풀면,

$$V_I = \frac{q N_{AS} Y_I^2}{2 \epsilon_s} - \phi_B \quad (13)$$

를 얻을 수 있다. 강반전 영역하에서

$V_{CB} \leq V_I$ 이고, 본 논문에서 제시한 조건하에  $V_I = 2.98$ [V]가 된다. 따라서,  $V_{CB}$ 가 3[V]이하에서 강반전영역이 형성되므로 본 논문에서는  $V_{CB} = 0, 1, 2, 3$  [V]에서의 반전층깊이를 해석하였다. 이때  $V_{CB} = 0.75, 2.9, 4.9, 6.86$  [V]로 된다.

## V. 실험결과 및 고찰

문턱전압과 표면전위의 관계를 식 (6)과 식 (9)를 이용하여 컴퓨터 시뮬레이션으로 나타낸 것이 그림 3,4,5,6이다. 각 box에서의 표면전위 값이 문턱전압 보다 높은 값을 가질 때, 반전층이 형성되므로 양 곡선의 교차점까지가 반전층깊이가 된다. 그림 5는  $V_{CB}=0[V]$ 인 경우로  $y=4 \times 10^{-6}[cm]$ 에서 각각 문턱전압  $V_T$ 는 0.584[V]에서 깊이에 따라 직선적으로 큰폭으로 증가하고, 표면전위  $\phi_s$ 는 0.789 [V]로 깊이에 따라 서서히 감소함을 알 수 있다. 이 두 값의 교차점은  $y=5.6 \times 10^{-6}[cm]$ 로 이곳까지가 바로 반전층형성 깊이가 됨을 알 수 있다.

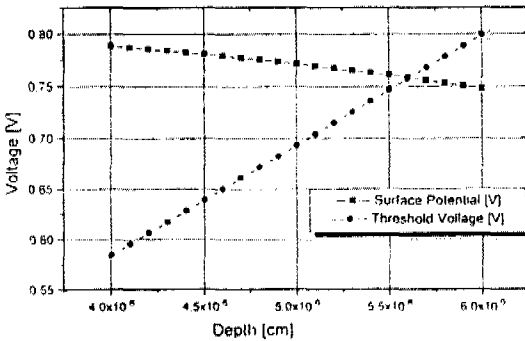


그림 5.  $V_{CB}=0[V]$ 일 때의 문턱전압과 표면 전위의 상관 관계

그림6은  $V_{CB}=1[V]$ 인 경우로  $y=4 \times 10^{-6}[cm]$ 에서 각각 문턱전압  $V_T$ 는 1.589[V]에서 깊이에 따라 직선적으로 큰폭으로 증가하고, 표면전위  $\phi_s$ 은 1.789 [V]로 깊이에 따라 서서히 감소함을 알 수 있다. 이 두 값의 교차점은  $y=5.1 \times 10^{-6}[cm]$ 로 이곳까지가 바로 반전층형성 깊이가 됨을 알 수 있다.

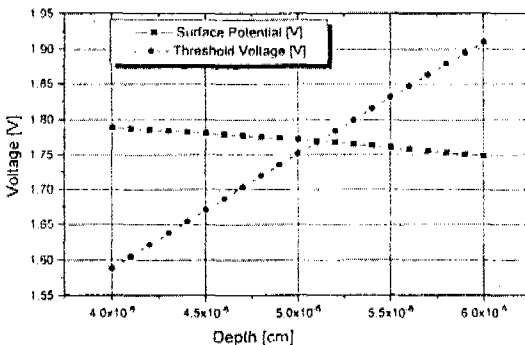


그림 6.  $V_{CB}=1[V]$ 일 때의 문턱전압과 표면 전위의 상관 관계

그림 7은  $V_{CB}=2[V]$ 인 경우로  $y=5 \times 10^{-6}[cm]$ 에서 각각 문턱전압  $V_T$ 는 2.538[V]에서 깊이에 따라 직선적으로 큰폭으로 증가하고, 표면전위  $\phi_s$ 은 2.771 [V]로 깊이에 따라 서서히 감소함을 알 수 있다. 이 두 값의 교차점은  $y=6 \times 10^{-6}[cm]$ 로 이곳까지가 바로 반전층형성 깊이가 됨을 알 수 있다.

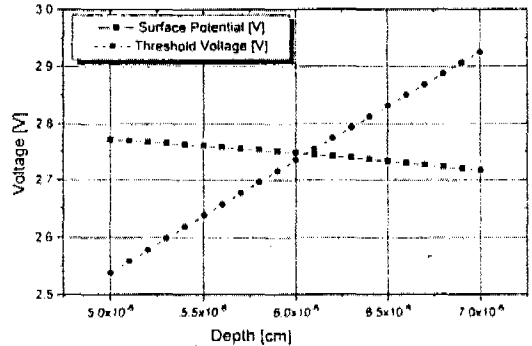


그림 7.  $V_{CB}=2[V]$ 일 때의 문턱전압과 표면 전위의 상관 관계

그림8은  $V_{CB}=3[V]$ 인 경우  $y=6 \times 10^{-6}[cm]$ 에서 각각 문턱전압  $V_T$ 는 3.423[V]에서 깊이에 따라 직선적으로 큰폭으로 증가하고, 표면전위  $\phi_s$ 은 3.748 [V]로 깊이에 따라 서서히 감소함을 알 수 있다. 이 두 값의 교차점은  $y=7.2 \times 10^{-6}[cm]$ 로 이곳까지가 바로 반전층형성 깊이가 됨을 알 수 있다.

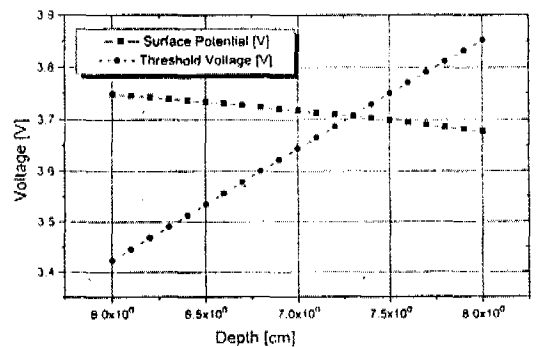


그림 8.  $V_{CB}=3[V]$ 일 때의 문턱전압과 표면 전위의 상관 관계

## VI. 결론

MOS FET의 강반전영역에서의 반전층깊이를 추정하는 새로운 해석법을 제시하였다. 이 이론은 이

온주입시 MOS FET가 표면깊이에 따라 불균일한 농도분포를 갖게 되는데, 이에따라 문턱전압도 깊이에 따라 다른 값을 갖는다는데 근거하였다. 즉, 이 온주입농도분포를 여러개의 상자로 등분하고 각 상자에서의 표면전위와 해당 문턱전압을 구하고, 이 표면전위와 문턱전압을 비교하는 방법을 이용하고 중첩의 원리를 적용하여 반전층깊이를 구하였다. 구한 결과 주어진 시료에서 반전층깊이는

$5.1 \times 10^{-6} [cm] \sim 7.2 \times 10^{-6} [cm]$ 이고, 이때 게이트 전압은 0.75[V]~6.86[V]이었다.

스케일링(scaling)된 회로는 소비전력이 비교적 낮은 장점을 갖고 있어 점 점 각광받고 있는 기술인 CMOS는 설계시 문턱전압의 정확이 중요한데 이 문턱전압은 산화막내의 전하와 다결정실리콘 게이트의 일함수의 차의 영향을 받는데 오늘날의 반도체제조 공정기술상 산화막내의 전하는 거의 무시할 수 있을 정도로 낮출수 있으며, 각 문턱전압도 이온주입법으로 쉽게 조절할 수 있기 때문에 문턱전압이 설계된 값을 갖을 수 있고, 이로서 형성되는 전도채널 깊이를 정량적으로 유도해낼 수 있으므로 인해서 MOS FET의 드레인 전류-전압특성을 모델링하는데 이용할 수 있으리라 기대한다. 또한 본 논문은 증반전영역에서의 반전층형성 깊이해석에도 적용할 수 있고 본논문의 결과를 응용 저전압에서 구동하는 MOS FET의 구현에 이용할 수 있다.

본 논문은 증가형 모드소자의 반전층깊이를 추출하기위한 개략적 방법을 제시한 것이므로, 연속적이면서도 보다 더 정확한 반전층 깊이를 추출하기 위해서는 경계면을 삼각형 형태의 적절한 mesh로 분할하여 PDE를 수치해석(유한요소법)하므로서 가능하다고 볼 수 있으나, 이 경우 각 element에서의 접촉 potential 값과 문턱전압 값의 분포를 추출하기 위한 simulation program이 필요한데, 아직은 이에 대한 2차원 및 3차원 tool이 마련되어 있지않다. 앞으로 범용화된 2차원 공정 simulator인 TSUPREM4로 시료를 제작하고 2차원 소자 simulator인 MEDICI나 3차원 소자 simulator인 DAVINCI를 이용하여, 반전층 깊이를 유도하기 위한 연구가 수행되어야 할 것으로 사료된다.

**참 고 문 헌**

[1] L. D. Yau, "A Simple Theory to predict the Threshold Voltage of Short-Channel IGFET's," Solid-State Electronics, Vol. 17, pp.1059-1063.

[2] L. M. Dang, "A Simple Current Model for Short-Channel IGFET and its Application to Circuit Simulation", IEEE trans. Electron devices, ED-26, pp.436-445, 1979.

[3] B. J. Sheu, D. L. Scharfetter, and H. C. Poon, "Compact short-channel IGFET model (CSIM)", Electronics Research Laboratory, Memo. ERL-M84-20, University of California, Berkeley, March 1984.

[4] J. H. Huang, Z. H. Liu, M. C. Jeng, K. Hui, M. Chan, P. K. Ko and C. Hu, BSIM3 Manual (version 2.0), University of California, Berkeley, March 1994.

[5] 김 철 성, "MOSFET기초이론", 인하대학교 전자공학과 반도체연구실, pp. 220-221, 1997.2.

[6] 이 정 한, 광 제 달, "최신반도체디바이스", 회 중 당, pp. 60-61, 1996.

[7] Richard S. Muller, Theodore Kamins, "Devic-electronics for Integrated Circuits", John Wiley & Sons. Inc. pp. 81-83, 1995.

[8] Yannis P. Tsividis, "Operation and Modelling of the MOS Transistor", McGraw-Hill Book Company, pp.457-458, 1988.

[9] 최 창 현, "표면전위를 이용한 저전압 회로용 n-MOSFET의 I-V 모델링", 인하대학교 대학원 전자공학과, pp.28, 1997.2

노 영 준(Young-Joon Noh)

정희원



1966년 : 한국항공대학교  
항공통신공학과.  
1979.3~1982.2 : 인하대학교  
전자공학과(공학석사).  
1968.3~현재 : 재능대학 교수.  
<주관심 분야> 반도체소자 모  
델링, 센서 자동화회로설계

김 철 성(Chul-Sung Kim)

정희원

1972.2 : 청주대학교 물리학과.  
1975.3 : 일본경동의속대학교(공학석사).  
1979.3 : 일본경동의속대학교 대학원(공학박사).  
1979.3~현재 : 인하대학교 전자공학과 교수.