

CMOS의 Latch-Up 특성 개선을 위한 효과적인 Mask 설계 방법

정희원 손종형*, 정정화**

Effective mask design for the improvement of latch-up characteristics in CMOS

Jong-Hyoung Son*, Jong-Wha Chong** *Regular Members*

요 약

본 논문은 CMOS의 latch-up 특성을 개선하기 위한 효과적인 mask 설계 방법에 관한 것이다. Mask의 평면구조와 latch-up 파라메타와의 상관관계를 실물 제작에 의한 실험과 컴퓨터 시뮬레이션에 의해 도출하였으며, guard ring의 효과에 대해서도 비교 분석하였다. 실험 결과, 수평구조 바이폴라 트랜지스터의 전류증폭률(β_n)이 디자인틀에 반비례하였으며, 수직구조 바이폴라 트랜지스터의 전류증폭률(β_p)은 디자인틀과 무관하였다. 스위칭전압과 유지전류는 디자인틀에 비례하였다. Guard ring은 latch-up의 가능성을 줄이는 데 상당한 효과가 있었음이 확인되었으며, Guard ring이 없는 경우에 비하여 전류증폭률의 곱($\beta_n\beta_p$)이 약 31% 감소, 유지전류는 약 25%가 향상됨을 확인하였다.

1. 서 론

Latch-up이란 CMOS에 기생하는 바이폴라 성분의 PNP 구조가 동작하여 낮은 임피던스 상태로 되는 경우로, latch-up을 일으키는 조건^[1]은 트랜지스터의 전류이득률의 곱이 1 보다 커야 하며, 두 개의 트랜지스터가 모두 활성화 되도록 바이어스 되어야 하며, latch-up 상태에서 계속해서 유지전류(I_h) 이상 전원이 공급되어야 한다.

CMOS 회로의 latch-up 문제에 대한 연구는 CMOS 소자 개발 초기부터 매우 활발히 진행되어 왔다. 위의 세 가지 조건 중 최소한 한 가지를 만족시키지 않는 방향으로 많은 연구가 진행되어 왔는데 바이폴라 트랜지스터의 기능을 약화시키거나 두 개의 트랜지스터가 동시에 활성화되지 않도록 하는 방법들이 주류를 이루고 있다. 그 대표적인 방법으로는 epitaxial wafer를 사용하는 방법^[2], Buried layer를 사용하는 방법^[3], Butted contact와 guard ring을 이용하는 방법^[4], Gold doping^[5]이나 중성자

를 방사시키는 방법^[6], Retrograde profile에 의한 방법^[7], Schottky-barrier를 이용하는 방법^[8], Trench를 이용하는 방법^[9], 등이 있는데 그 대부분은 공정이나 재질의 변화에 의한 방법이다. 그런데 공정이나 재질 변경에 의한 latch-up 회피 방법은 반드시 어려운 공정 채택을 전제로 하고 있어 이를 상품화할 시 어려운 공정 채택으로 인한 수율 저하 문제와 직면하게 되는 단점을 갖게 된다.

따라서 본 연구에서는 공정이나 재질을 변화시키지 않고 mask의 layout만을 변경시켜 latch-up의 가능성을 줄이는 방법에 대해 연구하고자 하였다. 그런데 실제 latch-up의 가능성을 줄이기 위해서는 소자의 평면구조가 커져야 하는데 이는 원가 상승의 요인이 되므로, 결국 최선의 layout 설계란 latch-up이 일어나지 않는 범위 내에서 소자의 평면구조를 작게 하는 것을 말하며, 따라서 소자의 평면구조와 latch-up 파라메타와의 상관관계가 더욱 중요한 요소로 등장하게 되었다. 그런데, 소자의 평면구조와 latch-up 파라메타와의 상관관계에 대해서는 지금까

* Gartner Group 한국지사장 겸 반도체 담당 부사장

** 한양대학교 전자공학과 교수

논문번호 : 99298-0726, 접수일자 : 1999년 7월 26일

지 많은 연구가 있었으나, 대부분 이론에 관한 것으로 수식이 복잡하고 계산이 용이치 않아 실제로는 매 경우마다 실험에 의하여 그 관계를 찾아야만 했다. 따라서 본 연구에서는 mask의 평면구조와 latch-up과의 상관관계를 실험에 의해 도출코자 하였으며 이를 2차원 평면에 도해함으로써 실무에 쉽게 이용될 수 있도록 하였다.

이에 대한 구체적인 방법으로 substrate의 N^+ 와 S-W 접합 사이의 거리를 a, S-W 접합에서 well의 P^+ 까지의 거리를 b로 하여, a와 b가 다른 10개의 latch-up 모델을 설계, 제작 및 측정하여 layout와 latch-up 파라메타와의 상관관계를 규명하고 latch-up 파라메타 상호간의 관계를 컴퓨터로 시뮬레이션하여 보기로 하였다. 아울러, guard ring의 효과에 대해서도 분석코자 하였다.

II. Latch-up 이론

2.1 집중 정수 모델

CMOS는 NMOS와 PMOS로 구성되어 있기 때문에 $P^+-N-P^+-N^+$ 로 이어지는 기생 바이폴라의 구조를 동시에 갖고 있다. 이 구조는 P^+-N-P^+ 의 수직 구조 트랜지스터와 N^+-P^+-N 의 수평구조 트랜지스터의 결합으로 생각할 수 있으며 등가회로는 그림 1과 같다. 그런데 $VT2$ 와 $LT2$ 는 $VT1$ 과 $LT1$ 에 비하여 latch-up을 일으킬 확률이 훨씬 적으므로 $VT2$ 와 $LT2$ 가 무시되어 latch-up을 고찰하는데 있어서는 그림 2의 4-terminal 구조가 사용된다. 여기서 VPNP는 수직구조의 PNP 트랜지스터를, LNPN은 수평구조의 NPN 트랜지스터를, R_{e1} 은 NPN의 E-B 간 저항, R_{w1} 은 PNP의 E-B 간 저항을 의미한다.

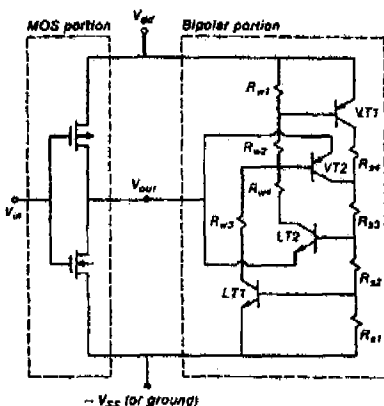


그림 1. N-well CMOS 인버터의 회로 구성도

그림 2에서 $R_{w1}=R_{e1}=0$ 일 경우의 I-V 특성은 그림 3과 같다. 여기서 V_s 와 I_s 는 각각 스위칭전압과 스위칭전류를, V_b 와 I_b 는 유지전압과 유지전류를, V_{io} 와 I_{io} 는 각각 turn-off 전압과 turn-off 전류를 의미한다. 점 (V_s, I_s)은 차단영역으로 불리어지는 높은 임피던스 영역으로부터 부성저항 영역으로의 천이 점을 나타내며, 점 (V_b, I_b)은 다시 부성저항 영역에서 낮은 임피던스 영역 즉, 개방 영역으로의 천이 점을 나타낸다.

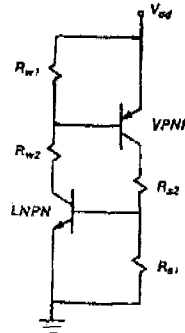


그림 2. PNP 구조의 element model

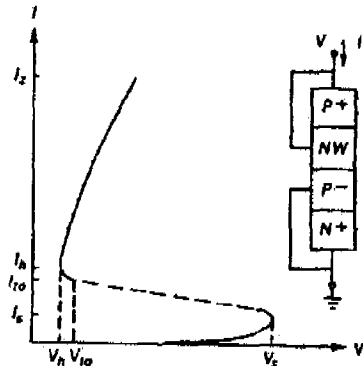


그림 3. PNP의 I-V 특성

2.2 회로 해석

회로 해석을 간편히 하기 위하여 R_{w1} 의 한쪽 단자를 개방하고 V_{DD} 에 외부저항 R_x 를 그림 4와 같이 연결한 후 V_i 를 가한다고 가정하자. 두 개의 트랜지스터가 동작하기 전까지는 V_i 는 대부분 두 트랜지스터의 C-B 접합에 역 바이어스 상태로 걸리게 된다. V_i 를 증가시키면 N-well과 substrate 사이의 역전압이 증가하여 avalanche breakdown이 일어나게 되는데 이때 VPNP가 동작되고 C-B 접합사이에 I_j 전류가 흘러 R_{e1} 을 통과하게 된다. V_i 를 계속 증가시키면 I_j 의 증가로 R_{e1} 의 양단 전압이 증가되며 LNPN이 동작하게 된다. 이때 NPN의 베이스전류

(I_{bn})의 작은 변화는 PNP의 컬렉터전류(I_{cp})를 변화시키며, PNP의 컬렉터전류는

$$\Delta I_{cp} = \beta_p (\Delta I_j + \beta_n \Delta I_{bn}) \quad (1)$$

그런데 I_{cp} 의 작은 변화는 다시 NPN의 베이스전류를 변화시킨다. 이때 변화된 NPN의 베이스전류를 $\Delta I_{bn}'$ 이라 하면 $\Delta I_{bn}'$ 은

$$\Delta I_{bn}' = k (\Delta I_j + \Delta I_{cp}) \quad (2)$$

$$k = G_{bn} / (G_{bn} + 1/R_{s1}) \quad (3)$$

여기서, G_{bn} 은 NPN의 E-B간 접합 콘덕턴스로 등저항의 역수가 된다. 따라서 그림 4의 loop gain은 (4)식이 되며, 회로의 loop gain이 1보다 커질 때 latch-up 상태가 되므로 회로의 latch-up 조건은 (5)식이 된다.

$$\Delta I_{bn}' / \Delta I_{bn} = k[(1 + \beta_p)(\Delta I_j / \Delta I_{bn}) + \beta_n \beta_p] \quad (4)$$

$$\beta_n \beta_p + (1 + \beta_p)(\Delta I_j / \Delta I_{bn}) \geq 1/k \quad (5)$$

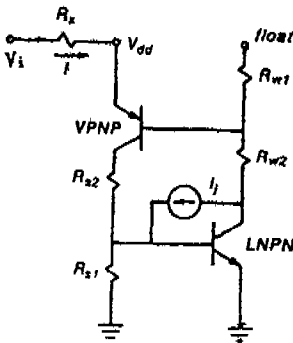


그림 4. N-well이 floating된 PNPN의 집중정수 모델

그런데 실제 latch-up 상태에서는 ΔI_j 항이 무시된다. Latch-up 상태에서는 I_j 로 전류가 흘러 들어가지 않기 때문이다. 따라서 latch-up 상태에서는 (6)식이 만족되어야 한다.

$$\beta_n \beta_p \geq 1/k \quad (6)$$

$$\beta_n \beta_p \geq 1 \quad (7)$$

여기서 R_{s1} 이 클 경우 (6)식의 $1/k$ 은 1에 접근하며 R_{s1} 이 작을 경우에는 $1/k$ 가 무한대에 접근하여,

latch-up이 R_{s1} 값 여하에 따라 결정됨을 알 수 있다. 역으로 R_{s1} 의 한쪽 단자를 개방하고 R_{w1} 을 V_{dd} 에 연결할 경우에는 R_{w1} 여하에 따라 latch-up이 결정됨을 알 수 있다. 따라서 latch-up 가능성을 줄이기 위해서는 R_{s1} 과 R_{w1} 의 값을 가급적 작게 할 필요가 있으나, 실제 R_{s1} 과 R_{w1} 의 크기는 contact 저항과 디자인 룰의 제한으로 수십 옴 이상이 되며, 따라서 (3)식의 k 값이 1에 접근하여 (6)식의 latch-up 조건은 (7)식으로 된다.

그런데, 바이폴라 트랜지스터의 공통에미터 전류 증폭률 β 는 베이스 폭(W_B)의 함수관계가 되며 다음 식으로 표현된다.^[10]

$$\frac{1}{\beta} = \frac{1}{2} \left(\frac{W_B}{L_{pB}} \right)^2 + \frac{N_{DB} W_B}{D_{pB}} \frac{D_{nE}}{N_{AE} W_E} + \frac{N_{DB} W_B}{D_{pB}} \frac{W_{EB} / \tau_0}{2 n_i e^{q V_{EB} / 2kT}} \quad (8)$$

여기서, L_{pB} 는 베이스 영역 내에서 홀의 확산길이, N_{DB} 는 베이스 영역에서의 도너 농도, D_{pB} 는 베이스 영역 내에서 홀의 확산계수, D_{nE} 는 에미터 영역 내에서 전자의 확산계수, N_{AE} 는 에미터 영역에서의 억셉터 농도, W_E 는 에미터 깊이, W_{EB} 는 E-B간 공간전하영역의 폭, τ_0 는 캐리어의 평균수명, n_i 는 진성 캐리어의 농도, k 는 볼츠만 상수를 의미한다.

그런데, 수평구조의 NPN 트랜지스터의 베이스 폭(W_{BN})은 substrate의 N^+ 에서 S-W 접합사이의 거리(a)와 N^+ 의 선 폭(L_N)과 gate length (L_G)의 합으로 (9)식으로 표시되며 β_n 은 (10)식으로 표현된다. 따라서 β_n 은 a의 함수가 되며 β_n 의 역수가 a의 2차 함수가 된다.

$$W_{BN} = a + L_N + L_G \quad (9)$$

$$\frac{1}{\beta_n} = \frac{1}{2} \left(\frac{W_{BN}}{L_{pB}} \right)^2 + \frac{N_{DB} W_{BN}}{D_{pB}} \frac{D_{nE}}{N_{AE} W_E} + \frac{N_{DB} W_{BN}}{D_{pB}} \frac{W_{EB} / \tau_0}{2 n_i e^{q V_{EB} / 2kT}} \quad (10)$$

한편 수직구조의 PNP 트랜지스터의 베이스 폭(W_{BP})은 Well의 깊이(X_w)와 P^+ 의 깊이(X_p)와의 차이로 (11)식이 되며, β_p 는 (12)식으로 표현된다. 따라

표 1. 10개 latch-up 모델의 layout dimension

Layout	Dimension		Guard ring		비 고
	a(μm)	b(μm)	P ⁺	N ⁺	
L1	8.0	1.0	x	x	guard ring 없음
L2	6.0	1.0	x	x	guard ring 없음
L3	4.5	1.0	x	x	guard ring 없음
L4	3.5	1.0	x	x	guard ring 없음
L5	6.0	2.0	x	x	guard ring 없음
L6	6.0	0.0	x	x	guard ring 없음
L7	10.0	1.0	x	x	guard ring 없음
L8	10.0	1.0	o	o	P ⁺ 및 N ⁺ guard ring 모두 있음
L9	10.0	1.0	o	x	P ⁺ guard ring만 있음
L10	10.0	1.0	x	o	N ⁺ guard ring만 있음

서 β_p는 a,b와는 무관하며 well의 깊이와 X_j의 함수가 된다.

$$W_{BP} = X_w - X_j \tag{11}$$

$$\frac{1}{\beta_p} = \frac{1}{2} \left(\frac{W_{BP}}{L_{pB}} \right)^2 + \frac{N_{DB} W_{BP}}{D_{pB}} \frac{D_{nE}}{N_{AE} W_E} + \frac{N_{DB} W_{BP}}{D_{pB}} \frac{W_{EB} / \tau_o}{2 n_i e^{\frac{qV_{bi}}{2kT}}} \tag{12}$$

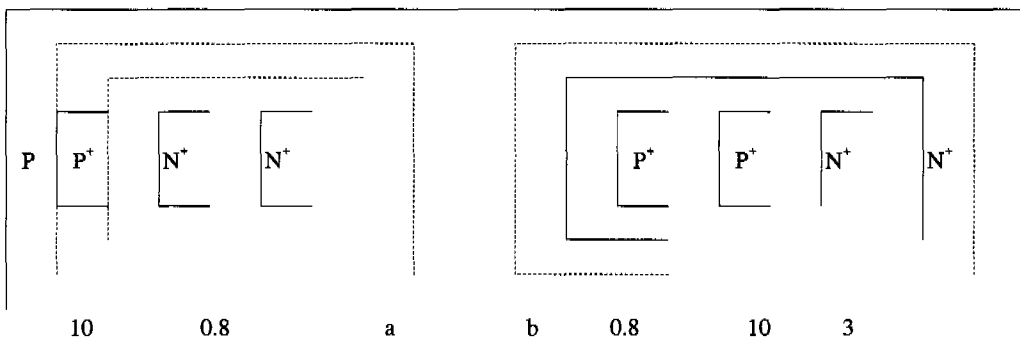
그런데, PNP 트랜지스터가 수직구조이므로 대부분의 전류가 수직으로 흐를 것으로 예상되나, b가 작을 경우 전류가 일부 수평으로도 흐를 수 있기 때문 β_p가 b와 전혀 무관하다고 볼 수는 없다. 또, a와 b가 저항성분 R_{s1}, R_{s2}, R_{w1}, R_{w2}와 관련이 있으므로 a와 b의 변화에 대한 latch-up 파라메타와의 상관관계를 정량적으로 계산하기가 용이치 않다. 따라서, 그의 가장 정확한 접근을 위하여 실험제작을

통한 실험방법을 택하였다.

III. 실험 모델 설계 및 제작

3.1 Mask 설계

Substrate의 N⁺와 S-W 접합 사이의 거리를 a, S-W 접합에서 well의 P⁺까지의 거리를 b로 하여 a와 b가 다른 guard ring이 없는 7개 모델과 guard ring이 있는 3개 모델의 평면도를 그림 5와 같이 설계하였다 (점선은 guard ring 표시). 그림 6은 웨이퍼 가공 후의 latch-up 모델에 대한 예상 측면도이다. Guard ring이 없는 7개 모델의 평면구조는 a와 b를 제외한 나머지가 모두 같도록 설계하였으며, guard ring이 있는 3개 모델은 모두 같은 평면구조를 사용하였으나 P⁺ guard ring이 있는 경우, N⁺ guard ring이 있는 경우, P⁺와 N⁺ guard ring이 모두 있는 경우로 구분하였다. 이상 10개의 latch-up 모델에 대한 layout dimension은 표 1과 같다.



Gate Length : 0.8 μm

그림 5. Latch-up 모델의 mask 평면도

3.2 웨이퍼 가공

Substrate로서 비저항(ρ)이 $9.5 \Omega\text{-Cm}$ 이며 boron의 농도가 $1.5 \times 10^{15} \text{Cm}^{-3}$ 인 6인치 P형 <111> 타입 웨이퍼를 사용하였으며, well의 깊이를 $4.5 \mu\text{m}$ 로 하기 위해 이온주입기로 phosphorous를 주입(125 KeV, $1.3\text{E}13$)한 후, 1154°C 에서 654분간 drive-in 하였다 ($R_s : 800 \Omega/\square$). Gate용 산화막은 850°C O_2 분위기에서 20분 실시하여 두께 200\AA 의 산화막을 성장시켰으며, 그 위에 폴리실리콘을 두께 200\AA deposition 하였다 (640°C 에서 25분). N^+ layer 및 P^+ layer는 깊이를 공히 $0.3 \mu\text{m}$ 로 하기 위해 이온주입기로 각각 As (이온주입기 강도 : 80 KeV, $5.0\text{E}15$)와 BF_2 (이온주입기 강도 : 80 KeV, $3.0\text{E}15$)를 주입하였다. Metal 공정은 sputtering을 사용하였으며 MoSi_2 와 Al을 두께가 각각 600\AA , 7500\AA 되도록 차례로 증착 시켰다. 마지막 공정은 H_2 anneal을 400°C 에서 30분간 실시하였다.

3.3 실험결과 측정

10개의 latch-up 모델에 대하여 트랜지스터의 전류증폭률 β_n, β_p 및 저항 $R_{s1}, R_{s2}, R_{w1}, R_{w2}$ 가 측정되었으며 스위칭 전압 V_s 와 유지전류 I_h 가 측정되었다. 여기서, β_n 및 β_p 는 I_c 전류가 1mA 일 때의 β 값이며, R_s 및 R_w 는 I-V curve의 기울기에 의해 sheet resistance를 구한 후, substrate의 P^+ 에서 well까지의 거리 및 well의 N^+ 에서 well까지의 거리를 제산하여 sheet resistance와 layout의 관계에 의해 $R_{s1}, R_{s2}, R_{w1}, R_{w2}$ 를 계산하였다. V_s 및 I_h 는 Curve tracer에 plotter를 연결하여 실측하였다. 각각의 latch-up 모델에 대한 측정 결과는 표 2와 같다.

표 2. 측정된 latch-up 파라메타

Type	a (μm)	b (μm)	β_n	β_p	R_{s1}	R_{s2}	R_{w1}	R_{w2}	V_s	I_h
L1	8.0	1.0	1.28	25.2	613	938	248	146	14.2	6.3
L2	6.0	1.0	1.44	25.1	613	877	248	146	14.2	6.1
L3	4.5	1.0	1.57	24.8	613	831	248	146	14.2	5.9
L4	3.5	1.0	1.74	24.5	613	800	248	146	14.2	5.8
L5	6.0	2.0	1.46	23.6	613	908	248	158	14.4	6.0
L6	6.0	0.0	1.46	26.0	613	846	248	134	14.0	6.0
L7	10.0	1.0	1.15	25.2	613	1000	248	146	14.2	6.7
L8	10.0*	1.0*	0.73	27.6	544	1000	248	146	14.1	8.5
L9	10.0*	1.0	0.73	27.9	544	1000	248	146	14.2	8.5
L10	10.0	1.0*	0.72	27.6	544	1000	248	146	14.4	8.5

* guard ring

IV. 컴퓨터 시뮬레이션

실험결과에 대한 보다 구체적인 분석을 위하여 PSPICE에 의한 컴퓨터 시뮬레이션을 실시하였다. 컴퓨터 시뮬레이션은 처음 그림2의 PNP 구조에 대한 등가회로를 이용하였으나 실제 latch-up이 일어나지 않았다. 그 이유는 첫째, VPNP와 LNPN의 C-B 접합이 실제로는 well과 substrate사이의 접합으로 두 개가 공통으로 연결되어 있으나 PSPICE에서는 두 개가 완전히 독립된 트랜지스터로 동작하기 때문이며, 둘째, PSPICE에서는 C-B 접합에 과도한 전압이 걸려도 접합의 항복이 일어나지 않기 때문이다. 따라서 그림 2 LNPN의 C-B 접합 사이에 제너 다이오드를 역 방향으로 연결하여 시뮬레이션을 실시하였다. 그런데 제너 다이오드의 항복전압은 실제 well-substrate 사이의 항복전압과 같아야 하므로 항복전압(V_z)는^[10] (13)식에 의하여 11.8V 가 된다.

$$V_z = \frac{K_s \epsilon_0 E_{crit}^2}{2q C_B} \quad (13)$$

여기서, K_s 는 실리콘의 유전율 상수로 11.7, ϵ_0 는 $\epsilon_0 = 55.4 \text{q}/\text{V}\mu$, 항복전압에서의 전장세기(E_{crit})는 $2.7 \times 10^{15} \text{V}/\text{cm}$, Bulk의 불순물 농도(C_B) = $1.5 \times 10^{15} \text{cm}^{-3}$. 또, VPNP와 LNPN의 포화전류 I_{op} 와 I_{on} 은 (15)(16)식에 의하여 각각 $1.49 \times 10^{-15} \text{A}$ 및 $6.29 \times 10^{-14} \text{A}$ 가 된다.

$$I_o = qAn_i^2 (D_p/N_d L_p + D_n/N_a L_n) \quad (14)$$

$$I_{op} = qAn_i^2 (D_p/N_d L_p) = 1.49 \times 10^{-15} \text{ A} \quad (15)$$

$$I_{on} = qAn_i^2 (D_n/N_a L_n) = 6.26 \times 10^{-14} \text{ A} \quad (16)$$

Latch-up의 중심 모델 L2에 대하여, (13)식과 (15)(16)식에서 얻어진 V_s 와 I_o 및 표 2의 R_{s1} , R_{s2} , R_{w1} , R_{w2} 를 PSPICE 프로그램에 적용하여 시뮬레이션에 의한 latch-up 특성 곡선을 그림 7과 같이 구하였다.

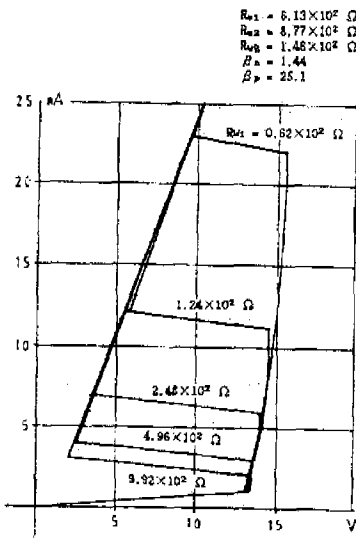


그림 7. R_{w1} 의 latch-up 특성 곡선

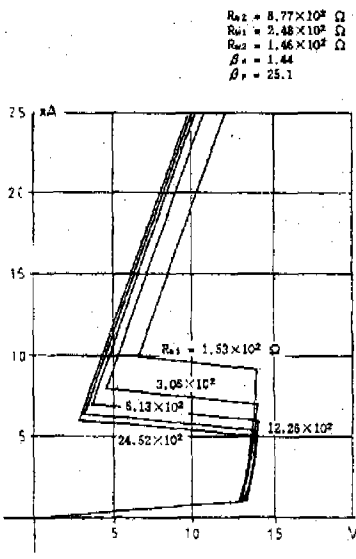


그림 8. R_{s1} 의 latch-up 특성 곡선

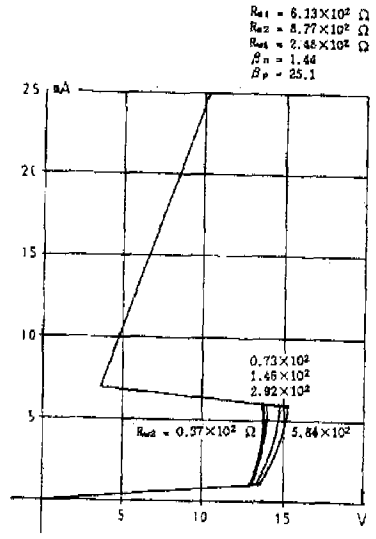


그림 9. R_{w2} 의 latch-up 특성 곡선

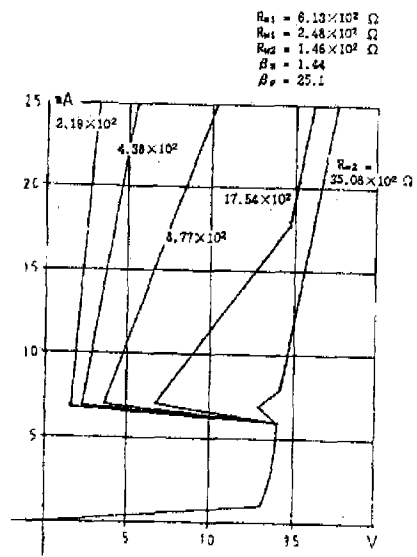


그림 10. R_{s2} 의 latch-up 특성 곡선

그림 7, 8, 9에서 알 수 있듯이 유지전압(V_h)과 유지전류(I_h) 및 스위칭전류(I_s)가 R_{w1} 의 변화에 매우 민감하게 반응하였으며 R_{w1} 이 감소함에 따라 V_h , I_h 및 I_s 가 모두 증가하였다. R_{s1} 의 변화에 대해서는 유사한 특성이 확인되었다. 한편 R_{w2} 의 변화에 대해서는 반응이 별로 민감하지 않았다. 다만 V_s 가 R_{w2} 에 비례하면서 약간 증가하였을 뿐이다. 또 R_{s2} 의 변화에 대해서 V_h 가 급격히 변화됨이 확인되었으나, I_h 나 V_s 와는 상관관계가 매우 희박한 것으로 나타났다.

V. 실험결과 분석

a와 b의 변화에 대한 보다 구체적인 latch-up 특성을 이해하고자 10개의 latch-up 모델에 대하여 측정된 β_n 및 β_p 를 거리 (a+b)에 대하여 도해하였다. 그림 11, 12에서 보는 바와 같이 거리 (a+b)가 작아지면 작아질수록 수평구조 트랜지스터의 전류증폭률 β_n 이 급격히 증가하였으며 β_p 는 별로 변하지 않았다. β_n 이 급격히 증가한 이유는 수평구조 트랜지스터의 베이스 폭이 줄어들었기 때문이며 β_p 가 별로 변하지 않은 이유는 수직구조 트랜지스터의 베이스 폭이 (a+b)와 무관하기 때문으로 이는 (10)식과 (12)식의 해석과 일치한다. 그림 13에는 NPN 및 PNP 트랜지스터의 전류증폭률의 곱($\beta_n \beta_p$)과 (a+b)와의 상관관계를 그래프로 나타내었다. ($\beta_n \beta_p$)가 거리 (a+b)에 대체로 반비례함을 보여준다.

한편 guard ring이 있는 경우는 없는 경우에 비하여 β_n 이 약 38% 낮아졌으며 β_p 는 약간 상승하였다. $\beta_n \beta_p$ 는 guard ring이 있는 경우가 없는 경우 보다 약 31% 낮은 값이 측정되었다. P⁺ guard ring과 N⁺ guard ring의 차이는 나타나지 않았다. 또 P⁺ guard ring 과 N⁺ guard ring 모두를 채택한 경우에도 같은 결과가 나왔다.

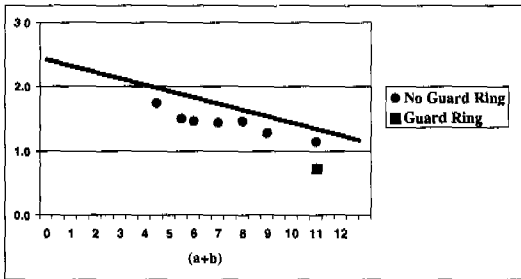


그림 11. Layout 변화에 대한 전류증폭률(β_n)의 변화

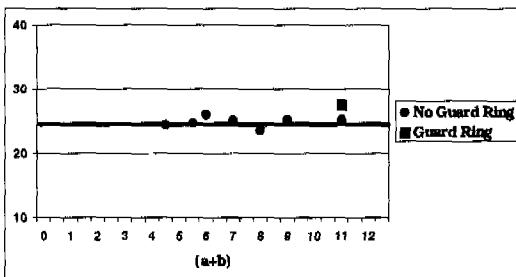


그림 12. Layout 변화에 대한 전류증폭률(β_p)의 변화

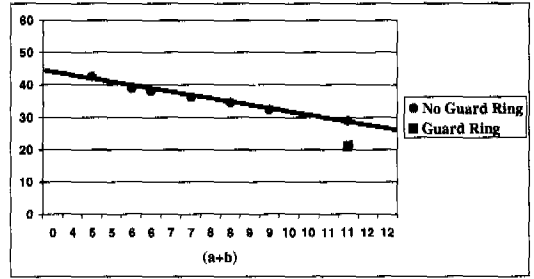


그림 13. Layout 변화에 의한 ($\beta_n \beta_p$)의 변화

VI. 결론

Mask의 layout이 작아짐에 따라 수평구조 트랜지스터의 전류증폭률(β_n)은 급격히 증가하였으나 수직구조 트랜지스터의 전류증폭률(β_p)은 거의 변하지 않았다. 거리 a와 b가 작아짐에 따라 R_{e2} , R_{w2} , 및 I_b 도 줄어들었다. 스위칭전압 V_s 는 R_{w2} 에만 관계하였다. 유지전류 I_h 는 a가 감소함에 따라 급격히 줄어들었으나 b의 변화에 대해서는 그리 민감하지 않았다. 결론적으로 mask의 layout 변경에 의한 latch-up 회피 방법은 a와 b가 커짐에 따라 latch-up 가능성이 줄어들게 되므로 latch-up을 줄이기 위해서는 chip size를 가급적 크게 만들어야 하는 문제가 있다. 그러나 chip size를 크게 할 경우에는 수율이 저하되거나 단위 면적 당 chip 생산량이 적어져 생산 원가를 높이는 문제를 초래하게 된다. 따라서 latch-up의 최적조건은 latch-up이 일어나지 않는 범위 내에서 소자의 평균구조를 작게 하여야 하는데 회로의 응용조건 여하에 따라 이를 절충하여 사용하여야 한다. 실험에 의해서 도출된 거리(a+b)와 전류증폭률($\beta_n \beta_p$)과의 상관관계는 이론과도 잘 부합하여 실무적으로 사용하는 데 무리가 없을 것으로 본다. 다만 재료와 공정 조건이 달라질 수 있으므로 이를 항상 감안하여 사용하여야 한다.

한편 guard ring은 latch-up의 가능성을 줄이는데 상당히 도움을 주는 것으로 판명되었다. Guard ring이 없는 경우에 비하여 ($\beta_n \beta_p$)가 31% 낮아졌으며 유지전류(I_h)가 25% 증가되었다. Guard ring으로서 P⁺나 N⁺ 또는 P⁺와 N⁺ 모두를 동시에 사용하는 세 가지 방법에 대하여 검토하였으나 별 차이가 없었다.

참 고 문 헌

[1] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits," Tech. Report No. G-201-9, Stanford Electronics Lab., Stanford Univ., Nov. 1980

[2] U. Schwabe, H. Herbst, E. J. Jacobs, and D. Takacs, "N-and P-well optimization for high-speed n-epitaxy CMOS circuits," IEEE Trans. Elec. Dev., ED-30, pp. 1339-1344, Oct. 1983

[3] J. Manoliu, F. H. Tseng, B. J. Woo, and T. J. Meier, "High density and reduced latch-up susceptibility CMOS technology for VLSI," IEEE Electron Dev. Letters, EDL-4, pp. 233-235, July 1983

[4] R. Menozzi, L. Selmi, E. Sangiorgi, G. Crisenza, T. Cavioni, and B. Ricco, "Layout dependence of CMOS latch-up," IEEE Trans, Electron Dev. Vol.35, No.11, 1988

[5] W. Dawes, Jr. and G. Derbenwick, "Prevention of CMOS latch-up by gold doping," IEEE Trans. Nucl. Sci., NS-23, pp. 2027-2030, Dec. 1976

[6] J. R. Adams and T. R. Sokel, "Neutron irradiation for prevention of latch-up in MOS integrated circuits," IEEE Trans, Nucl. Sci., NS-26, pp. 5069-5073, Dec. 1979.

[7] R. Rung, C. Dell'Oca, L. Walker, "A retrograde P-well for higher density CMOS," IEEE Trans, Electron Dev. Vol. ED-28, No.10, Oct. 1981.

[8] S. Swirthun, E. Sangiorgi, A. Weeks, R. Swanson, K. Saraswat, R. Dutton, "A VLSI-suitable schottky-barrier CMOS process." IEEE Trans, Electron Dev. Vol. ED-32, No. 2, Feb. 1985.

[9] S. Bhattacharya, S. Banerya, J. Lee, A. Tasch, and A. Chatterjee, "Design issues for achieving latchup-free, deep trench-isolated, bulk, non-epitaxial, submicron CMOS," IEEE IEDM 90-185. pp. 8.3.1-8.3.4, 1990.

[10] A. Grove, "Physics and technology of semiconductor devices," P191, P220. Feb. 1967

손 종 혈(Jong-Hyoung Son) 정회원
 1973.2 : 한양대학교 전자공학과 학사
 1983.3 : 한양대학교 전자공학과 석사
 1987.3 : 한양대학교 전자공학과 박사과정 수료
 1975.7~1979.8 : LG전자 중앙연구소 근무
 1979.9~1987.8 : LG반도체 근무
 1987.9~1996.9 : Dataquest 한국지사장
 1996.9~현재 : Gartner Group 한국지사장 겸 반도체 담당 부사장

정 질 화(Jong-Wha Chong) 정회원
 1975.2 : 한양대학교 전자공학과 학사
 1977.2 : 한양대학교 전자공학과 석사
 1981.3 : 와세다대학교 전자공학과 박사
 1981.3~현재 : 한양대학교 전자공학과 교수