

# 영상 압축을 위한 정수형 웨이블릿 변환 필터의 ASIC 설계

정회원 김재환\*, 이호준\*\*, 고희화\*\*\*

## An ASIC Design of Integer Wavelet Transform Filter for Image Compression

Jae-hwan Kim\*, Ho-joon Lee\*\*, Hyung-hwa Ko\*\*\* *Regular Members*

### 요 약

본 논문에서는 웨이블릿 변환 필터를 ASIC(Application-Specific Integrated Circuits)으로 설계하였으며 그 동작 특성 및 성능을 Verilog-HDL(Hardware Description Language)를 이용하여 구현, 분석하였다. 제안한 웨이블릿 변환 필터는 데이터의 처리를 소수점(floating-point) 방식 대신 연산을 모두 정수로 처리하는 정수형(integer-based) 방식으로 데이터를 처리하고, 내부적으로는 시스템의 복잡성을 증가시키고 처리속도에 큰 제약이 있는 곱셈기(multiplier) 대신 가산기(adder)와 쉬프터(shifter)를 사용하여 설계하였다.

### ABSTRACT

An ASIC(Application-Specific Integrated Circuits) chip design which performs wavelet transform filter is proposed, where wavelet transform is very popular because of its high performance compared with other image compression algorithms. The integer-based wavelet transform filter is analyzed and designed using the Verilog-HDL(Hardware Description Language) to explore its operation characteristics and performance. In this paper, the input data is calculated using integer numbers instead of floating-point numbers. The adders and shifters are used internally in order to reduce the complexity of the multipliers.

### 1. 서 론

각각 분리되어 있던 미디어 정보의 통합 및 일체화 등으로 대변할 수 있는 멀티미디어는 하드웨어의 지속적인 개발에 힘입어 급속한 발전을 이루어 왔다. 이러한 멀티미디어를 지원해 주는 핵심 기술로 각종 데이터의 디지털화와 멀티미디어 데이터의 압축 기술을 들 수 있다. 개방시스템에 대한 강조가 증가되고 시스템 간 뿐만 아니라, 시스템 내에서 멀티미디어 정보의 하나인 영상 데이터의 교환이 요

구되어지는 곳이 증가함에 따라 영상 데이터 압축을 위한 표준화가 필요하게 되었다. 현재 사용되는 정지영상 압축 표준인 JPEG을 대체하여 영상 압축 기술을 요구하는 거의 모든 영역에서 사용할 수 있는 새로운 표준인인 JPEG2000<sup>[1]</sup>이 2000년 최종 완성을 목표로 현재 표준화 작업 중에 있다.

JPEG에서 사용하는 DCT의 경우 영상 압축시 영상을 일정한 블록단위로 분할하여 압축하는 방식으로서 복원시 블록킹 현상(blocking effect)이 발생하고 높은 비율로 압축하면 화질의 열화가 매우 크다는 단점이 있다. 웨이블릿 변환은 이러한 DCT의

\* (주)위즈텍 연구원(speedjay@wiztek.com)

\*\* 한림정보산업대학 전자통신과(hojoon@sun.hallym-c.ac.kr)

\*\*\* 광운대학교 전자공학부(hhkoh@daisy.kwangwoon.ac.kr)

논문번호 : 99271-0707 접수일자 : 1999년 7월 7일

한계를 극복하고 보다 우수한 품질의 화질을 얻을 수 있는 방법으로 연구가 활발히 진행되고 있다. 또한 웨이브렛 변환은 에너지의 압축 성능이 매우 뛰어나 뿐만 아니라 신호를 시간-주파수 영역에서 동시에 표현하기 때문에 영상 압축에 적합하다.

그러나 일반적인 이산 웨이브렛 변환(DWT: Discrete Wavelet Transform)은 이론적으로는 무손실 압축 방식이지만 변환 계수들이 실수형으로 나타나기 때문에 양자화를 거쳐 실수형 계수를 정수형으로 바꿔줌으로서 생기는 양자화 잡음으로 인해 영상을 복원했을 때 완전하게 복원되지 않게 된다<sup>[2]</sup>. 그러므로 웨이브렛 변환을 이용하여 영상의 손실·무손실 압축을 수행하기 위해서는 웨이브렛 변환 계수가 정수형으로 표현되어 완전 복원이 가능한 정수형 웨이브렛 변환이 필요하게 된다.

본 논문에서는 웨이브렛 변환을 위한 FPGA 설계를 목표로 하고 기존의 부동 소수점 방식이 아닌 정수형 기반 웨이브렛 변환용 필터를 구현하였다.

## II. 웨이브렛 변환 이론

### 1. 웨이브렛 이론

신호란 일반적으로 물리적 시스템의 상태(state) 또는 거동(behavior)에 관한 정보를 전하는 기능을 가진 함수라고 정의할 수 있다. 신호는 다양한 방법을 통해 표현할 수 있지만 정보는 항상 그 신호의 변동패턴 속에 담겨있다. 여기에서 입력신호의 특징을 알아내 그 입력신호로부터 정보를 추출하는 것을 신호분석(signal analysis)이라 한다. 일반적으로 신호변환이라 함은 신호의 변환을 통해 신호가 가지고 있는 특징 정보를 추출하여 신호분석을 용이하게 하는데 그 목적이 있다.

신호의 변환을 위해 사용되는 다양한 방법중의 하나인 푸리에 변환(Fourier Transform)은 신호를 시간 영역에서 주파수 영역으로 바꿔 해석함으로써 신호의 특성을 추출한다. 주기성을 갖는 신호의 경우 이 신호를 사인과 코사인의 합으로 표시할 수 있고, 비주기성을 갖는 신호는 신호 구간을 무한대로 놓고 주기성을 갖는 신호의 경우와 마찬가지로 신호를 해석할 수 있게 된다<sup>[3]</sup>. 이러한 특징 때문에 푸리에 변환은 신호 해석에 가장 많이 사용되고 있다. 하지만 푸리에 변환의 경우 신호를 시간적 혹은 주파수적 관점에서만 관측함으로써 실제 신호의 전체적인 특성을 파악하지 못하고 시간을 무한대로

놓고 신호를 해석함으로써 실제 시스템에 적합하지 못하게 된다. 단시간 푸리에 변환(Short-Time Fourier Transform)은 신호의 구간을 일정한 폭으로 제한하여 변환을 하게됨으로써 신호 특성을 추출하는 구간을 정의하게 된다. 하지만 단시간 푸리에 변환은 전체적인 신호 파형의 측정이 불가능하기 때문에 신호의 주파수 특성을 제대로 파악하지 못함으로써 신호의 왜곡을 야기한다<sup>[4]</sup>. 이러한 단점을 보완하여 신호를 시간·주파수 측면에서 동시에 해석할 수 있는 웨이브렛 변환이 푸리에 변환 대신 신호 해석에 사용되기 시작하였다. 웨이브렛 변환은 시간축과 주파수축에서 동시에 정보를 표현한다. 이렇게 됨으로써 모든 대역에 걸쳐 분포하고 있는 신호의 에너지가 일정 영역으로 집중되어 신호 해석이 용이하게 된다<sup>[6]</sup>.

웨이브렛 변환은 시간 및 주파수의 국부성을 가지므로 통계적 특성을 모르거나 시간적으로 예측하기 힘든 신호를 해석하는데 용이할 뿐만 아니라 다종의 해상도를 갖는 신호의 해석이 가능하므로 유용하게 이용될 수 있다. 신호의 해석은 신호를 기저함수(basis function)의 가중된 합(weighted sum)으로 표현하며, 이 가중치들을 해석함으로써 가능하게 되고 사용하는 기저함수의 성질에 따라 시간과 주파수의 해상도가 결정된다. 웨이브렛 변환을 사용하면 기저 함수의 시간축 해상도를 조절할 수 있고, 시간축과 주파수축의 트레이드 오프(Trade-off) 성질에 따라 주파수 해상도도 제어할 수 있게 된다.

웨이브렛 변환  $WT_f(a, b)$ 는 임의의 신호  $f(t)$ 를 웨이브렛 기저함수의 중첩된 합으로 식 (1)과 같이 정의할 수 있다.

$$WT_f(a, b) = \int_{-\infty}^{\infty} \frac{1}{\sqrt{a}} \psi\left(\frac{t-b}{a}\right) f(t) dt \quad (1)$$

웨이브렛 변환의 기저함수는 모 웨이브렛(mother wavelet)  $\psi(t)$ 를 시간축으로  $b$  만큼 이동시키고,  $a$  만큼 스케일링함으로써 얻을 수 있다. 식 (1)에 대한 이산 웨이브렛 변환의 기본 식은 식 (2)와 같다.

$$f(t) = \sum_k \sum_j a_{j,k} \psi_{j,k}(t) \quad (2)$$

여기서  $a_{j,k}$ 는 웨이브렛 변환 계수를 나타내고,  $\psi_{j,k}(t)$ 는 웨이브렛 기저함수를 나타낸다. 각각을 식으로 나타내면 식(3), 식(4)과 같이 나타낼 수 있다.

$$a_{j,k} = \langle f(t), \psi_{j,k}(t) \rangle = \int f(t) \psi_{j,k}(t) dt \quad (3)$$

$$\psi_{j,k}(t) = 2^{j/2} \psi(2^j t - k) \quad (4)$$

식(4)에서 나타낸 것과 같이 웨이브렛 기저함수들은 모 웨이브렛  $\psi$ 를 신축이나 팽창 혹은 이동함으로 얻어진다.

2. 정수형 웨이브렛 변환

현재 일반적으로 사용되고 있는 웨이브렛 변환은 Daubechies<sup>[7]</sup>가 제안한 부동 소수점 필터 계수를 사용하여 웨이브렛 변환을 실행한다. 이때 그 변환 계수들은 필터 계수와 화소값의 컨볼루션을 구해야 하므로 실수값을 갖게 된다. 그러나 이러한 실수 계수들을 양자화했을 때에는 양자화 잡음으로 인해 원 신호와 똑같은 신호를 다시 복원하는 것이 불가능하게 된다. 이러한 측면에서 완전복원이 가능한 정수형 웨이브렛 필터들에 대한 연구가 진행되고 있으며, 현재 알려진 정수형 웨이브렛 변환을 구현하는 방법으로서 가장 간단한 것 중의 하나가 S 변환(S-Transform)이다. 웨이브렛 변환은 영상을 다해상도로 분해해서 표현하기 때문에 순차 변환의 일종인 S 변환을 웨이브렛 변환에 사용할 수 있게 한다.

일련의 정수값 입력신호를  $c[n](n = 0, \dots, N-1, N$ 은 짝수)이라 하면 S 변환은 식(5), 식(6)와 같이 정의할 수 있다.

$$l[n] = \lfloor \frac{c[2n] + c[2n+1]}{2} \rfloor \quad (5)$$

$$h[n] = c[2n] - c[2n+1], \quad n = 0, \dots, \frac{N}{2} - 1 \quad (6)$$

S 변환은 덧셈 연산과 비트 쉬프트 연산으로 구현이 가능하므로 하드웨어 설계가 용이하고 계산량이 적은 장점이 있는 반면에 저주파 영역에서의 앨리어싱 때문에 고주파 필터를 통과한 값 사이에 잉여 상관성(residual correlation)을 남겨놓게 된다.

따라서 S 변환은 변환 후에 고주파 대역에 많은 에너지가 분포하게 됨으로 전체적인 압축효율이 떨어지는 단점을 가지게 된다. S 변환에서 정수들에 대한 산술연산은 LSB에 대한 통계적 의존관계를 갖게 되므로 손실 압축 방식에는 적합하지 못하고

효율적인 무손실 압축 방식을 위해 제거되어야 한다. 즉 무손실 압축 방식에서는 필터링된 값에 대한 절단(truncation)에 주의를 기울여야 한다.

S+P 변환은 S 변환의 고주파 대역 변환 계수에 예측을 적용함으로써 고역필터의 성능을 개선시킨 것이다. 즉, 식 (6)의  $h[n]$ 을 식 (8)의  $\hat{h}[n]$ 으로 예측한 후 식 (9)의 차분값  $h_d[n]$ 으로  $h[n]$ 을 대체한 것이다.

$$\Delta l[n] = l[n-1] - l[n] \quad (7)$$

$$\hat{h}[n] = \sum_{i=-L_0}^{L_1} a_i \Delta l[n+i] - \sum_{i=1}^M \beta_i h[n+i] \quad (8)$$

$$h_d[n] = h[n] - \left[ \hat{h}[n] + \frac{1}{2} \right], \quad n = 0, 1, \dots, \frac{N}{2} - 1 \quad (9)$$

실제로 웨이브렛 변환을 취하게 되면 영상의 대부분의 에너지는 저주파 영역에 집중되게 되므로 변수  $h_d[n]$ 를 효율적으로 줄이기 위해 필터의 선택 시 저주파 대역에서 감쇄가 큰 필터를 선택해야 한다. Said<sup>[2]</sup>는 완전 복원이 가능한 S+P 변환과 함께 그에 사용되는 선형 예측기의 예측 파라미터들을 구하는 방법을 제시하였다. S+P 변환에서 예측기를 사용하는 이유는 S 변환에서 발생한 고주파 대역의 편차나 에너지를 줄이기 위한 것이다. 이는 영상에 DPCM을 적용하여 원 영상이 갖는 편차를 줄이는 것과 같은 개념으로 볼 수 있다. 마찬가지로 S+P 변환의 압축 성능은 그에 사용되는 예측기의 성능에 따라 좌우되므로 웨이브렛 필터의 선택은 곧 예측기의 선택과 직결된다고 할 수 있다. Said 등은 여러 가지 방법을 통해서 압축 성능이 우수한 예측기를 구하였고 표 1과 같은 세 가지 예측기의 파라미터들을 제시하였다.

표 1. S+P 변환에 사용되는 예측기 계수

예측기	파라미터			
	$\alpha_{-1}$	$\alpha_0$	$\alpha_1$	$\beta_1$
A	0	1/4	1/4	0
B	0	2/8	3/8	2/8
C	-1/16	4/16	8/16	6/16

예측기 A는 연산량이 가장 작고, 예측기 B는 일 반적인 영상을 압축하는데 좋은 성능을 나타내며, 예측기 C는 영상의 변화가 적은 의료 영상에 적합 하다. 이 세 가지의 예측기 형태는 모든 영상에 대 해 좋은 성능을 나타내었고 특히 영상의 압축 시 필요한 곱셈 연산과 나눗셈 연산 대신 비트-쉬프팅 에 의해 압축을 할 수 있는 장점을 가지고 있다.

2-D S+P 변환은 1-D S+P 변환을 각각 영상의 수평 방향과 수직 방향에 대해 적용함으로써 얻을 수 있다.

식 (8)과 같은 예측기는 1차원 영상신호의 경계 범위를 벗어날 수 있기 때문에 이것을 대신하여 영 상의 시작에서는 식 (10)을, 영상의 끝에서는 식 (11)을 사용하여 예측을 수행한다.

$$\hat{k}[0] = \frac{\Delta i[1]}{4} \quad (10)$$

$$\hat{k}\left[\frac{N}{2}-1\right] = \frac{\Delta i\left[\frac{N}{2}-1\right]}{4} \quad (11)$$

### III. 제안한 웨이브렛 변환 필터의 ASIC 설계

#### 1. 제안한 웨이브렛 필터의 구성

제안한 웨이브렛 필터는 딜레이 모듈, 웨이브렛 변환 필터, 처리된 데이터의 임시저장을 위한 라인 메모리, 라인 메모리와 DRAM에 저장할 데이터의 위치를 지정해주는 어드레스 카운터, 그리고 각각의 모듈을 제어하는 컨트롤러 등으로 구분한다.

그림 1은 제안한 방식의 웨이브렛 필터의 블록 다이어그램이다.

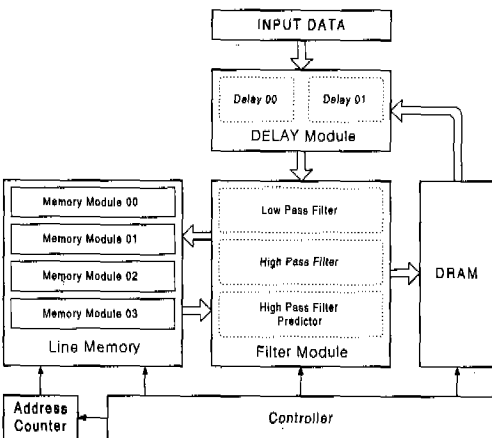


그림 1. 제안한 웨이브렛 변환 필터의 구조

#### 2. 딜레이 모듈

딜레이 모듈은 저역통과 필터링과 고역통과 필터링에 필요한 픽셀값을 입력에서 필터로 전달해주는 역할을 한다.

#### 3. 필터 모듈

필터 모듈은 저역통과 필터와 고역통과 필터로 나누고 이 필터들은 각각 입력 데이터의 처리 방향에 따라 수평방향 저역통과 필터, 수평방향 고역통과 필터, 수직방향 저역통과 필터, 그리고 수직방향 고역통과 필터로 나눈다. 수평방향 필터와 수직방향 필터는 동일한 필터를 사용하고 필터링하는 데이터의 입력 방향에 따라 두 개의 필터를 따로 사용해서 실시간 처리가 가능하게 하였다.

수평방향 저역통과 필터와 수평방향 고역통과 필터는 딜레이 모듈에서 입력을 받아들여 데이터를 처리하고 그 값을 라인 메모리에 저장시킨다. 저역통과 필터의 내부구조는 가산기와 비트 쉬프터로 구성된다. 가산기에서 합쳐진 데이터는 두 개 픽셀의 평균값을 구하기 위해 2로 나눠주게 되는데 이것은 가산기 내부의 레지스터에 합쳐진 값을 임시로 저장한 후 1 비트만큼 데이터를 오른쪽방향 쉬프트 함으로써 얻어진다. 그림 2는 디멀티플렉서, 가산기, 쉬프터로 구성된 저역통과 필터이다.

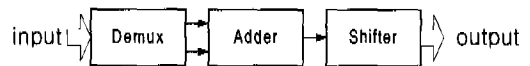


그림 2. 제안한 저역통과 필터의 구조

수평방향 고역통과 필터도 수평방향 저역통과 필터와 유사한 내부구조를 가지고 있다. 고역통과 필터링 값은 두 개의 픽셀 값에 대한 차분값을 구함으로써 얻어진다. 감산기는 2의 보수를 이용하면 쉽게 구현 할 수 있으므로 두 번째 입력 픽셀에 대해 2의 보수를 구하고 이것을 첫 번째 입력 픽셀과 가산기에 넣어 필터링 값을 구하였다. 그림 3은 디멀티플렉서, 2의 보수기, 가산기로 구성된 고역통과 필터이다.

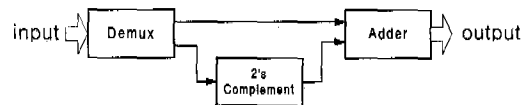


그림 3. 제안한 고역통과 필터의 구조

고역통과 필터링에 필요한 예측기는 저역통과 필터링 값과 고역통과 필터링 값을 딜레이 모듈에 넣어서 구한다. 예측기의 입력은 현재 두 개 픽셀의 필터링 값, 이전 두 개 픽셀의 필터링 값, 다음 두 개 픽셀의 필터링 값을 이용하고 딜레이 모듈을 사용하여 별도의 레지스터 사용 없이 예측값을 구할 수 있다. 저역통과 필터링 값과 고역통과 필터링 값을 딜레이 모듈에 저장시키고 시스템 클럭이 발생하면 이 값을 전송시켜준다. 출력단에서는 저역통과 필터링 값과 고역통과 필터링 값의 동기를 맞추기 위해 저역통과 필터의 출력에 딜레이 모듈을 붙이게 된다. 본 논문에서 예측기는 두 가지 형식을 모델링 하였고 예측기의 선택은 사용자가 결정하게 하였다.

고역통과 필터 예측기에서는 내부에 곱셈기를 쓰지 않고 가산기로써 필요한 승산을 수행하도록 설계하였다. 원하는 승수를 얻기 위해 승수만큼의 가산기와 버퍼 메모리를 사용한다. 필터링은 고역통과 필터 내부에 최대 승수만큼의 버퍼를 두고 여기에 고역통과 필터 입력을 넣고 가산기로 각 버퍼에 있는 값을 더하는 방식을 사용하였다. 이렇게 함으로써 라인 메모리를 대체하는 내부 레지스터이외의 메모리를 사용하지 않으므로 사용하는 게이트 수를 줄일 수 있고 칩 면적 및 실제 제작시의 제작비용을 줄이는 효과를 가져 올 수 있다<sup>[1]</sup>. 그림 4는 제안한 고역통과 필터 예측기의 구조를 나타낸 그림이다.

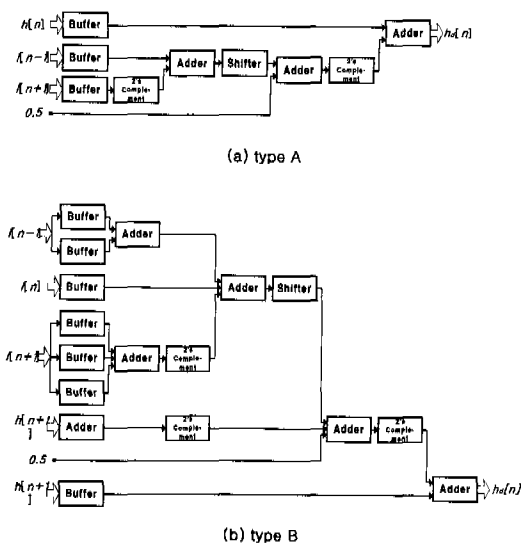


그림 4. 제안한 고역통과 필터 예측기의 구조

동일한 필터 모듈을 수평방향과 수직방향에 대해 사용하는 것은 입력 영상의 실시간 처리를 위한 것이다. 라인 메모리에 수평방향 필터링 값을 저장하고 두 라인에 대해서 필터링이 끝나면 이것을 가지고 수직방향 필터링을 할 수 있는데 수평방향과 수직방향에 대해 각기 다른 필터 모듈을 사용함으로써 전체적으로 시스템의 휴지시간 없이 데이터를 처리할 수 있다. 즉 수평방향 필터링이 끝난 두 개의 라인이 저장된 라인 메모리는 입력(write enable)상태에서 출력(output enable)상태로 변환되어 수직방향 필터의 입력이 되고 다른 두 개의 라인 메모리가 입력상태로 변해서 데이터의 처리를 연속적으로 수행하게 된다. 그림 5에서 저역통과 필터, 고역통과 필터, 고역통과 필터 예측기를 사용한 전체 구조를 나타내었다.

4. 라인 메모리

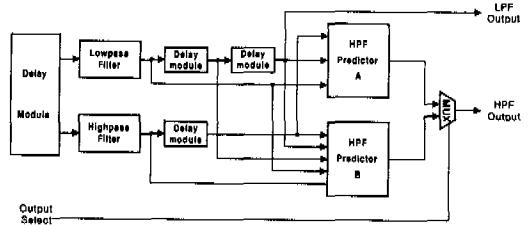


그림 5. 제안한 저역통과/고역통과 필터의 구조

라인 메모리는 수평방향 저역통과 필터와 고역통과 필터의 출력을 인터리빙 방식으로 저장한다. 먼저 SRAM을 크게 두 개의 영역으로 분할하여 사용하고 제어한다. 두 개의 영역은 서로 다른 입출력 모드를 갖도록 설계했다. 각 영역에서는 저역통과 필터링 값과 고역통과 필터링 값이 한 라인의 간격을 두고 저장된다. 수직방향 필터링을 할 때에는 라인 메모리에 있는 값을 순차적으로 읽어들이어 필터링을 수행하게 된다. 수평방향 필터링에서 필터 입력의 두 라인에 대한 저역통과 필터링 값은 분할된 라인 메모리의 첫 번째 영역에 두 라인의 저역통과 필터링 값이 저장된다. 필터 입력 두 라인에 대해 고역통과 필터링을 행한 값은 분할된 라인 메모리의 두 번째 영역에 저장된다. 이렇게 라인 메모리 두 라인의 모든 영역에 데이터 값이 저장되면 이 값들을 수직방향 필터의 입력으로 사용할 수 있다.

필터링한 데이터가 저장되어 있는 첫 번째 라인과 두 번째 라인의 입출력 모드를 입력모드(write

enable)에서 출력모드(output enable)로 변환해 주면 수평방향 필터링 값들은 초기 어드레스 지정과 함께 라인 메모리의 데이터 버스를 통해 수직방향 필터의 입력이 된다. 이때 라인 메모리의 세번째 영역과 네번째 영역에 입력의 다음 두 라인에 대한 수평방향 필터링 값들을 위의 과정과 동일하게 반복하게 된다.

라인 메모리의 세 번째 영역과 네 번째 영역에 데이터가 모두 저장되면 데이터 입력모드에서 출력모드로 변환시켜주고 라인 메모리의 처음 영역과 두 번째 영역이 다시 데이터 입력모드로 변환된다. 이 과정을 반복함으로써 4개의 라인 메모리를 사용하여 전체 영상에 대한 필터링을 수행할 수 있다.

### 5. 어드레스 카운터

라인 메모리에서 출력 어드레스가 순차적으로 변하지 않고 오프셋(off-set) 방식으로 변하게 되면 시스템에서는 원하는 어드레스를 충족할 때까지 어드레스에 저장하고 있는 데이터를 불러들이고 다시 지우는 작업을 반복한다. 이러한 경우 실제 시스템에서 딜레이가 매우 커지기 때문에 메모리에 데이터를 입력할 때 미리 출력에 대해 순차적으로 읽을 수 있는 메모리 위치에 놓는 것이 유리하다. 이때 어드레스가 점프를 하게 되는데 한 클럭 안에 원하는 메모리 어드레스 위치를 지정하기 위해 본 논문에서는 어드레스 카운터를 두고 이것을 사용하여 메모리 입력 어드레스를 쉽게 지정하도록 하였다.

본 논문에서 제안한 어드레스 카운터는 비트 슬라이서(bit slicer), 가산기, 비트 머저(bit merger)로 구성되어 있다. 비트 슬라이서는 입력 어드레스를 비트 단위로 분할하여 가산기에 넣어주는 역할을 한다. 가산기는 분할된 초기 어드레스와 이전 가산기에서 발생하는 캐리와 점프 어드레스 비트를 입력으로 받아들여 이것의 합과 캐리를 출력한다. 비트 머저는 각각의 가산기에서 출력하는 합들을 어드레스 스트림으로 변환시켜주는 역할을 한다.

### 6. DRAM

DRAM 모듈은 외부에 있는 DRAM에 대한 제어 신호와 데이터 입출력 단자를 설계한다. DRAM은 시스템 내부에서 처리된 데이터를 저장하고 이 데이터 중 필요한 데이터를 딜레이 모듈에 전송하는 역할을 한다.

### 7. 컨트롤 모듈

컨트롤 모듈은 시스템 전체에 대한 제어부 역할

을 한다. 이것은 시스템의 동작 타이밍과 필터링을 한 후 생성되는 데이터들을 외부 출력이나 버퍼의 적당한 장소에 저장하고 데이터를 불러들이는데 사용하게 된다. 시스템 클럭에 따라 각종 필터 모듈을 제어하고, 각 모듈별로 생성된 데이터를 DRAM에 저장하고, 또 버퍼에 저장시킨 후 그 값을 다시 불러들여 필터링을 하는데 사용된다.

## IV. 설계의 검증

본 논문에서 제안한 알고리즘은 Verilog-HDL을 이용하여 bottom-up 방식으로 설계하였다. 먼저 하위 모듈에서 기능을 기술하고 이것을 가지고 상위 모듈을 정의하였다. 그리고 각 하위 모듈별로 계층을 두고 하위 계층부터 기술하는 방식을 취했다. 먼저 각 모듈별로 요구되는 기능을 기술하고 모듈별 설계가 끝나면 테스트 벡터를 사용하여 RTL(register transfer level) 시뮬레이션을 수행하였다. 상위 모듈은 이미 기술된 하위 모듈과 이것을 사용하기 위해 새로운 모듈을 설계함으로써 얻을 수 있었다. 시스템을 설계하고 검증하는데 QuickLogic사의 QuickWorks™ 8.2를 사용하였다.

본 논문에서 설계한 웨이브렛 변환 필터의 검증은 각 모듈별로 실행하였다. 먼저 하위모듈을 설계한 뒤 이를 검증하기 위해 테스트 벡터를 생성하였다. 하위 모듈에 대한 테스트 벡터로 설계의 검증을 마친 후 상위 모듈을 설계하고 하위 모듈에서 얻어진 결과값을 입력으로 하는 테스트 벡터를 생성한다.

이렇게 각각의 모듈의 계층에 의해 입력값과 출력값과의 관계를 통해 전체 시스템에 대한 검증을 하였다.

## V. 결과 및 고찰

본 논문에서 FPGA 합성에 사용한 디바이스는 QuickLogic사의 pASIC2® QL2009-2 PQ208 C를 사용하였다. 이 칩은 208개의 핀아웃(pinout)을 갖고 있으며 16,000개의 PLD 게이트와 672개의 논리셀(Logic Cell)로 구성되어 있다.

실험에 사용한 시스템 클럭은 30MHz이고 시뮬레이션 결과 사용된 논리셀은 버퍼를 포함해서 492개였고, FPGA 내부의 리소스(resource) 중에서 14,218개의 리소스를 사용하였다. 내부적으로는 레지스터 카운터 100개, 래치(Latch) 카운터 66개,

I/O 셀 64개를 사용하였다. 표 2는 합성된 FPGA 칩에서 사용된 리소스를 나타내었다.

표 2. 합성된 FPGA의 사용 정보

	Used	Total	%
Utilized Cells (no buffered)	395	672	58.8
Utilized Cells (buffered)	450	672	65.5
Input only Cells	0	0	0.0
Clock only Cells	1	4	25.0
Bi-directional Cells	49	166	29.5
Routing Resources	7591	42140	18.0
ViaLink Resources	6676	1050940	0.6

그림 6은 Synplify-Lite Verilog 컴파일러를 거쳐 합성된 결과 값에 대하여 QuickLogic사의 SpDE<sup>®</sup>를 통해 Place & Route 과정을 거쳐 얻어진 FPGA 레이아웃(layout)을 나타내었다.

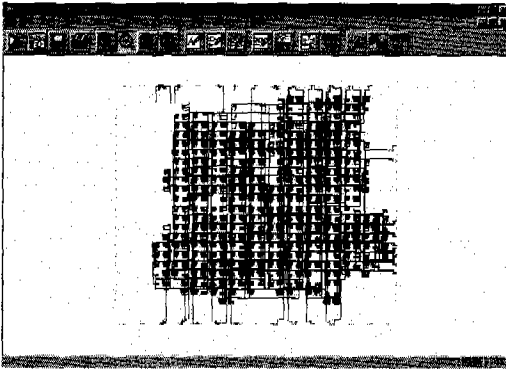


그림 6. 설계된 웨이브렛 필터의 FPGA 레이아웃

## VI. 결 론

본 논문에서는 최근 영상 압축에 있어서 많이 사용되고 있는 웨이브렛 변환 필터를 ASIC으로 설계 하였으며, 동작 특성과 성능을 Verilog-HDL를 이용하여 구현 및 분석하였다. 부동소수점 방식 웨이브렛 변환 대신 무손실 영상 압축을 할 수 있는 정수형 웨이브렛 변환을 사용하였고, 정수형 웨이브렛 변환 알고리즘의 하나인 S+P 변환에 대한 VLSI 설계에 대해 연구하였다. 그리고 ASIC 설계 방식 중

코스트와 설계의 편리성, 이식성 등에 있어서의 장점으로 인해 가장 많이 사용되고 있는 방법중 하나인 FPGA 방식을 사용하여 설계하였다. FPGA 설계는 QuickLogic사의 QuickWorks<sup>™</sup> version 8.2를 사용하여 설계하였고 FPGA 칩도 QuickLogic사의 pASIC/2<sup>®</sup> QL2009-2 PQ208 C를 사용하였다.

설계 결과 하드웨어 설계에 있어서 가장 중요한 실시간 처리가 가능함은 물론 외부 메모리의 적절한 사용으로 전체적으로 FPGA 칩 안에서 사용되는 게이트의 수를 줄일 수 있었다. 또한 곱셈기의 사용을 배제하고 가산기와 비트 쉬프트만 사용함으로써 곱셈기를 사용하는 일반적인 방식보다 처리 속도 측면에서나 사용하는 게이트의 수에서도 큰 이득을 얻을 수 있음을 확인하였다.

## 참 고 문 헌

- [1] ISO/IEC JTC 1/SC 29/WG 1 N1135, JPEG 2000 Verification Model Version 3.0 (B), December 1998.
- [2] A. Said and W. A. Pearlman, "An Image Multiresolution Representation for Lossless and Lossy Compression," *IEEE Trans. Image Processing*, vol. 5, no. 9, pp. 1303-1310, Sept. 1996.
- [3] A. V. Oppenheim and R. W. Schaffer, *Discrete-Time Signal Processing*, Prentice Hall, 1989.
- [4] O. Rioul and M. Vetterli, "Wavelets and Signal Processing," *IEEE Signal Proc. Mag.*, pp. 14-38, Oct. 1991.
- [5] C. S. Burrus, R. A. Gopinath, and Haitao Guo, *Introduction to Wavelets and Wavelet Transforms : A Primer*. Prentice Hall, 1998.
- [6] S. Mallat, "A Theory for Multiresolution Signal Decomposition : The Wavelet Representation," *IEEE Trans. Pattern Anal. & Mach. Intel.*, vol. 11, July 1989.
- [7] M. Antonini, M. Barlaud, P. Mathieu, and I. Daubechies, "Image Coding Using Wavelet Transform," *IEEE Trans. Image Proc.*, pp. 205-220, April 1992.
- [8] Knowles G, "VLSI Architecture for the Discrete Wavelet Transforms," *Electronic*

Let., pp. 1184-1185, vol 26, 1990.

- [9] Lewis A. S, and Knowles G, "VLSI Architecture for 2D Daubechies Wavelet Transform without Multipliers," *Electronic Lett.*, pp.171-173, vol 27, 1991.
- [10] King-Chu Hung, Yu-Jung Huang, Trieu-Kien Truong and Chia- Ming Wang, "FPGA Implementation for 2D Discrete Wavelet Transform," *Electronic Lett.*, pp. 639-640, vol 34, 1998.
- [11] 은세영, 선우명훈, "실시간 영상 처리용 디지털 필터 설계," pp. 837-840, 제 9 회 신호처리합동 학술대회, 1996
- [12] Samir Palnitkar, *Verilog HDL : A Guide to Digital Design and Synthesis*, Sun Microsystems, 1996.

1985년 3월~현재: 광운대학교 전자공학부 교수  
<주관심 분야> 2진영상 압축, 정지영상 압축, 동영상 압축

김 재 환(Jae-hwan Kim)

정회원



1973년 5월 24일생  
1997년 2월 :서울산업대학교  
전자공학과(학사)  
1999년 8월 : 광운대학교 대학원  
전자통신공학과(석사)  
1999년 9월~현재 : (주)위즈텍  
연구소 연구원

<주관심 분야> 영상신호처리, 영상통신, 웨이브렛 변환, ASIC 설계 등

이 호 준(Ho-joon Lee)

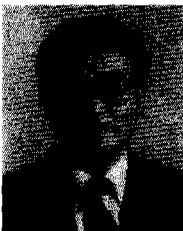
정회원

한국통신학회 논문지 제 21권 10호 참조

현재 : 한림정보산업대학 전자통신과 조교수

고 형 화(Hyung-hwa Ko)

정회원



1979년 2월 : 서울대학교 전자공  
학과(학사)  
1982년 2월 : 서울대학교 전자공  
학과(석사)  
1989년 2월 : 서울대학교 전자공  
학과(박사)

1979년 2월~1980년 2월 : (주)금성사 중앙연구소  
기사

1998년 8월~1999년 7월 : UCSD 객원교수