

# 대면적 TFT-LCD를 위한 다결정 실리콘 박막 트랜지스터

정회원 이 정 석\*, 이 용 재\*

## The Poly-Si Thin Film Transistor for Large-area TFT-LCD

Jung-suk Lee\*, Yong-Jae Lee\* *Regular Members*

요 약

본 논문에서는 유리기판 위에 고상결정화(SPC)로 제작된 n-채널 다결정 박막 트랜지스터(poly-Si TFT's)에 대해 전류-전압 특성, 이동도, 누설전류, 문턱전압, 그리고 부임계 기울기 등과 같은 전기적 특성을 측정함으로써 대면적, 고밀도 TFT-LCD에의 적용 가능성을 조사하였다. 채널 길이가 각각 2, 10, 25  $\mu\text{m}$ 로 제작된 n-채널 poly-Si TFT에서, 전계 효과 이동도는 각각 111, 125, 116  $\text{cm}^2/\text{V}\cdot\text{s}$ 이었으며, 누설전류는 각각 0.6, 0.1, 0.02  $\text{pA}/\mu\text{m}$ 로 나타났다. 또한, 낮은 문턱전압과 부임계 기울기 그리고 양호한 ON-OFF ratio이 나타났다. 따라서, SPC로 제작된 poly-Si TFT는 대형유리기판에 디스플레이 패널과 구동시스템을 동시에 집적하는 대면적, 고밀도 TFT-LCD에 적용 가능한 것으로 판단된다.

ABSTRACT

In this paper, the n-channel poly-Si thin-film transistors (poly-Si TFT's) formed by solid phase crystallization (SPC) on glass were investigated by measuring the electrical properties of poly-Si films, such as I-V characteristics, mobility, leakage current, threshold voltage, and subthreshold slope. It is done to decide to be applied on TFT-LCD with large-size and high density. In n-channel poly-Si TFT with 2, 10, 25  $\mu\text{m}$  of channel length, the field effect mobilities are 111, 126, and 125  $\text{cm}^2/\text{V}\cdot\text{s}$  and leakage currents are 0.6, 0.1, and 0.02  $\text{pA}/\mu\text{m}$ , respectively. Low threshold voltage and subthreshold slope, and good ON-OFF ratio are shown, as well. Thus, the poly-Si TFT's used by SPC are expected to be applied on TFT-LCD with large-size and high density, which can integrate display panel and peripheral circuit on a large glass substrate.

### I. 서론

최근, 정보통신 시대를 맞이하여 인간과 컴퓨터기 사이의 인터페이스로서 정보전달의 역할을 담당하는 정보디스플레이소자가 매우 중요한 위치를 차지하게 되었다. 정보디스플레이소자 중에서도 박막 트랜지스터 액정 디스플레이(TFT-LCD)가 현재 정보표시소자로서 많이 사용되고 있으며, 이것은 TFT

의 활성층의 종류에 따라 비정질 실리콘(a-Si:H) TFT-LCD와 다결정 실리콘(poly-Si) TFT-LCD로 구분된다. 이러한 TFT-LCD가 고밀도, 대면적화 되고 display panel과 구동회로부분을 동일 기판 위에 제작하기 위해서는 표 1<sup>[1]</sup>과 같이 TFT의 이동도의 증가가 절실히 요구되고 있지만 현재 양산되고 있는 비정질 실리콘 박막 트랜지스터(이동도 :  $<1 \text{ cm}^2/\text{V}\cdot\text{sec}$ )로는 이점을 만족하기가 어렵다. 최근엔 이런 문제점을 효과적으로 해결할 수 있는 방법으

\* 동의대학교 전기전자공학부(jsl@hyomin.dongeeui.ac.kr),

논문번호 : 99260-0628,

접수일자 : 1999년 6월 28일

※ 이 논문은 1999학년도 동의대학교 자체 학술 연구조성비(99AB126)의 지원을 받아 작성되었습니다.

로 저온 다결정 실리콘 박막 트랜지스터(poly-Si TFT)가 많은 주목을 받고 있다.<sup>[2][3]</sup>

표 1. TFT-LCD 응용에 요구되는 이동도와 누설전류

	이동도 (cm <sup>2</sup> /V · sec)	누설전류 (pA/μ m)
픽셀TFT	> 1	< 0.1
구동TFT	> 30	< 100

비정질 Si를 이용한 TFT는 일반적으로 아주 작은 누설전류와 작은 ON전류를 갖는데, 화소 메모리 내의 데이터를 표시기 물질이 반응하기 위한 충분히 긴 시간동안 유지하는데 필요한 작은 누설전류와 적절한 ON 전류를 갖도록 크기를 조절할 수 있기 때문에 행렬(matrix) 표시기에서 잘 동작할 수 있다. 하지만 비정질 Si TFT는 대역 간극 끝부분에 국부화된 상태(localized states)가 많아 이동도가 매우 낮다는 가장 큰 단점이 있으며 상온에서조차 불안정하여 신뢰감이 높지 않다. 이에 반하여 poly-Si TFT는 a-Si TFT보다 이동도가 크고 더 안정하며, 재현성이 우수하기 때문에 높은 해상도와 높은 대비비를 갖은 LCD에 응용할 수 있다. 또한, 트랜지스터의 전기적 특성을 향상시키기 위해서는 grain size의 증가와 트랩 상태의 감소가 요구되는데<sup>[4]</sup>, 큰 grain size의 poly-Si TFT 제조방법으로는 고상결정화 방법(Solid Phase Crystallization : SPC)과 엑시머 레이저 방법들이 연구되고 있다.<sup>[5]</sup> 레이저를 이용한 재결정화는 이동도면에서는 좋은 결과를 얻을 수 있으나, 결정 입정의 균일성 및 생산성에 큰 문제가 있다. 이에 비하여 SPC방법은 공정시간이 길다는 단점은 있으나 균일성과 재현성이 좋아 널리 사용되고 있다. 값싼 유리 기판의 사용을 가능하게 하기 위해서는 공정 온도를 낮추는 것 역시 중요하다. 저온 poly-Si TFT는 이동도가 크기 때문에 유리기판 위에 주변회로를 집적할 수 있는 장점이 있어서 생산비용 저감 측면에서도 많은 관심을 끌고 있다. 이러한 Poly-Si TFT는 내부에 존재하는 grain 때문에 단결정 MOSFET보다 동작이 복잡하고 그 동작 메커니즘에 관하여 아직 완전하게 이해되지 않고 있다. 특히, 고성능이고 높은 신뢰성을 가지는 전기적 특성을 얻기 위한 연구는 아직 미흡한 상태이다.

따라서 본 연구에서는 저온(≤600℃)공정의 고상

결정화(SPC)를 통하여 n-채널 다결정 박막 트랜지스터를 제작하였고 ON-OFF 전류, 전계 효과 이동도(μ<sub>FE</sub>), 누설전류, ON-OFF 전류 ratio, 문턱전압, 부임계 기울기, 그리고 여기에너지와 같은 전기적 특성을 측정하였다. 이 결과로부터 다결정 박막 트랜지스터의 대면적, 고밀도 TFT-LCD에 대한 적용 가능성을 규명하고자 한다.

## II. 소자제작

그림 1은 유리기판에 저온 공정 기술(≤600Å)로 제작된 poly-Si TFT의 단면도이다. TFT구조는 Top 게이트 형태의 구조이다. 먼저 SiO<sub>2</sub>의 기초산화막을 APCVD(Atmospheric Pressure Chemical Vapor Deposition)법으로 유리기판 위에 증착한 다음, 600 Å의 채널 박막은 470℃에서 Si<sub>2</sub>H<sub>6</sub>를 이용하여 LPCVD(Low Pressure CVD)방법으로 증착하였다. 이 채널 막은 470℃에서 비정질 상태로 증착되기 때문에 600℃의 N<sub>2</sub>분위기에서 10h동안 어닐링하였다. 어닐링 후에 채널 막이 1μm의 평균 grain size를 가지고 채널 두께에 걸쳐 완전히 결정화되었음을 TEM 관측으로 확인하였다. 게이트 SiO<sub>2</sub>(1000 Å)와 게이트 폴리실리콘막(1000Å)은 550℃에서 각각 LPCVD로 증착하였다. 게이트 패턴을 형성한 후에 소오스와 드레인, 게이트를 형성하기 위하여 100 KeV의 에너지로 5×10<sup>15</sup> cm<sup>-2</sup>의 인을 이온 주입하였다. 그런 다음, 주입된 인을 여기시키기 위해서 600℃, N<sub>2</sub>분위기에서 6h동안 열적 어닐링을 행하였다. 100nm의 산화막을 PECVD로 성장시킨 후에, 전극을 형성하기 위한 접착 층을 사진 식각으로 열어 알루미늄을 증착하였다. 마지막으로 소자 성능을 향상시키기 위하여 순수한 수소 플라즈마 상태에서 350℃, 30분간 수소화 공정을 행하였다. 측정된 소자의 채널 폭은 5μm 고정이고 채널 길이는 각각 2μm와 10μm, 25μm이다.

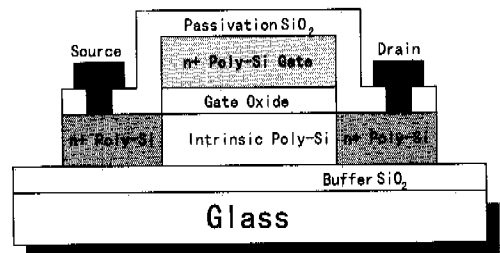


그림 1. 유리기판 위에 제작된 n-채널 poly-Si TFT의 단면도

### III. 실험 및 결과고찰

그림 2는 게이트 전압을 달리하여 측정한 채널길이  $10\mu\text{m}$ 인 poly-Si TFT의 출력 특성으로서 선형영역과 포화영역으로 구분된다. 포화되기 전에 드레인 전류의 기울기가 선형인 것으로부터 소오스와 드레인인 낮은 저항의 n+ poly-Si 때문에 저항성 접촉이 되었음을 알 수 있다.

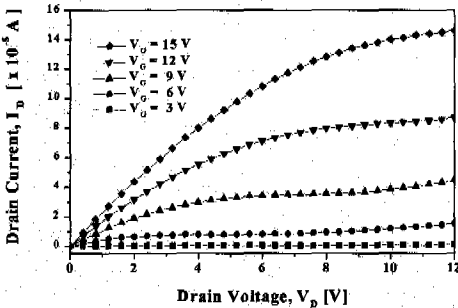


그림 2. 게이트 전압에 따른 poly-Si TFT의 출력특성,  $L=10\mu\text{m}$ ,  $W=5\mu\text{m}$ .

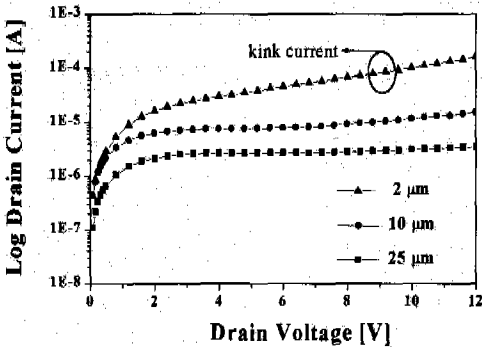


그림 3. 채널길이에 따른 poly-Si TFT의 출력특성,  $W=5\mu\text{m}$

그림 3은 poly-Si TFT에 대한 출력 특성의 채널 길이 의존성을 나타내고 있다. 드레인 전류는 채널 길이가 감소함에 따라 상대적인 드레인 전계의 증가로 인하여 증가하게 된다. 특히,  $2\mu\text{m}$ 에서는 kink 효과에 의해서 드레인 전류가 10,  $25\mu\text{m}$ 보다 훨씬 더 증가하였다. 이 kink 효과는 드레인 끝 부분에서 일어나는 충격이온화를 채널영역의 기생 바이폴라 트랜지스터가 가속화시키기 때문에 발생한다.<sup>[6]</sup> 이것에 의해 포화영역에서 poly-Si TFT의 출력 임피던스가 더 낮아지게 된다.

그림 4는 실온에서 드레인 전압을 달리하여 측정

한 채널길이가  $10\mu\text{m}$ 인 poly-Si TFT의 전달 특성을 나타낸다. 그림에서 드레인 전류가 드레인 및 게이트 전압에 상당히 의존적인 것을 알 수 있다. 먼저, 게이트 전압에 따른 Poly-Si TFT의 동작 메카니즘은 다음과 같다. Gate 전극에 가해진 전압에 의해서 채널 부분에 유도되는 캐리어가 grain 경계에 존재하는 트랩 상태를 채우고 나면 그 주변에 국부적인 공핍층이 생겨서 전위 장벽이 형성된다. 일단 깊은 트랩 상태가 모여든 전자에 의해서 채워지면 채널에서 캐리어의 이동은 grain 경계의 전위 장벽을 넘어서는 열이온 방출에 의해서 좌우된다. 따라서, 완전히 ON상태에 있는 poly-Si TFT의 전류식은 다음과 같이 나타낼 수 있다.

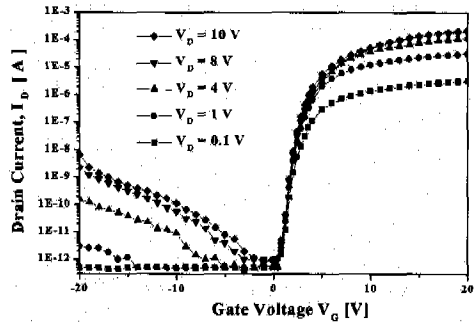


그림 4. 드레인 전압에 따른 poly-Si TFT의 전달특성,  $L=10\mu\text{m}$ ,  $W=5\mu\text{m}$ .

$$I_{DS} = \frac{W}{L} C_{ox} \mu_n V_g V_d \exp\left(\frac{-q^3 N_T^2 t}{8\epsilon_{Si} k T C_{ox} V_g}\right) \quad (1)$$

여기서 q는 전하량, k는 볼츠만 상수,  $\epsilon_{Si}$ 는 Si의 유전상수,  $C_{ox}$ 는 게이트 산화막 정전용량, t는 poly-Si막의 두께, 그리고  $N_T$ 는 poly-Si의 에너지 대역 간극에 존재하는 트랩밀도를 나타낸다. 또한, 그림 4에서 알 수 있듯이 OFF상태 전류(누설전류)가  $V_G$ 와  $V_D$ 에 더 크게 영향을 받는다. poly-Si TFT에서 누설전류는 드레인 접합에서 발생하고 접합 누설전류는 공핍영역에 있는 grain 경계 트랩을 통하여 생성된 전자-정공 쌍에 의해 발생한다. 즉, 접합 누설전류는 낮은 전계에서는 순수한 열적생성에 의해서, 높은 전계에서는 열적 전계 방출과 함께 field-assisted Poole-Frenkel emission에 의해 발생한다.<sup>[7]</sup> 이와 같이, poly-Si TFT에서 누설전류는 grain 경계 트랩의 존재로 인해 게이트와 드레인 전압에 따라 상당히 증가하게 된다. 이러한 메카니즘을 통하여 흐르는 누설전류는 다음 식으로 표현된다.

$$I_{OFF} = I_0 \exp\left(-\frac{E_a}{kT}\right) \quad (2)$$

여기서  $I_0$ 는 온도와 상관없는 상수이고,  $E_a$ 는 드레인 전류 활성화 에너지이다. ON, OFF 전류의 활성화에너지는 poly-Si TFT의 전달 특성에 대한 온도 의존성으로부터 구해진다.

그림 5는  $V_D=10V$ 일 때, poly-Si TFT에 대한 전달곡선의 채널길이 의존성을 나타낸다. 그림으로부터 누설전류는 채널길이 감소함에 따라 증가함을 알 수 있다. 이는 채널길이 감소에 따라 상대적인 드레인 전계의 증가에 의해 midgap에 있는 트랩 중심(trap center)을 경유하여 열적 전계 방출이 증가하기 때문이다. 채널길이 10  $\mu m$ 와 25  $\mu m$ 인 poly-Si TFT의 누설전류는 0V에서 모두 0.1pA/ $\mu m$  이하였으며, 2  $\mu m$ 에서는 0.6 pA/ $\mu m$ 였다.

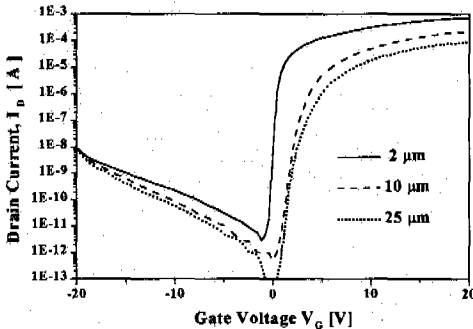


그림 5. 채널길이에 따른 poly-Si TFT의 전달특성,  $W=5\mu m$

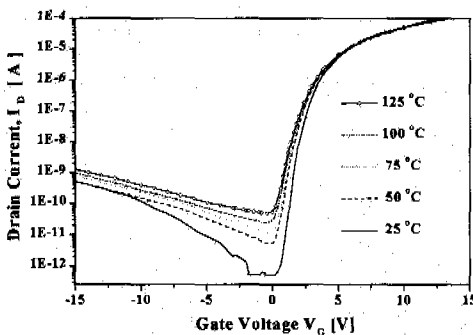


그림 6.  $V_D=10V$ 에서 poly-Si TFT의 온도 변화에 따른 전달 특성의 변화,  $L=10\mu m$ ,  $W=5\mu m$

그림 6는 채널길이 10  $\mu m$ 인 poly-Si TFT에  $V_D=10V$ 를 인가했을 때, 온도변화에 따른 전달특성의 변화를 나타내었다. 전달 특성의 온도 의존성은 열적 생성 영역( $V_G < 0V$ )과 subthreshold 영역( $0V \leq$

$V_G \leq 3V$ ), 그리고 ON 영역( $V_G \geq 3V$ )의 세 부분으로 나누어진다. 열적 생성 영역에서는 캐리어의 열적 생성에 의해 온도가 증가함에 따라 드레인 전류가 증가한다. 부임계 영역에서의 드레인 전류는 진성 Fermi level과 band tail 상태의 밀부분 사이에 존재하는 quasi-Fermi level 때문에 온도와 함께 증가한다. 마지막으로 ON 상태에서, 온도는 드레인 전류에 큰 영향을 미치지 않는다. 그 이유는 tail 상태 밀도가 낮기 때문이다.<sup>[4]</sup>

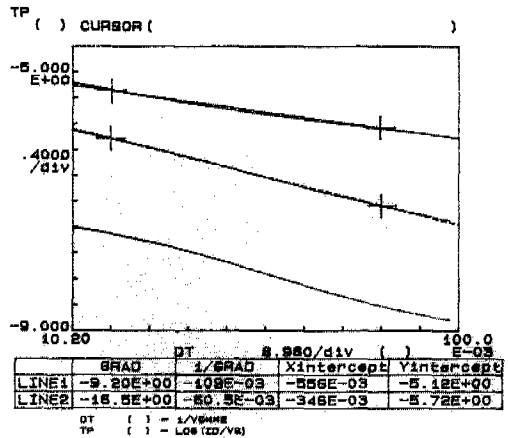


그림 7. 채널길이에 따른 poly-Si TFT의  $\ln(IDS/VG)-VG^2$  곡선,  $W=5\mu m$

각 채널길이에 대한 n-채널 poly-Si TFT의 문턱 전압, 전계효과 이동도, 누설전류, ON-OFF 전류 ratio, 부임계 기울기와 같은 소자 파라미터는 표 2에 나타내었다. 여기에서, 전계효과 이동도와 문턱 전압, 부임계 기울기는  $V_D=1V$ 에서의 전달 특성으로부터 구하였으며, 누설전류와 ON-OFF 전류 ratio는  $V_D=10V$ 에서의 전달 특성으로부터 구하였다. 표 2에서 n-채널 poly-Si TFT의 전계효과 이동도는 채널길이 10  $\mu m$ 에서 증가했다가 2  $\mu m$ 에서 감소하는데, 이는 높은 드레인 전계에서 캐리어의 이발란치 주입에 의한 캐리어 수명(life time)이 감소하기 때문이다. 또한, 문턱전압과 부임계 기울기는 채널 길이가 짧을수록 특성이 향상된다는 것을 알 수 있는데, 이는 poly-Si grain 경계에서의 트랩 밀도로 설명될 수 있다. 트랩밀도는 식(1)의 양변에 자연로그를 취하여 정리한 다음 식의 기울기로부터 구할 수 있다.

$$\ln \frac{I_d}{V_g} = -\frac{q^2 N_T^2}{C_{ox}^2} \frac{1}{V_g^2} + \ln(\mu V_a C_{ox} \frac{W}{L}) \quad (3)$$

식 (3)으로부터  $\ln(I_D/V_G)$ 가  $1/V_G^2$ 에 선형적으로 변하는 것을 알 수 있다. 그림 7은  $V_D=1V$ 일 때, 각 채널길이에 대한  $\ln(I_D/V_G)-1/V_G^2$  그래프를 나타내고 있다. 이 그래프의 기울기로부터 구한 2, 10, 25  $\mu m$  각 채널길이에 대한 트랩밀도는  $6.55 \times 10^{11}$ ,  $8.76 \times 10^{11}$ ,  $9.115 \times 10^{11} \text{ cm}^{-2}$ 으로 계산되어 채널길이가 증가함에 따라 트랩밀도 역시 증가하였다. 따라서, 채널길이에 따른 성능변화를 갖게되는 원인을 설명하는데 있어서  $N_T$ 의 도입이 그 중 한가지 방법이 될 수 있을 것으로 생각된다.

표 2로부터, 고상결정화 방법으로 제작한 n-채널 poly-Si TFT의 전기적 특성들이 표 1에 나타난 구동 TFT와 픽셀 TFT의 조건을 만족함으로써 대형유리기판에 주변회로를 화소의 스위칭 소자와 동시에 집적이 가능한 대면적, 고밀도 TFT-LCD에 적용 가능한 것으로 판단된다.

여 생성된 전자-정공 쌍에 의해 발생한다는 것을 알 수 있었다. 또한, 2, 10, 25  $\mu m$  각 채널길이에 대한 트랩밀도는  $6.55 \times 10^{11}$ ,  $8.76 \times 10^{11}$ ,  $9.115 \times 10^{11} \text{ cm}^{-2}$ 으로 계산되어 트랩밀도가 poly-Si TFT의 성능에 영향을 미치는 것으로 확인되었다. 표 2에 나타난 소자 파라미터로부터, 전계효과 이동도의 경우 표 1에서 제시된 조건에 거의 4배 정도 더 큰 값이었으며, 다른 소자 파라미터 또한 양호한 특성이 나왔다. 따라서, 고상결정화로 제작된 n-채널 poly-Si TFT는 액정표시장치의 주변회로 및 화소의 스위칭 소자에 모두 적용할 수 있으며, 박막 트랜지스터 액정 디스플레이의 주변회로를 화소의 스위칭 소자와 동시에 대형유리기판 위에 제작함으로써 대면적, 고밀도 TFT-LCD에 적용 가능한 것으로 판단된다.

참고 문헌

표 2. 채널길이에 따른 poly-Si TFT의 소자 파라미터

전기적 특성 \ 채널길이	2 $\mu m$	10 $\mu m$	25 $\mu m$	단위
전계효과이동도 ( $\mu_{FE}$ )	111	125	116	cm <sup>2</sup> /V-s
문턱전압( $V_T$ )	1.8	2.9	3.1	V
부임계 기울기(S)	0.621	0.874	0.92	V/dec
최소 누설전류(I <sub>L</sub> )	0.6	0.1	0.02	pA/ $\mu m$
최대 ON-OFF 비	2.4	3.6	9.1	$\times 10^8$

IV. 결론

본 연구에서는 유리기판 위에 저온( $\leq 600^\circ C$ )공정의 고상결정화(SPC)를 통하여 n-채널 다결정 박막 트랜지스터를 제작한 다음 전기적 특성을 측정하여 다음과 같은 결론을 얻었다. 출력특성에서 소오스와 드레인온 양호한 저항성 접촉이었으며, 채널길이가 2  $\mu m$ 인 TFT는 기생 바이폴라 트랜지스터와 충격이온화에 기인한 kink효과에 의해서 드레인 전류가 다른 채널길이보다 훨씬 더 증가하였다. 전달특성에서 누설전류는 드레인 접합에서 발생하고, 접합 누설전류는 공핍영역에 있는 grain 경계 트랩을 통하

- [1] Sheau Chen, et al, "Polysilicon TFT technology will solve problems of mobility, pixel size, cost, and yield", *Solid State Technology*, pp.113, January 1996.
- [2] 장진, "박막 트랜지스터 액정디스플레이" *전자공학회지* 제 26권 제2호, pp.44, 1999.
- [3] T.Sameshima, "Status of Si thin film transistors", *J. Non-Crystalline Solids*, pp.1196, 1998.
- [4] C.H. Kim, K.S. Sohn and J. Jang, "Temperature dependent leakage currents in polycrystalline silicon thin film transistors," *J. Appl. Phys.*, Vol, 81, No. 12, 8084 (1997).
- [5] F.Petinot, et al, "Defects in solid phase and laser crystallised polysilicon thin film transistors", *J. Non-Crystalline Solids*, pp.1207, 1998.
- [6] M. Valdinoci, et al, INVESTIGATION ON THE KINK EFFECT IN POLY-TFTs, Proc. of ESSDERC'96, pp.1055-1058, 1996.
- [7] C.T.Angelis, et al, "Study of leakage current in n-channel and p-channel polycrystalline silicon thin-film transistors by conduction and low frequency noise measurements", *J. Appl. Phys.*, 82 (8), pp. 4095-4101, 1997.

이 정 석(Jung-suk Lee)

준회원



1998년 2월 : 동의대학교 전자  
공학과 졸업

1998년 3월~현재 : 동의대학교  
전자공학과 석사과정

<주관심 분야> 반도체 소자 및  
공정

이 용 재(Yung-Jae Lee)

정회원



1981년 2월 : 경북대학교 전자  
공학과 졸업

1983년 2월 : 연세대학교 전자  
공학과 석사

1986년 8월 : 연세대학교 전자  
공학과 박사

1985년 3월~1988년 2월 : 한국전자통신연구원 집적  
회로 개발부 선임연구원

1991년 7월~1992년 7월 : The University of Texas  
at Austin, Microelectronics Research  
Center U.S.A Post Dr

1988년~현재 : 동의대학교 공과대학 전자전기공학부  
정교수

<주관심 분야> MOSFET, MOS 소자개발, 특성화,  
바이폴라 소자 공정 및 특성개선, ASIC설  
계 등