

# 전류펌핑 알고리즘을 이용한 클락 동기용 CMOS PLL 설계

정회원 성혁준\*, 윤광섭\*\*, 강진구\*\*

## Design of a CMOS PLL with a Current Pumping Algorithm for Clock Synchronization

Hyuk-Jun Sung\*, Kwang Sub Yoon\*\*, Jin Ku Kang\*\* *Regular Members*

### 요 약

본 논문에서는 전류펌핑 알고리즘을 이용한 클락 동기용 3.3V 단일 공급 전압하에서 3-250MHz 입력 록킹 범위를 갖는 2중 루프 구조의 CMOS PLL 회로를 설계하였다. 본 논문은 전압 제어 발진기 회로의 전압대 주파수의 선형성을 향상시키기 위한 전류펌핑 알고리즘을 이용한 PLL 구조를 제안한다. 설계된 전압 제어 발진기 회로는 75.8MHz-1GHz의 넓은 주파수 범위에서 높은 선형성을 가지고 동작한다. 또한, 록킹 되었을 때 루프 필터 회로를 포함한 전하 펌프 회로의 전압 변동 현상을 막는 위상 주파수 검출기 회로를 설계하였다. 0.6  $\mu\text{m}$  N-well single-poly triple metal CMOS 공정을 사용하여 모의 실험 한 결과, 125MHz의 입력 주파수를 갖고 1GHz의 동작 주파수에서 3.5  $\mu\text{s}$ 의 록킹 시간과 92mW의 전력 소모를 나타내었다. 측정 결과 V-I 컨버터 회로를 포함한 VCO 회로의 위상 잡음은 100kHz의 오프셋 주파수에서 -100.3dBc/Hz를 나타내었다.

### ABSTRACT

In this paper, the dual looped CMOS PLL with 3-250MHz input locking range at a single +3.3V is designed. This paper proposed a new PLL architecture with a current pumping algorithm to improve voltage-to-frequency linearity of VCO(Voltage Controlled Oscillator). The designed VCO operates at a wide frequency range of 75.8MHz-1GHz with a high linearity. Also, PFD(Phase Frequency Detector) circuit preventing voltage fluctuation of the charge pump with loop filter circuit under the locked condition is designed. The simulation results of the PLL using 0.6  $\mu\text{m}$  N-well single poly triple metal CMOS technology illustrate a locking time of 3.5  $\mu\text{s}$ , a power dissipation of 92mW at 1GHz operating frequency with 125MHz of input frequency. Measured results show that the phase noise of VCO with V-I converter is -100.3dBc/Hz at a 100kHz offset frequency.

### I. 서론

반도체 공정 기술의 발전과 회로 복잡도의 증가는 개별 회로 소자들로 구성되던 시스템용 모노리딕 IC(Monolithic Integrated Circuit) 형태로 집적화하게 하였다. 그 결과 과거 개별 IC로 구현되던

대규모의 시스템들이 하나의 고성능 IC로 구현되고 있고, 최근의 정보 및 통신 시스템은 고속의 성능이 요구될 뿐만 아니라 대용량의 데이터를 처리, 저장 및 전송할 수 있는 성능이 요구되고 있다. 이러한 시스템에서 PLL(Phase Locked Loop)은 중요한 역할을 담당하고 있다. 특히 CMOS 공정의 발

\* (주)S&S 메크놀로지 반도체기술연구소(metaking@unitel.co.kr),

\*\* 인하대 전자.전기.컴퓨터 공학부(kyoon@inha.ac.kr, jkang@inha.ac.kr)

논문번호: 99431-1026, 접수일자: 1999년 10월 26일,

\* 본 연구는 1998년도 학술진흥재단 과학기술기초 중점연구사업(과제번호: 1998-016-E00045) 지원에 의하여 수행되었습니다.

달로 최소 소자 크기가 줄어들고 있으며, PLL 회로의 성능이 혁신적으로 증가되어 RF의 기능을 MOS 기술로 구현할 수 있는 가능성이 점점 커짐에 따라 CMOS 공정을 사용하여 고성능 PLL 주파수 합성기(frequency synthesizer)를 구현하려는 많은 노력들이 행해지고 있다<sup>[1]</sup>. 그 응용에도 매우 광범위하여 주파수의 변복조, 주파수 합성기<sup>[2][3]</sup>, 클락 동기 회로, 마이크로프로세서와 각종 프로세서의 내부 클락 발생기(internal clock generator), 그외 휴대폰과 같은 여러 통신 시스템 등에 사용된다. 클락 동기용 PLL 회로의 설계에 있어서 요구되는 사양은 높은 동작 주파수, 빠른 획득시간, 적은 클락 지터, 전압 제어 발진기의 전압대 주파수의 선형성, 넓은 입력 락킹 범위 등이다. 기존의 PLL 회로들은 전압 제어 발진기 회로의 좁은 대역폭(bandwidth) 때문에 입력 락킹 범위가 제한되고, 전압 제어 발진기의 전압대 주파수의 선형성을 증가시키기 위하여 공정에 민감한 상호선형회로(trans linear circuit)를 사용하였다<sup>[4]</sup>.

본 논문에서는 이러한 문제점을 해결하기 위하여 전압 제어 발진기의 전압대 주파수의 선형성을 향상시키는 2중 루프 구조를 지닌 PLL을 제안하였다. 설계된 전압 제어 발진기는 넓은 동작 주파수에서 동작하며, 전압대 주파수의 선형성을 증가시키기 위해 V-I 컨버터를 설계하여 기존의 공정에 민감한 상호선형회로를 이용하는 방법을 사용하지 않고 선형성을 증가시키도록 하였다. 설계된 회로 구조는 전압 제어 발진기 회로의 선형성이 떨어지는 일부 구간에만 2중 루프를 형성하고, 대부분의 구간에서는 단일 루프를 형성한다. 또한 잡음을 줄이기 위하여 락킹되었을때 루프필터 회로를 포함한 전하펌프 회로의 전압 변동(fluctuation) 현상을 막는 위상 주파수 검출기 회로를 설계하였다.

본 논문의 구성은 II장에서는 본 논문에서 설계 제안된 2중 루프 고속 PLL 회로의 설계 방법론 및 구조와 각 구성 블록의 설계에 대하여 논하였고, III장에서는 설계된 PLL 회로를 HSPICE를 이용한 모의 실험 결과와 제작된 PLL 회로의 측정 결과 및 회로의 성능에 관하여 고찰하였다. IV장에서는 본 논문의 결론을 맺었다.

II. 2중 루프 구조의 고속 PLL 회로설계

제안된 2중 루프 PLL 회로는 그림 1과 같이 위상 주파수 검출기 회로, 두개의 전하펌프 회로, 두

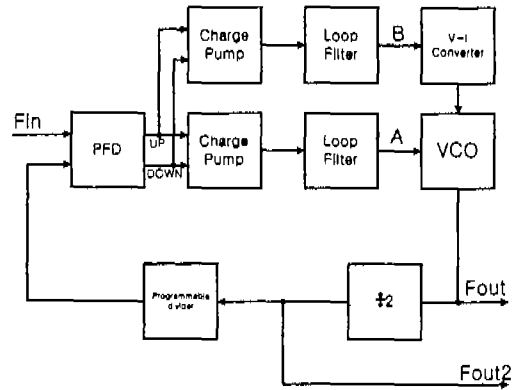


그림 1. 제안된 이중 루프 PLL 회로의 블록다이어그램

개의 루프필터 회로, 전압 제어 발진기 회로, V-I 컨버터 회로, 2분주 회로, 프로그래머블 64 분주 회로로 구성되어진다. 위상 주파수 검출기 회로에서 나오는 신호는 두개의 동일한 전하펌프 회로와 루프 필터로 들어가고, 이 신호는 각각 전압 제어 발진기 회로, V-I 컨버터 회로, 2분주 회로, 프로그래머블 64 분주 회로로 구성되어진다. 위상 주파수 검출기 회로에서 나오는 신호는 두개의 동일한 전하펌프 회로와 루프 필터로 들어가고, 이 신호는 각각 전압 제어 발진기 회로와 이 회로의 선형성을 제어하는 V-I 컨버터로 들어가게 된다. PLL에 공급되는 전원 전압에 의한 잡음의 영향을 최소화하기 위하여 VCO 회로와 주파수 분주기와 같은 고주파 블록은 완전 차동 회로로 설계하였으며, 풀 스윙(full swing)하도록 설계하였다.

그림 2에서 보는 바와 같이 VCO 회로는 그림 3의 차동 지연셀과 바이어스 회로도, 그림 4의 버퍼 회로로 구성된다. VCO의 발진 주파수는 다음과 같다.

$$f_{osc} = \frac{k}{N \cdot R_{ds} \cdot C_L} \tag{1}$$

식 (1)에서 k는 비례 상수이고,  $C_L$ 은 그림 3에서 트랜지스터 M1,M3의 기생 캐패시턴스이며,  $R_{ds}$ 는 식(2)와 같은 트랜지스터 M3의 선형적인 출력 저항값이고, N은 지연소자의 수이다.

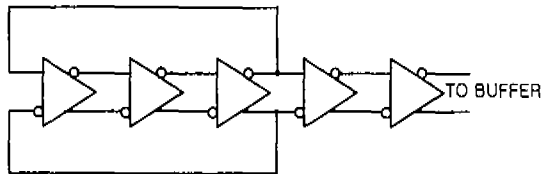


그림 2. 전압제어발진기의 구조도

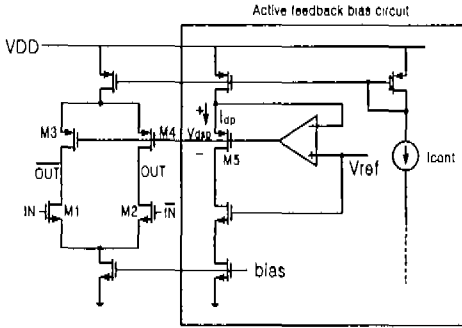


그림 3. 차동 지연셀과 바이어스 회로도

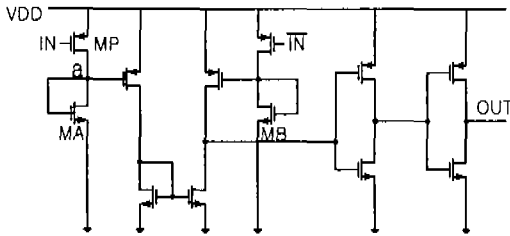


그림 4. 50% 듀티 사이클을 갖는 차동 단일 버퍼 회로

그림 2에서 N은 3이므로 식(4)에서 나타낸바와 같이 위상 천이는  $60^\circ$  이다. 식(1)에서 전류  $I_{cont}$ 에 따라서 주파수물 비례하여 증가시키기 위해서는 전류가 증가함에 따라서  $R_{ds3}$ 는 감소해야 된다. 그림 3에서 보논바와 같이 개선된 활성 귀환 바이어스(active feedback bias) 회로에 의하여  $V_{ds3}$ 를 일정하게 하여 전류  $I_{cont}$ 에 비례하여  $R_{ds3}$ 는 감소하고 식(1)에서 주파수는 증가하게 된다. 이때 활성 귀환 바이어스 회로의  $V_{ref}$ 는  $V_{ds3}$ 가 일정할 때 전류가 증가함에 따라서  $R_{ds3}$ 가 감소할 수 있도록 트랜지스터 식(2)와 같이 트랜지스터 M3가 비포화 영역에서 동작하도록 설계하였다.

$$I_{dp} = K_P \left(\frac{W}{L}\right)_P (V_{SC} - |V_{tp}| - \frac{V_{sdp}}{2}) V_{sdp} \quad (2)$$

식(2)를 정리하면 식(3)을 얻을 수 있다.

$$\frac{1}{R_{ds3}} = \frac{dI_{dp}}{dV_{sdp}} = \frac{I_{dp}}{V_{sdp}} - \frac{V_{sdp}}{2} K_P \left(\frac{W}{L}\right)_P \quad (3)$$

$$\omega_{osc} = (\text{arc tan } 60^\circ) \omega_{-3dB} = \frac{\sqrt{3}}{R_{ds3} C_L} \quad (4)$$

$$f_{osc} = \frac{\omega_{osc}}{2\pi} = \frac{\sqrt{3}}{2\pi R_{ds3} C_L} \quad (5)$$

그러므로 식(5)에 식(3)을 대입하면 발진 주파수 식(6)을 얻을 수 있다.

$$f_{osc} = \frac{\sqrt{3}}{2\pi C_L} \left[ \frac{I_{dp}}{V_{sdp}} - \frac{V_{sdp}}{2} K_P \left(\frac{W}{L}\right)_P \right] \quad (6)$$

또한 식(3)을 식(6)과 같은 발진 조건식에 대입하여 정리하면 식(7)과 같은 발진 조건을 얻을 수 있다.

$$\frac{g_m R_{ds3}}{\sqrt{1 + \left(\frac{\omega_{osc}}{\omega_{-3dB}}\right)^2}} \geq 1 \quad (7)$$

$$A_V = g_m R_{ds3} \geq 2 \quad (8)$$

식(8)에서 이득을 너무 크게 설계하면 동작 주파수가 낮아지기 때문에 소자비를 적절히 설계하여야 한다. 그림 3의 바이어스 회로에서 트랜지스터 M5가 전류  $I_{cont}$ 의 변화에 대한 선형적 저항으로 동작하는 구간이 넓기 때문에 넓은 동작 주파수 영역을 가능하게 한다. 그러나 전류가 감소함에 따라서 주파수는 감소하지만 OUT 단자의 DC 바이어스 값이 감소하게 되어 인버터 회로를 거치면 50% 듀티 사이클(duty cycle)을 벗어나게 된다. 따라서 듀티사이클(duty cycle)이 50%에서 벗어나는 것을 방지하기 위하여, 그림 4와 같은 버퍼를 설계하였다. 그림 4에서 입력 IN의 DC 바이어스 값이 감소하게 되어도 단자 a에서의 전압이 입력 전압의 감소 양만큼 증가한다면 단자 a에서의 전압은 항상 일정하다. 입력 IN의 DC 바이어스 값이 증가하게 되어 단자 a에서의 전압이 입력 전압의 증가 양만큼 감소한다면 단자 a에서의 전압은 항상 일정하다. 따라서 트랜지스터 MP를 포화영역에서 동작하도록 설계하고, 위 조건을 만족하려면  $|\Delta V_{gs MP}| = |\Delta V_{gs MA}|$ 이어야 하므로 식(10)과 같이 된다.

$$\sqrt{\frac{2\Delta I_{MP}}{K_{MP} \left(\frac{W}{L}\right)_{MP}}} + |V_{t MP}| = \sqrt{\frac{2\Delta I_{MP}}{K_{MA} \left(\frac{W}{L}\right)_{MA}}} + |V_{t MA}| \quad (10)$$

식(10)을  $|V_{t MP}| = |V_{t MA}|$ 이라 가정하고 정리하면 식(11)을 만족하여야 한다.

$$\left(\frac{W}{L}\right)_{MA} = \frac{K_{MP}}{K_{MA}} \left(\frac{W}{L}\right)_{MP} \quad (11)$$

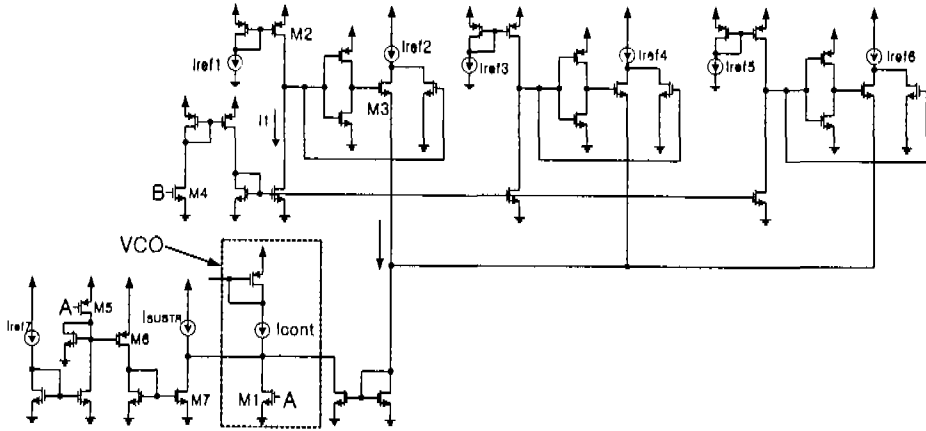


그림 5. V-I 변환기 회로도

그러므로 식(11)을 만족하도록 MA 트랜지스터와 MP 트랜지스터의 W/L비를 조정하게 되면, 입력 전압의 DC 바이어스 전압이 기준 전압보다 내려갔을 경우 트랜지스터 MA 드레인 단자의 전압은 다시 상승하여 항상 일정하게 되어 정확히 50% 듀티 사이클 발생을 가능하게 한다. 그림 5에서 보여진 V-I 컨버터 회로는 VCO 회로의 전압대 주파수의 선형성을 제어할 수 있다. 트랜지스터 M1의 W/L 비는 작게 설계 설계하여 VCO 회로가 넓은 전압 영역에서 선형적으로 동작하도록 설계하였다. 이는 전체 PLL을 안정하게 동작하도록 한다. VCO 회로의 전압대 주파수의 선형성을 증가시키면서 1GHz 이상에서 동작하기 위하여 적당한 전류가 전압대 주파수의 비선형적인 구간에서 공급되어야 한다. V-I 컨버터내에 사용된 전류펌핑 알고리즘은 다음과 같다. 입력 전압 B에 해당하는 전류  $I_1$ 이  $I_{ref1}$ 의 기준 전류원의 값보다 작으면 트랜지스터 M2는 비포화영역에서 동작하고 전류  $I_1$ 이  $I_{ref1}$ 보다 커지는 M2 드레인 단자의 전압크기가 낮아져서 M3가 ON이 되어 적당한 전류  $I_{ref2}$ 를 공급하게 된다. 그리하여  $I_{ref2}$ 는  $I_{cont}$ 에 적당한 전류를 공급한다. 즉,  $I_{ref1}, I_{ref3}, I_{ref5}$ 와  $I_{ref2}, I_{ref4}, I_{ref6}$ 는 각각 펌핑 전압과 펌핑 전류를 결정하게 된다. 실제 설계에서는 VCO의 선형성이 떨어지는 구간인 2.35V부터 전류를 펌핑하도록 설계하였다. 따라서 B단자의 전압 2.35V, 2.45V, 2.6V에 해당하는 전류값  $200\mu A$ ,  $210\mu A$ ,  $220\mu A$ 를  $I_{ref1}$ ,  $I_{ref3}$ ,  $I_{ref5}$ 의 전류원으로 사용하였으며,  $20\mu A$ ,  $50\mu A$ ,  $100\mu A$ 를  $I_{ref2}$ ,  $I_{ref4}$ ,  $I_{ref6}$ 의 전류원으로 사용하였다. 또한 동작 전압과 주파수범위를 향상시키기 위하여 입력 신호가 NMOS와

PMOS로 동시에 인가되도록 설계 하였으며,  $I_{SUBTR}$ 은 VCO회로가 더 넓은 주파수 영역에서 동작할 수 있도록 전류를  $I_{cont}$ 에서 감소한다. 입력 전압에 해당하는 전류  $I_1$ 의 값에 따라 전류  $I_{cont}$ 는 식(12)에서 식(15)와 같다.

$$I_1 < I_{ref1} \quad I_{cont} = I_{dM1} + I_{dM7} - I_{SUBTR} \quad (12)$$

$$I_{ref1} \leq I_1 < I_{ref3} \quad I_{cont} = I_{dM1} + I_{dM7} - I_{SUBTR} + I_{ref2} \quad (13)$$

$$I_{ref3} \leq I_1 < I_{ref5} \quad I_{cont} = I_{dM1} + I_{dM7} - I_{SUBTR} + I_{ref2} + I_{ref4} \quad (14)$$

$$I_{ref5} \leq I_1 \quad I_{cont} = I_{dM1} + I_{dM7} - I_{SUBTR} + I_{ref2} + I_{ref4} + I_{ref6} \quad (15)$$

그림 6은 식(12)에서 식(15)에 근거한 V-I 컨버터 회로를 포함한 VCO 회로의 출력특성곡선이다. X축은 V-I 컨버터 회로를 포함한 VCO 회로의 입력 전압이고, Y축은 입력 전압에 따른  $I_{cont}$ 의 전류의 양이다. 일반적인 V-I 컨버터를 사용한 VCO 회로는 ①번과 같은 특성곡선을 지니며, 제안된 V-I 컨버터 회로를 사용한 VCO 회로는 ⑤번과 같이 ①번 특성 곡선보다 더 넓은 전압구간에서 더 많은 전류를 선형적으로 공급하고 있다. 이와 같은 방법으로 V-I 컨버터 회로를 이용한 VCO 회로는 더 넓은 전압구간에서 더 넓은 주파수 범위를 갖고, 전압대 전류의 선형성을 증가시킬 수 있다.

위상 주파수 검출기 회로는 UP 신호 발생 부분과 DOWN 신호 발생 부분이 대칭적으로 설계되어야 한다. 그림 7과 같이 설계된 위상 주파수 검출기 회로는 Double-edge triggered D-FF<sup>[5]</sup>을 사용하여 전력소모를 최소화하고, 고속에서 동작하도록 구성하였다. Double-edge triggered D-FF을 사용한 위상 주파수 검출기회로는 입력 신호와 프로그래머

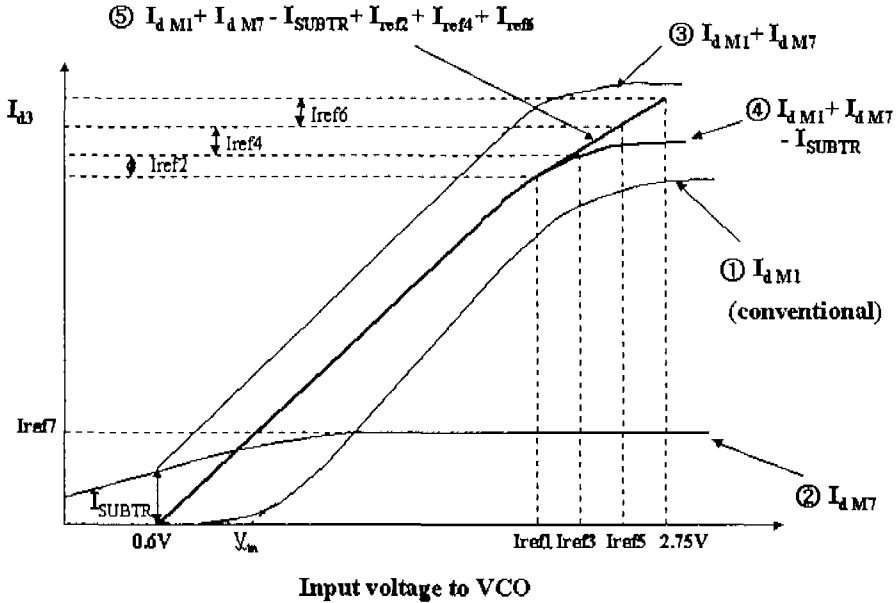


그림 6. V-I 전버터회로의 출력 특성 곡선

분 주기의 출력 신호가 동기 되었을 경우에 동일한 UP 신호와 DOWN 신호를 출력하여 록킹 되었을 때 전하펌프 회로에 계속 영향을 주어 전압 제어 발진기 회로에 출력 지터를 발생시키는 원인이 된다. IN1은 외부 입력 신호이고, IN2는 프로그래머블 64 분주기의 출력 신호이다. IN1이 하향 천이할 때 UP 신호가 발생하고, IN2가 하향 천이할 때 DOWN 신호가 발생한다. 이때 aa와 bb단자의 전압 레벨이 높아져서 UP/DOWN 신호는 리셋(reset)된다. 이때 리셋시간을 빠르게 하기 위해서 트랜지스터 MR1과 MR2의 소자비는 크게 설계하였고, 슬루율이 큰 PMOS 트랜지스터를 사용하였다. 두 개의 AND 게이트와 한개의 EX-OR 게이트는 록킹된 상태에서 전하펌프 회로가 동작하는 것을 막는다. AND 게이트 회로와 EX-OR 게이트 회로의 동작 속도가 느리면 전체 회로에 영향을 미쳐 사구간(dead zone)이 커지게 된다. 그러므로 CPL 로직 AND 게이트 회로<sup>[6]</sup>를 사용하였고, 패스 트랜지스터를 이용하여 EX-OR 회로를 사용하였다. 만약에 IN1 신호가 IN2 신호보다 먼저 도착하면 UP 신호만 발생하게 되고, IN2 신호가 IN1 신호보다 먼저 도착하면 DOWN 신호만 발생하게 된다. IN1 신호와 IN2 신호가 동시에 도착하게 되면 UP, DOWN 신호 모두 발생하지 않는다. 그러므로 설계된 PFD 회로는 록킹 상태에서 전압 제어 발진기 회로의 출력 지터

를 막을 수 있다. 그림 8에서는 IN1 신호가 IN2 신호보다 먼저 도착했을 경우 UP 신호만 발생하는 것을 나타낸다. 설계된 PFD 회로는 30ps의 사구간(dead zone)을 갖는다.

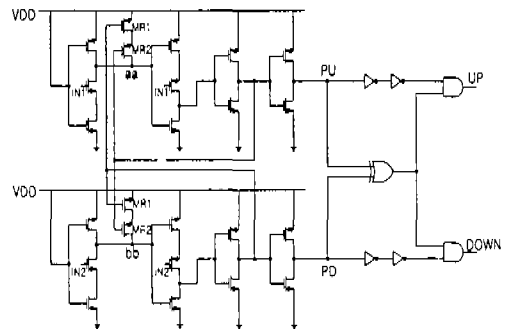


그림 7. 위상 주파수 검출기 회로

입력 록킹 범위를 넓게 하기 위하여 VCO 회로의 전압대 주파수의 기울기( $K_0$ )를 크게 설계하였다. 따라서 전체 회로를 안정적으로 동작시키도록 하기 위하여 N값은 2분주 한 후 다시 프로그래머블 64분주 하여 최고 128까지 분주할 수 있도록 설계하였으며, 전원 전압의 영향을 줄이기 위하여 차동으로 설계하였다. 2분주 셀은 Master-Slave 기법을 사용하여 구현하였고, 전체 프로그래머블 주파수 분주 회로는 2분주 회로를 거울삼아 입력 비트수를 6비트로 프로

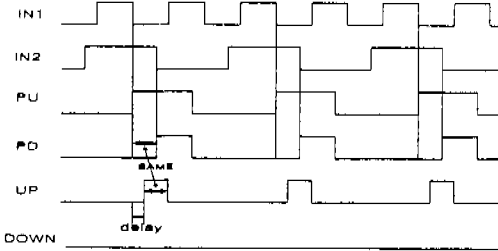


그림 8.  $f_{IN1} > f_{IN2}$  일 때 위상 주파수 잠금기 회로의 출력 특성

그래머블 하게 설계하였다.

본 논문에서 루프 필터 회로는 그림 9에서와 같이 2차 루프 필터를 사용하였다. 여기서 C3는 리플을 줄이는 역할을 한다. 주파수의 리플을 줄이기 위해서 C3의 용량은 크게 설계되어야 한다. 이때 C3의 용량이 너무 크면 위상 여유가 작아져서 전체 회로의 안정성이 떨어지게 되므로 최적화 설계를 하여야 한다. 본 논문에서는  $R=1K\Omega$ ,  $C2=100PF$ ,  $C3=10PF$ 을 사용하여 전체 회로의 위상 여유가 최대  $45^\circ$  이상이 되게 설계하였다.

전하 펌프 회로는 전류원이 항상 ON이 되게 설계 하였으며, 전하 분배(Charge sharing) 현상을 줄일 수 있는 회로<sup>[8]</sup>를 사용하여 톱킹 되었을 때 위상 주파수 잠금기 UP, DOWN 신호를 발생시키지 않아도 전압 변동이 없도록 설계하였다. UP, DOWN 전류원의 크기는 동일하게  $200\mu A$ 로 설계하여, 프로그래머블 N 분주기에 의하여  $K_f/N$  값이 변하여도 개방루프 전달함수의 교차 주파수(crossover frequency)의 위상 여유가  $30^\circ$  이상인 구간에서만 변하도록 설계하였다.

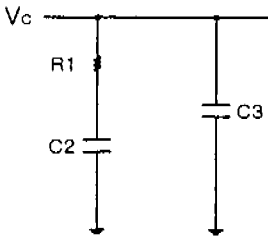


그림 9. 루프 필터 회로의 회로도

### III. 실험결과 및 고찰

제안된 V-I 컨버터를 이용한 VCO 회로의 전압대 주파수의 모의실험한 특성곡선은 그림 10과 같다. 여기서 X축은 제안된 V-I 컨버터를 포함한 VCO 회로의 입력 전압이며, Y축은 이 때의 발진주파수이

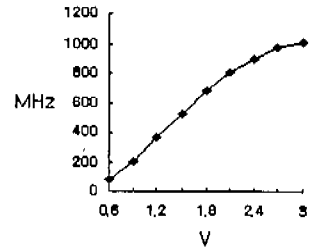
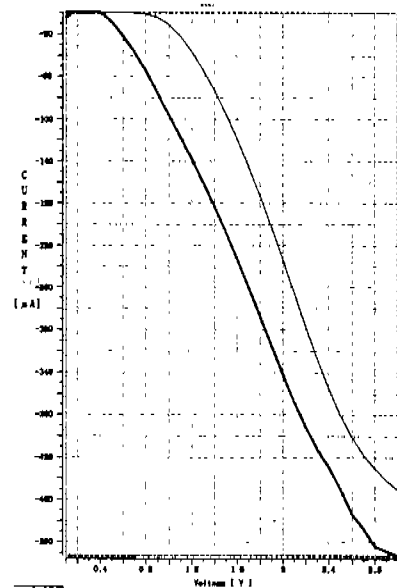


그림 10. 전압 제어 발진회로의 전압대 주파수 특성 곡선

다. 입력 전압이 0.6V일 경우 동작 주파수는 75.8MHz이고, 입력 전압이 2.75V일 경우 동작 주파수는 1GHz이다. 그림 11은 제안된 V-I 컨버터를 사용한 VCO 회로와 사용하지 않은 VCO 회로의 전압대 전류 특성 곡선을 비교한 모의 실험 결과이다. 가는 선을 이용하여 표시된 곡선은 제안된 V-I 컨버터를 사용하지 않았을 경우 설계된 VCO 회로가 최대로 넓은 선형 구간에서 동작하는 파형 곡선이다. 제안된 V-I 컨버터를 사용하여 설계된 VCO 회로의 전압대 전류 특성곡선은 좁은 선으로 표시되었는데, 제안된 V-I 컨버터를 사용하지 않은 경우보다 설계된 VCO 회로의 전압대 전류



— conventional V-I converter  
 - - - proposed V-I converter

그림 11. V-I 컨버터를 포함한 VCO 회로의 전압대 전류 특성 곡선

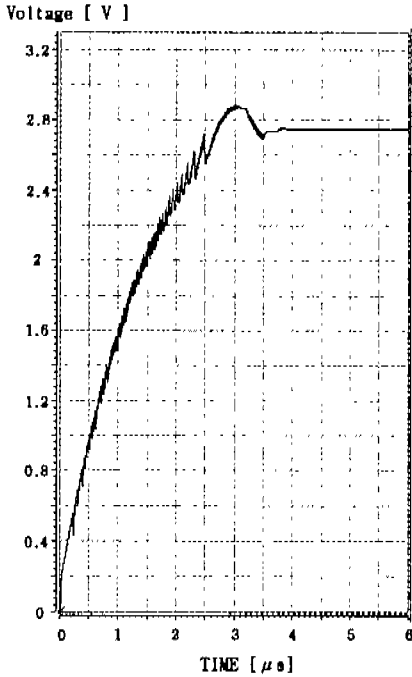


그림 12. 125MHz의 입력 주파수를 갖고 1GHz로 동작할 때 락인 과정 특성

특성곡선의 선형구간이 더 넓게 동작하고 있음을 알 수 있다. 전체 회로의 HSPICE 모의 실험 결과물 살펴보면 그림 12에서 입력 주파수가 125MHz이고 동작 주파수가 1GHz일 때 2.75V에서 3.5 $\mu$ s의 락킹 시간을 보여준다. 입력 주파수가 100MHz이고 동작 주파수가 800MHz일 때 2.07V에서 2.1 $\mu$ s의 락킹 시간을 나타내었고, 입력 주파수가 50MHz이고 동작 주파수가 400MHz일 때는 1.24V에서 1.3 $\mu$ s의 락킹 시간을 나타내었다. 설계된 PLL 회로를 LG 반도체사의 0.6 $\mu$ m N-well single-poly/triple metal CMOS 공정을 사용하여 제작하였다. 그림 13은 제작된 2중 루프 고속 PLL 회로의 칩사진을 나타낸다. 제작된 PLL 회로는 1.5mm $\times$ 0.7mm의 유효 칩면적을 차지하였다. 위상 검출기 회로의 측정은 그림 7에서 나타낸 위상 주파수 검출기 회로도의 IN1과 IN2에 클럭과 지연(delay)된 클럭을 입력 신호로 사용하여 측정하였다. IN1 신호가 IN2 신호보다 먼저 도착하였을 경우 UP 신호만 IN1 신호와 IN2 신호의 하향전이 간격만큼 발생하고, DOWN 신호는 발생하지 않았고, 이때 UP 신호와 DOWN 신호 출력에 약간의 잡음이 나타나는데, 이는 IN1, IN2 입력신호 자체가 많은 잡음을 가지고 있으며, 전원전압에 의한 잡음과 회로의

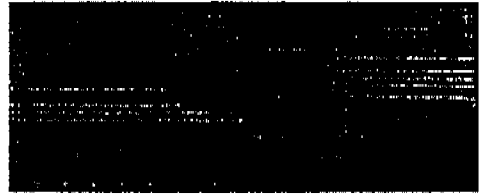


그림 13. 전류 펌핑 알고리즘을 이용한 클럭 동기용 CMOS PLL 회로의 칩사진

리셋 경로에서 발생하는 잡음으로 분석된다. 이와 반대로 IN2 신호가 IN1 신호보다 먼저 도착하면 UP 신호는 발생하지 않고, DOWN 신호만 발생하였다. 위상 검출기 회로에서 D-FF를 사용하였을 경우 IN1, IN2 신호가 동기 되었을 경우 동일한 UP, DOWN 신호가 발생하여 전하 펌프단의 UP, DOWN 스위치를 계속 여닫게 되어 루프 필터단의 DC 전압 변동(fluctuation)이 발생하게 된다. 이를 증명하기 위하여 그림 15와 같이 루프 필터를 포함한 전하 펌프 회로에 UP, DOWN 신호가 발생할 경우와 UP, DOWN 신호 모두 발생하지 않았을 경우의 출력 특성을 비교하였다. 오실로스코프의 전압 스케일을 동일하게 200mV로 하였을 때 1.65V DC 전압 출력 값을 비교하였다. 그림 14에서 윗 단의 출력 파형은 기존의 PFD 회로를 사용하였을 경우 락킹 되었을 때 동일한 UP, DOWN 신호를 발생하여 루프 필터를 포함한 전하펌프 회로의 출력 전압 변동 현상이 발생하는 파형이다. 아랫단의 그림은 설계된 PFD 회로를 사용하였을 경우 락킹 되었때

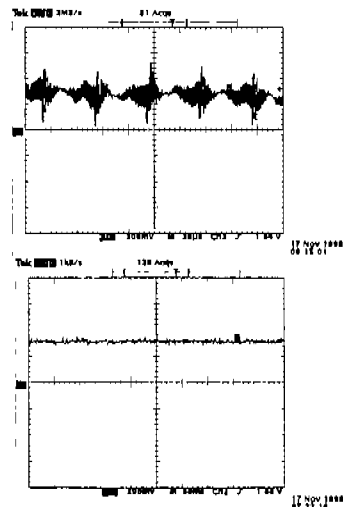


그림 14. PLL 회로가 락킹 되었을 때 입력 전압 변동 출력 특성 비교

루프 필터 회로를 포함한 전하펌프 회로에 영향을 주지 않아 출력 전압의 변동 현상이 기존의 PFD 회로를 사용하였을 경우보다 적게 출력 되는 파형이다. HP 3588A 스펙트럼 분석기를 이용하여 위상 잡음이 V-I 컨버터 회로를 포함한 VCO 회로에 미치는 영향을 측정하였다. 그림 15에서 보는 바와 같이 134.6MHz로 VCO 회로가 발진할 때 스패(span)이 5 5MHz 이고 해상도 대역폭이 17kHz 일 때 위상 잡음을 측정하였다. 이때 100kHz의 음셋에서  $-58-10\log(17000)=-100.3\text{dBc/Hz}$ 를 나타내었다. 발진 주파수가 모의 실험 결과보다 많이 낮아진 이유는 패드가 갖는 임피던스와 오실로스코프의 프로브가 갖는 임피던스(10M $\Omega$ ) 사이에 임피던스가 매칭되지 않았기 때문인 것으로 분석된다. 또한 HP 4145B를 이용한 칩 전력 소모를 측정한 결과 92mW로 나타났다.

표 1은 설계된 전류펌핑 알고리즘을 이용한 이중 루프구조의 고속 CMOS PLL 회로의 성능을 요약한 것이다. 표 2에서는 기존의 전하펌프 PLL 회로와 본 논문에서 설계된 전류 펌핑 알고리즘을 이용한 PLL 회로의 모의 실험한 성능을 비교하였다. 설계된 회로의 성능은 표 2에서와 같이 기존 PLL 회로의 성능과 비교해 볼 때 입력 록킹 범위와 록킹 시간이 개선되었음을 알 수 있다. 그 이유는 전류 펌핑 알고리즘을 이용한 V-I 컨버터를 사용한 VCO 회로의 주파수 조정 범위가 넓고 이득이 크기 때문이며, 또한 동작 전압 범위가 넓기 때문에 전체 회로를 단일 3.3V 전원에서 안정적으로 동작시킬 수 있다.

표 1. 전류펌핑 알고리즘을 이용한 CMOS PLL 회로의 성능 요약

|                 |  |
|-----------------|--|
| 전원 전압           | Single +3.3V   |
| 입력 록킹 범위        | 3MHz - 250MHz  |
| 록킹 시간           | 3.5 $\mu$ s @ 1GHz operating frequency with 125MHz input |
| VCO 조정 범위       | 75.8MHz - 1GHz ( $\pm 86\%$ )                            |
| 록 인(Lock In) 범위 | 300MHz - 1GHz  |
| VCO 이득          | 430MHz/V   |
| VCO 회로의 위상 잡음   | -100.3dBc/Hz@100kHz                                      |
| 전력소모            | 92mW   |
| 유효 칩면적          | 1.5mm $\times$ 0.7mm                                     |
| 공정              | 0.6 $\mu$ m N-well CMOS single poly triple metal         |

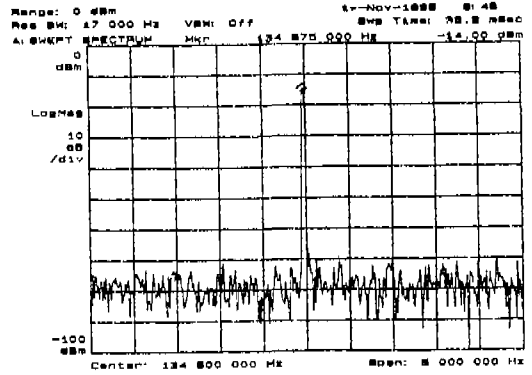


그림 15. 134.6MHz로 발진할 때 스펙트럼 분석기의 측정된 출력 파형

#### IV. 결론

본 논문에서는 전류펌핑 알고리즘을 이용한 클럭 동기용 3.3V 단일 공급 전압에서 동작하며 넓은 입력 록킹 범위를 갖는 이중 루프 구조의 PLL(Phase Locked Loop) 회로를 0.6  $\mu$ m N-well single-poly/triple metal CMOS 공정을 사용하여 설계하였다. 설계된 회로는 위상 주파수 검출기 회로와 두개의 전하펌프 회로, 두개의 루프필터 회로, VCO 회로, V-I 컨버터 회로, 2분주 회로, 프로그래머블 64 분주기 회로로 구성된다. 설계된 회로에서는 전압 제어 발진기의 전압대 주파수의 선형성을 향상시키는 전류펌핑 알고리즘을 이용한 2중 루프 PLL의 구조를 제안하였다. 설계된 전압 제어 발진 회로는 넓은 동작 주파수에서 동작하며, 전압대 주파수의 선형성을 증가시키는 V-I 컨버터를 설계하여 기존의 공정에 민감한 상호선형회로를 이용하는 방법을 사용하지 않고 선형성을 증가시켰다. 또한 록킹 되었을 때 전하펌프 회로에 영향을 주지 않아 VCO의 출력 지터를 줄일 수 있는 위상 주파수 검출기 회로를 설계하였다.

설계된 회로는 0.6  $\mu$ m CMOS 표준 공정을 사용하여 모의 실험을 수행하였다. 모의실험한 결과 입력 주파수가 125MHz이고 동작 주파수가 1GHz일때 3.5  $\mu$ s의 록킹 시간을 나타내었고, 이때 지터는 1GHz에서 200ps peak to peak를 나타내었다. 제안된 V-I 컨버터 회로를 사용한 설계된 VCO 회로의 동작 주파수는 0.6V일 때



표 2. 최근 발표된 전하펌프 PLL 회로들과 성능 비교

| 게제지<br>지자 연도        | 루프 시간  | 공정       | 전원 전압  | 입력 튜닝<br>범위 | 전력 소모                | 칩면적<br>mm <sup>2</sup> | 지터        | VCO 회로의<br>동작 주파수         | VCO 회로의<br>동작 전압 범위 |
|---------------------|--------|----------|--------|-------------|----------------------|------------------------|-----------|---------------------------|---------------------|
| JSSC<br>DEC 1999    | -      | 2 μm     | 5V     | 15-200MHz   | 500mW                | 1.5×3.7                | -         | 112-209MHz                | 2V                  |
| JSSC<br>NOV. 1992   | 75 μs  | 0.8 μm   | 5V     | 5-100MHz    | 16mW                 | 0.31                   | +(-)0.3ns | 10-220MHz                 | 2.5V                |
| CICC<br>1993        | -      | 0.5 μm   | 3.3V   | 27-200MHz   | 120mW<br>(at 297MHz) | 0.62×0.53              | +(-)180ps | 50-350MHz                 | -                   |
| JSSC<br>NOV. 1995   | 15 μs  | 0.5 μm   | 3.3V   | 15-200MHz   | 33mW                 | 0.82                   | +(-)50ps  | 30-350MHz                 | -1 - 1V             |
| JSSC<br>NOV. 1996   | 60 μs  | 0.3.5 μm | 1.5V   | -           | 1.2mW                | 0.21                   | +(-)150ps | 20-320MHz                 | -                   |
| ISSCC<br>1997       | -      | 0.3.5 μm | 2.8V   | -           | 37.52mW              | -                      | +(-)154ps | -                         | -                   |
| JSSC<br>APRIL. 1997 | -      | 0.8 μm   | 2.5-7V | 0.3-165MHz  | -                    | -                      | +(-)80ps  | 0.174-378.8MHz<br>(at 5V) | 0.7-4.4V            |
| ISCAS<br>Junc. 1997 | -      | 0.8 μm   | 3.3V   | -           | 18mW<br>(at 300MHz)  | 0.3                    | +(-)80ps  | 50-880MHz                 | 1.3-3V              |
| JSSC May<br>1997    | -      | 0.8 μm   | 5V     | -           | 125mW<br>(at 1GHz)   | 0.34                   | -         | 600-1000MHz               | -1 - 1V             |
| 본 논문회<br>모의 실험      | 3.5 μs | 0.6 μm   | 3.3V   | 3-250MHz    | 92mW<br>(at 1GHz)    | 1.75×1.5               | +(-)100ps | 75.8-1000MHz              | 0.6 - 2.3           |

75.8MHz이고, 2.75V일때 1GHz로서 전압대 주파수의 선형성 가지면서 대역폭이 넓기 때문에 2분주한 후 프로그래머블 64분주를 하였을 경우 3MHz-250MHz의 넓은 입력 튜닝 범위를 얻을 수 있었다. 또한 VCO 회로의 높은 이득과 넓은 입력 전압범위는 짧은 획득시간과 전체 회로들 안정적으로 동작시킨다. 측정된 칩전력 소모는 92mW로 나타났다. 설계된 PLL 전체 회로는 VCO의 선형성이 떨어지는 구간에서만 2중 루프를 형성하고 대부분의 구간에서는 단일 루프를 형성하므로, 대부분의 시간에서 지터 특성은 단일 루프인 경우와 같고, 이중 루프를 형성하였을때 지터 특성도 모의 실험 결과 200ps peak to peak로서 좋은 잡음 특성을 나타내었고, 측정 결과 위상 잡음 특성도 100kHz 오프셋 주파수에서 -100.3dBc/Hz를 나타내었다.

참고 문헌

[1] Kurt M. Ware, H-s Lee, Charles G. Sodini, "A 200-MHz CMOS Phase-Locked Loop with Dual Phase Detectors", IEEE J. Solid State Circuit, vol. 24, no.6, Dec. 1989

[2] Howard C. Yang, Lance K. Lee, and Ramon S. Co, A Low Jitter 0.3-165MHz CMOS PLL Frequency Synthesizer for 3/5V operation, IEEE J. Solid State Circuit, vol. 32, no.4, Apr. 1997

[3] Pang-Cheng Yu and Jiin-Chuan Wu, A Fully Integrated 3.3 1-600MHz CMOS Frequency

Synthesizer, IEEE International Symposium on Circuit and Systems, pp. 1828-1831, 1997

[4] Shing-Tag yan, Howard C. Luon, A 3V 1.3 to 1.8GHz Voltage-Controlled Oscillator with 0.3ps-Jitter, IEEE International Symposium on Circuit and Systems, pp. 29-32, 1997

[5] A. Gago, R. Escano, and J. A. Hidalgo, "Reduced Implementation of D-Type DET Flip-Flops," IEEE J.Solid State Circuit, vol. 8, no.3, March 1993

[6] Retro Zimmermann and Wolfgang Fitcher, "Low-Power Logic Styles; CMOS Versus Pass-Transistor Logic," IEEE J.Solid State Circuit vol. 32, no.7, July 1997

[7] Jan Craninckx and Michiel S. J. Steyaert, "A 1.75GHz/3V Dual-Modulus Divide-by-128/129 Prescaler in 0.7μ m CMOS," IEEE J. Solid-State Circuits, vol. 31, no.7, Jul. 1996

[8] Ian A. Young, Jeffrey K. Greason, and Keng L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," IEEE J. Solid-State Circuits, vol. 27, no.11, Nov. 1992.

성 혁 준(Hyuk-Jun Sung) 정회원



1997년 2월 : 인하대학교 전자  
공학과 졸업  
1999년 2월 : 인하대학교 전자  
공학과 석사  
1999년 3월~현재 : (주)S&S  
테크놀로지 반도체  
기술연구소

<주관심 분야> 통신용 회로 설계

윤 광 선(Kwang Sub Yoon) 정회원



1981년 2월 : 인하대학교 전자공  
학과(학사)  
1983년 6월 : 미국 Georgia  
Institute of Technology  
전기공학과(석사)  
1990년 6월 : 미국 Georgia  
Institute of Technology  
전기공학과(박사)

1992년 3월~현재 : 인하대학교 전자.전기.컴퓨터 공  
학부 부교수

1989년 6월~1992년 2월 : 미국 Silicon Systems  
Inc. 선임설계연구원

<주관심 분야> 아날로그/혼합신호처리 회로설계, 설  
계자동화, 소자 모델링

강 진 구(Jin Ku Kang) 정회원



1983년 : 2월 서울대학교 원자핵  
공학사  
1990년 : 미국 New Jersey  
Institute of Technology  
전기공학과(석사)  
1996년 : 미국 North Carolina  
State University 전기  
및 컴퓨터공학과(박사)

1997년 3월~현재 : 인하대학교 전자.전기.컴퓨터 공  
학부 조교수

1984년~1988년 : 삼성반도체 근무

1996년~1997년 2월 : 미국 INTEL 선임설계연구원

<주관심 분야> 혼합모드 회로설계, 통신회로설계,  
VLSI 설계