

SiGe HBT를 이용한 10Gbps 시분할 멀티플렉서 설계

정희원 이상홍*, 강진영*, 송민규*

10Gbps Time-Division Multiplexer using SiGe HBT

Sang-Heung Lee*, Jin-Yeong Kang*, Min-Kyu Song* *Regular Members*

요약

시분할 멀티플렉서는 여러 병렬 스트림(stream)들을 높은 비트율을 갖는 하나의 직렬 스트림으로 결합하는 장치로, 광통신 시스템의 송신부에 사용된다. 본 논문에서는 에미터 크기가 $2 \times 8 \mu\text{m}^2$ 인 SiGe HBT를 사용하여 4:1 (4채널) 시분할 멀티플렉서를 설계하였다. 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 400mVp-p와 800mVp-p, 20-80% 간의 상승시간 및 하강시간은 각각 34ps와 34ps이며, 전력소모는 1.50W이다.

ABSTRACT

In the transmitter of optical communication systems, a time-division multiplexer combines several parallel data streams into a single data stream with a high bit rate. In this paper, we design a 4:1 (4-channels) time-division multiplexer using SiGe HBT with emitter size of $2 \times 8 \mu\text{m}^2$. The operation speed is 10Gbps, the rise and fall times of 20-80% are 34ps and 34ps, respectively and the dissipation of power is 1.50W.

1. 서론

광통신 시스템은 초고속 정보 통신망의 물리계층에서 기본이 되는 것으로서, 광통신 시스템에 대한 연구는 1960년대 말부터 동축선을 이용하는 통신 시스템의 정보 전송 능력의 한계를 극복하기 위해 시작되었다. 광통신 시스템은 기존의 통신시스템에 비하여 전송 용량, 신뢰성 및 보안성이 높으며, 두중계 거리가 길기 때문에 단위 데이터 전송에 소요되는 비용이 적어 경제성이 우수하다^[1].

일반적으로 광통신 시스템은 다음의 세 부분으로 구성되어 있다. 먼저, 전기적 신호를 광신호로 바꾸어 주는 송신부와 전송되어 온 광신호를 전기적 신호로 변환하여 주는 수신부 및 송수신부 간의 정보를 전송해 주는 경로인 정보채널로 구성된다. 광통신

시스템의 동작속도는 송신부 및 수신부에서 처리할 수 있는 비트율과 밀접한 관계가 있기 때문에 광통신 시스템의 속도를 개선하기 위해서는 송신부 및 수신부 회로들의 고속화와 더불어 칩화가 필요하다. 광통신 시스템의 고속화에 필요한 고주파 아날로그 및 고 비트율 디지털 전자회로 블록들은 송신부 측의 시분할 멀티플렉서, 수신부 측의 equalizing 증폭회로, 클럭 복구(재생)회로, 판별회로 및 디멀티플렉서 등을 들 수 있다^[2-6]. 이들 회로 중 본 논문에서는 광통신 시스템의 송신부의 시분할 멀티플렉서를 설계하였다.

시분할 멀티플렉서는 여러 병렬 스트림(stream)들을 높은 비트율을 갖는 하나의 직렬 스트림으로 결합하는 장치이다. 10Gbps 4:1 시분할 멀티플렉서의 경우, 10GHz의 클럭 펄스 마다 2.5GHz의 펄스폭을 갖는 병렬 데이터 스트림을 샘플링하여 10GHz

* 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 (shl@etri.re.kr, jykang@etri.re.kr, mksong@etri.re.kr)
논문번호 : 99419-1019, 접수일자 : 1999년 10월 19일

펄스폭의 직렬 데이터로 변환하는 장치이다.

한편, 실리콘(Si) 바이폴라 집적회로는 수백 Mbps에서부터 약 2Gbps까지의 전송속도를 갖는 시스템에 주로 사용되어 왔으며, HBT(Heterojunction Bipolar Transistor)는 다른 고속 소자와 비교하여 고속 특성이 우수하며, 위상 잡음(phase noise)이 작고, 전류 구동 능력이 크기 때문에 LD 구동기를 비롯한 다양한 고속 집적회로에 응용이 되고 있다. HBT의 종류로는 Si/SiGe, AlGaAs/GaAs, GaInP/GaAs, InAlAs/InGaAs, InP/InGaAs 등이 있다. 이들 HBT 중 SiGe HBT는 BJT의 베이스 영역에 게르마늄(Ge)을 첨가한 소자이다. 베이스 영역에의 게르마늄의 첨가는 베이스 transit time을 줄여 결국 FT와 fmax를 증가시켜 고속동작을 가능하게 한다. 뿐만 아니라 III-V족 HBT에 비하여 SiGe HBT는 첨단인 실리콘 관련 공정을 대부분 활용할 수 있으므로 적은 비용으로 신뢰성 있는 소자를 만들 수 있다.

본 논문에서는 광통신 시스템의 송신부 회로에 사용되는 4:1 (4채널) 시분할 멀티플렉서를 SiGe HBT 소자를 이용하여 설계하였다. 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 400mVp-p와 800mVp-p, 20%-80% 간의 천이 시간인 상승시간과 하강시간은 각각 34ps와 34ps이며, 전력소모는 1.50W이다.

II. 10Gbps 시분할 멀티플렉서 설계

본 논문에서는 한국전자통신연구원에서 개발한 에미터 크기가 2x8um²인 SiGe HBT를 사용하여 시분할 멀티플렉서를 설계하였으며, 주요 SPICE 파라미터는 표1과 같다.

1. 시분할 멀티플렉서 구조

그림1(a)는 2:1 시분할 멀티플렉서 구조, (b)는 동작 타이밍도, (c)는 4:1 시분할 멀티플렉서 구조이다^[5,7,8]. 그림1(a)의 2:1 시분할 멀티플렉서 구조에 사용되는 회로는 Master-Slave D-플립플롭(MS_DFF), Tristage D-플립플롭(TS_DFF), 데이터 선택회로(SEL) 및 2:1 주파수 분주기(MS_TFF)이며, 그림1(c)의 4:1 시분할 멀티플렉서 구조에 사용되는 회로는 2:1 시분할 멀티플렉서 구조에서 사용되는 회로에 active high D-래치(DL_H)와 4:1 주파수 분주기 회로가 추가적으로 사용된다. 그림1(a)의 각각의 회로에 대한 이해로부터 그림1(b)의 동작 타이밍도

표 1. SiGe HBT 파라미터.

parameter	value
emitter mask size	2x8 um ²
current gain (β)	234
base resistance (R_B)	55 Ω
emitter resistance (R_E)	4.6 Ω
collector resistance (R_C)	41 Ω
collector-base capacitance (C_{JC})	55fF
emitter-base capacitance (C_{JE})	119fF

를 작성할 수 있으며, 각각의 회로에 대한 설명은 뒤에서 논의한다. 그림1(c)의 4:1 시분할 멀티플렉서는 2:1 시분할 멀티플렉서를 이용하여 구성하였으며, 4:1 시분할 멀티플렉서의 동작 타이밍도는 그림1(b)의 이해로부터 작성할 수 있으므로 생략하겠다.

그림1(a)의 2:1 시분할 멀티플렉서의 구조적인 특징은 다음과 같다. (1) 데이터 선택회로(SEL)가 값을 계산하는 시점은 클럭 주기를 T라 할 때 첫 클럭의 하강 천이 후 1.5T인 시점에서 계산된다. (2) 입력에 관련된 D-플립플롭들(MS_DFF 및 TS_DFF)은 입력 데이터를 리타이밍(retiming)하여 데이터 선택회로(SEL)에서 두 입력 데이터 신호 간에 180°의 큰 위상 여유를 만들어 내는데, 이는 동작 속도를 향상시키는 데 매우 효과적이다. (3) 출력측의 MS_DFF는 출력 지터(jitter)를 최소화하기 위하여 출력 신호를 리타이밍한다. 4:1 시분할 멀티플렉서의 구조적인 특징도 2:1 시분할 멀티플렉서 같은 방법으로 해석될 수 있다.

그림1(a)의 2:1 시분할 멀티플렉서는 CH1, CH2의 5GHz 펄스폭의 병렬 데이터를 10GHz의 클럭마다 읽어 10GHz 펄스폭의 직렬 데이터 스트림(A1B1B2B2...)을 발생시키며, 그림1(c)의 4:1 시분할 멀티플렉서는 CH1, CH3, CH2, CH4의 2.5GHz 펄스폭의 병렬 데이터를 10GHz의 클럭마다 읽어 10GHz 펄스폭의 직렬 데이터 스트림을 발생시킨다.

2. 4:1 시분할 멀티플렉서의 상세 설계

이 절에서는 그림1의 각각의 회로 블록 설계에 관하여 언급한다.

본 논문의 회로 설계에서는 differential 동작을 하는 ECL(Emitter-Coupled Logic) 회로를 이용하였다. Differential 동작은 single-ended 동작에 비하여 지터와 crosstalk를 감소시키고 좋은 common mode suppression을 제공하며 낮은 전압 스윙을 가능하게

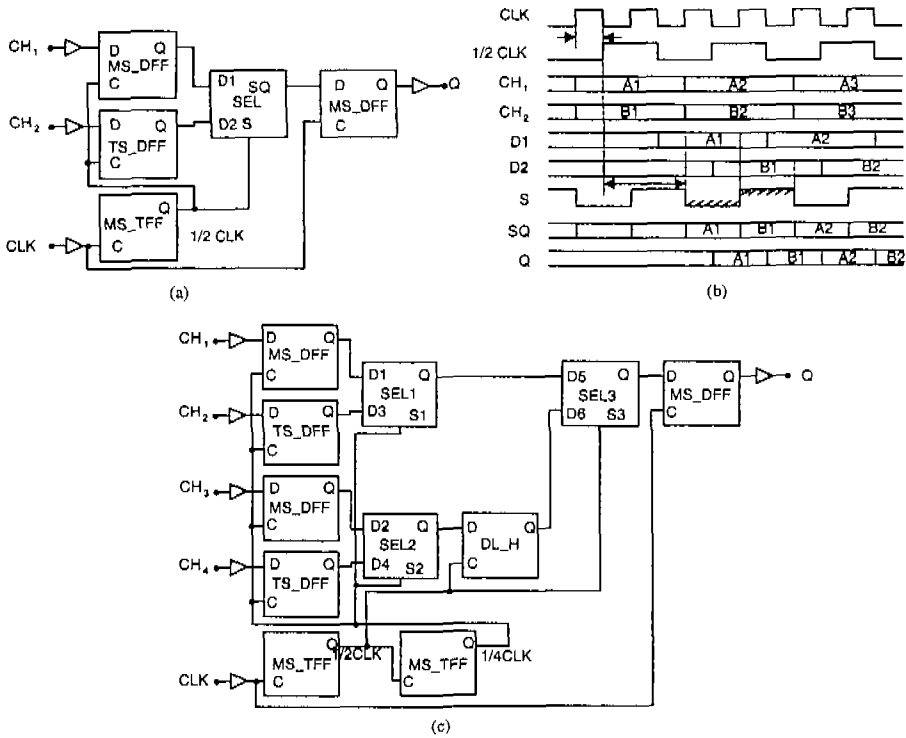


그림 1. 시분할 멀티플렉서.
 (a) 2:1 시분할 멀티플렉서 구조 (b) 2:1 시분할 멀티플렉서 타이밍도
 (c) 4:1 시분할 멀티플렉서 구조

하여 동작 속도를 높이고 전력소모를 감소시킨다 [6,9].

1) 입력 데이터 버퍼 및 클럭 버퍼 설계

입력 데이터 버퍼와 클럭 버퍼는 입력 정합, 신호의 임피던스 변환(impedance transformation) 및 dc 레벨 이동을 위해서 필요하다. 그림2에서 처럼 입력 데이터 버퍼 및 클럭 버퍼 모두는 입력 정합(input matching)을 위해 emitter-follower의 입력에 50Ω을 병렬 연결하여 사용하였다. 입력 데이터 버퍼는 1단의 emitter-follower를 사용하였으며, 클럭 버퍼는 클럭 신호가 ECL 회로의 2번째 레벨의 입력으로 사용되기 때문에 2단으로 사용하였다.

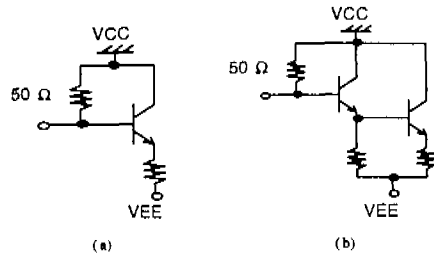


그림 2. 입력 데이터 버퍼 및 클럭 버퍼.
 (a) 입력 데이터 버퍼. (b) 클럭 버퍼

2) D-래치, Master-Slave D-플립플롭 및 Tristate D-플립플롭 설계

그림3(a)는 active low D-래치이며 클럭 CLK가 LOW일 때 입력 데이터를 읽어 출력하고, HIGH일 때는 출력의 상태를 변화시키지 않는다. D-래치의 출력단 버퍼인 1단의 emitter-follower는 신호의 임피던스 변환 및 dc 레벨 이동을 위하여 사용되었다.

그림3(b)는 그림3(a)의 D-래치들이 2단 연속으로 연결되어 클럭의 상승 모서리에서 입력 데이터를 샘플링하여 하강 모서리에서 래치하는 Master-Slave D-플립플롭(MS_DFF) 구조도이다. 출력 신호는 입력 데이터를 클럭이 샘플링한 후 클럭 펄스폭(T/2)만큼의 지연시간이 경과한 후 발생한다.

Active high D-래치(DL_H)는 active low D-래치와는 반대로 클럭 CLK가 HIGH일 때 입력 데이터를 읽어 출력하고, LOW일 때는 출력의 상태를 변화시키지 않으며, 그림3(a)의 CLK 입력과 CLKB

입력이 바뀐 경우이다.

Tristage D-플립플롭(TS_DFF)은 D-래치가 3단 연속으로 연결되어 있는 회로이며 회로 구조는 그림4와 같다. 출력 신호는 클럭이 입력 데이터를 샘플링한 후 클럭 주기(T) 만큼의 지연시간이 경과한 후 발생한다.

3) 2:1 및 4:1 주파수 분주기 설계

그림1에서 볼 수 있는 바와 같이 4:1 시분할 멀티플렉서를 동작시키기 위해서는 입력 클럭 주파수(CLK)를 1/2 주파수(1/2 CLK)로 나누는 2:1 주파수 분주기(frequency divider)와 입력 클럭 주파수(CLK)를 1/4 주파수(1/4 CLK)로 나누는 4:1 주파수 분주기가 필요하다.

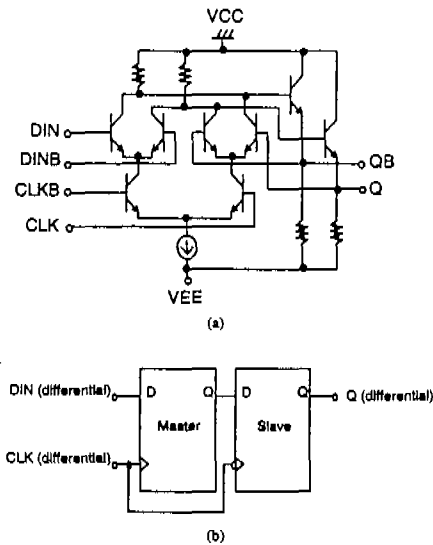


그림 3. Active low D-래치 및 Master-Slave D-플립 플롭 구조

- (a) Active low D-래치.
- (b) Master-Slave D-플립플롭 구조.

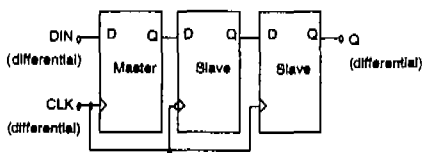


그림 4. Tristage D-플립플롭 구조

보통 주파수 분주기는 새로이 개발된 브란지스터(transistor)의 고주파 성능의 검증용 위한 회로로서 많이 이용되며 고주파 및 위성 통신 시스템에서 핵

심 회로 중의 하나이다¹⁰⁾. 특히 실리콘 바이폴라 기술을 이용한 고속 주파수 분주기는 대부분 ECL Master-Slave D-플립플롭으로 실현된다. 본 논문에서의 주파수 분주기 설계도 Master-Slave D-플립플롭을 이용하여 실현하였다.

2:1 주파수 분주기는 그림5(a)에서와 같이 Master-Slave D-플립플롭의 출력 QB21를 Master D-래치의 입력 D로 케환(Master-Slave D-플립플롭의 출력 Q21를 Master D-래치의 입력 DB로 케환)하여 실현(그림1의 MS_TFF)하였으며, 4:1 주파수 분주기는 2:1 주파수 분주기의 출력을 받아 2:1 주파수 분주기와 같은 방법으로 실현하였다. 주파수 분주기에 사용된 D-래치는 그림3(a)의 D-래치와 동일하다. 2:1 및 4:1 주파수 분주기들의 구조는 각각 그림5(a)와 그림5(b)와 같다. 그리고 dc 레벨 이동을 위하여 그림5의 Slave D-래치의 Q21와 QB21(Q41와 QB41)에 1단의 emitter-follower를 추가적으로 연결하여 사용하였다. 주파수 분주기에서의 전류는 대부분 버퍼에서 소모되었으며, 주파수 분주기 전체 전류 소모 중 70% 정도가 버퍼에서 소모되었다.

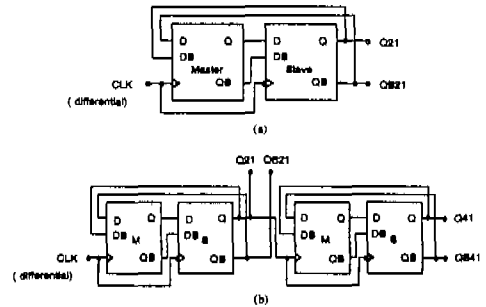


그림 5. 주파수 분주기 구조

- (a) 2:1 주파수 분주기 구조
- (b) 4:1 주파수 분주기 구조

4) 데이터 선택기 설계

그림6의 데이터 선택기(data selector, SEL)는 클럭(CLK)이 LOW일 때 DIN1을 선택하고 클럭이 HIGH일 때 DIN2를 선택한다.

5) 출력단 회로 설계

출력단은 시분할 멀티플렉서 설계에서 많이 이용되는 방법으로 그림7에서처럼 차동 증폭기를 사용하였다. 이 차동 증폭기는 출력 정합을 위해 50Ω의 저항을 부하(external load)로 사용하였으며, 그림1의 출력단 MS_DFF의 출력을 800mVp-p로 증폭하는 역할을 한다.

III. 실험 결과 및 검토

이 절에서는 2:1 시분할 멀티플렉서와 4:1 시분할 멀티플렉서의 실험 결과를 검토한다. 본 논문에서의 회로 설계에 사용된 툴(tool)은 HP-EEsof의 Libra이며, 회로의 공급전압은 -3.5V를 사용하였다.

먼저, 그림8(a)는 입력 클럭(10GHz), (b)(그림1(a)의 CH1의 입력), (c)(그림1(a)의 CH2의 입력)는 2 채널의 각각 입력 데이터 파형, 그림8(d)는 출력 파형이다. 입력 데이터 DIN1은 0011001100...의 스트리밍, DIN2는 1010101010...의 스트리밍이다. 그림8(d)의 출력 데이터 스트리밍(square symbol)으로 3번째 클럭의 하강 모서리(약 250ps 정도)에서부터 읽기 시작하여 0100111001...로 읽고 있는 것을 볼 수 있다. 이로부터 DIN1과 DIN2를 번갈아 읽고 있는 것을 알 수 있으며, 그림 1(b)의 동작 타이밍도에서 예상한 바와 일치한 결과를 보여준다.

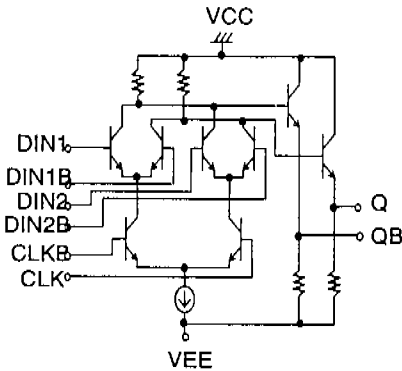


그림 6. 데이터 선택기.

그림9(a)는 입력 클럭(10GHz), (b)(그림1의 CH1의 입력), (c)(그림1의 CH2의 입력), (d)(그림1의 CH3의 입력) 및 (e)(그림1의 CH4의 입력)는 4채널의 각각 입력 데이터 파형, 그림9(f)는 출력 파형이다. 입력 데이터 DIN1은 0101010101...의 스트리밍, DIN2는 1100110011...의 스트리밍, DIN3은 1010101010...의 스트리밍, DIN4는 1100110011...의 스트리밍이다. 그림9(f)의 출력 데이터 스트리밍 (square symbol)으로 5번째 클럭의 하강 모서리 (약 450ps 정도)에서부터 읽기 시작하여 01111011010010001111...으로 DIN1, DIN3, DIN2, DIN4의 순서로 읽고 있는 것을 알 수 있으며, 이는 그림1(c)의 구조에서 예상한 바와 일치한다.

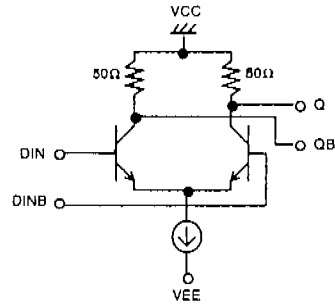


그림 7. 출력단 회로.

이상에서 SiGe HBT를 이용하여 설계한 2:1 및 4:1 시분할 멀티플렉서는 정상적으로 동작함을 확인할 수 있었다. 20%~80% 간의 천이 시간인 상승시간 및 하강시간은 2:1 시분할 멀티플렉서의 경우 각각 34ps와 35ps, 4:1 시분할 멀티플렉서의 경우는 각각 34ps와 34ps이었다. 또한, 전력소모는 2:1 시분할 멀티플렉서의 경우는 0.86W, 4:1 시분할 멀티플렉서의 경우는 1.50W로, 일반적인 사양의 멀티플렉서(2:1의 경우 1.5W, 4:1의 경우 2.6W 정도)와 비교하여 전력 소모면에서 40% 정도 적게 소모됨을 확인할 수 있었다. 이와 같은 저전력 소모는 적은 컬렉터 전류로 높은 차단 주파수(f_T , cutoff frequency)를 얻을 수 있는 SiGe HBT의 소자 특성과 회로 내부에서의 가능한 낮은 전압 스윙을 할 수 있도록 회로를 설계한 것이 주요 원인으로 생각된다. 4:1 시분할 멀티플렉서의 정량적인 결과만을 표2에 요약하였다. 상승시간 및 하강시간, 전력소모의 관점에서 타문헌과 비교해 볼 때 본 논문의 결과는 아주 reasonable한 것으로 판단된다.

표 2. 4:1 시분할 멀티플렉서 설계 결과.

item	results
differential clock amplitude (across 2x50 Ω)	800mVp-p
differential data input amplitude (across 2x50 Ω)	400mVp-p
differential data output amplitude (across 2x50 Ω)	800mVp-p
rise time/fall time	34ps/34ps
power consumption	1.50W

IV. 결론

광통신 시스템의 송신부에 사용되는 시분할 멀티

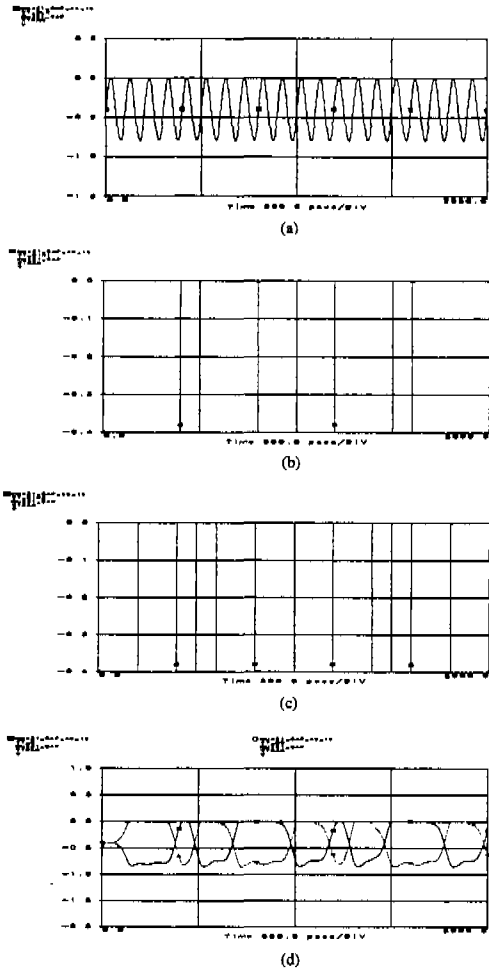


그림 8. 2:1 시분할 멀티플렉서 시뮬레이션 결과.
 (a) 입력 출력. (b) 입력 DIN1.
 (c) 입력 DIN2. (d) 출력.

플렉서는 여러 병렬 스트림(stream)들을 높은 비트율을 갖는 하나의 직렬 스트림으로 결합하는 장치이다. 본 논문에서는 한국전자통신연구원에서 개발한 에미터 크기가 $2 \times 8 \mu\text{m}^2$ 인 SiGe HBT를 사용하여 4:1 시분할 멀티플렉서를 설계하였다. 설계된 시분할 멀티플렉서 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 400mVp-p와 800mVp-p, 20%-80% 간의 천이 시간인 상승시간 및 하강시간은 각각 34ps와 34ps 이며, 전력소모는 1.50W이었다.

본 논문에서 설계한 시분할 멀티플렉서의 경우 일반적인 경우 보다 약 40% 정도의 적은 전력 소모가 있었으며, 한국전자통신연구원에서 개발한 SiGe HBT 이용하여 제작할 예정이다.

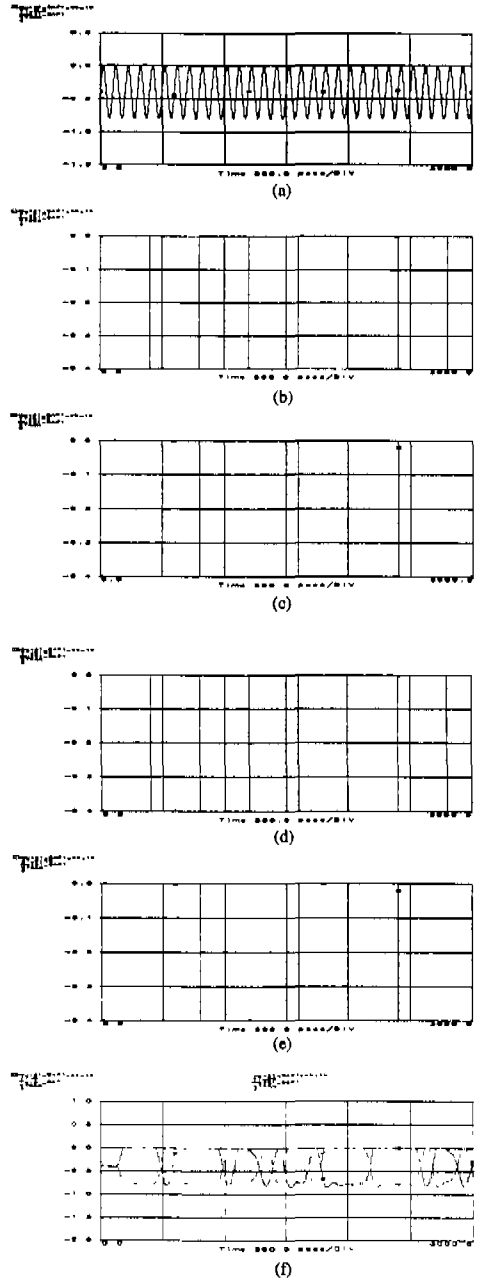


그림 9. 4:1 시분할 멀티플렉서 시뮬레이션 결과.
 (a) 입력 출력. (b) 입력 DIN1.
 (c) 입력 DIN2. (d) 입력 DIN3.
 (e) 입력 DIN4. (f) 출력.

참고 문헌

[1] 박형무, "10Gbps급 고속 IC의 기술동향 및 국내 현황," 전자공학회지, 제22권, 제2호, pp.

123-135, Feb. 1995.

[2] H. M. Rein, "Multi-Gigabit-Per-Second Silicon Bipolar ICs for Future Optical-Fiber Transmission Systems," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 3, pp. 664-675, June 1988.

[3] H. M. Rein, et al., "Suitability of Present Silicon Bipolar IC Technologies for Optical Fibre Transmission Rates around and above 10 Gbit/s," *IEE Proceeding*, vol. 137, Pt. G, no. 4, pp. 251-260, Aug. 1990.

[4] K. Runge, et al. "Silicon Bipolar Integrated Circuits for Multi-Gb/s Optical Communication Systems," *IEEE Journal of selected Areas in Communications*, vol. 9, no. 5, pp. 636- 644, June 1991.

[5] H. Ichino, et al., "Over-10-Gb/s ICs for Future Lightwave Communications," *IEEE Journal of Lightwave technology*, vol. 12, no. 2, pp. 308-319, Feb. 1994.

[6] L. I. Andersson, et al., "Silicon Bipolar Chipset for SONET/SDH 10 Gb/s Fiber-Optic Communication Links," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 3, pp. 210-218, March 1995.

[7] M. Ohhata, et al., "11Gbit/s Multiplexer or Demultiplexer using 0.15um GaAs MESFETs," *Electronics Letters*, vol. 26, no. 7, pp. 467-468, March 1990.

[8] T. Harada, et al., "Si Bipolar Multiplexer, Demultiplexer, and Prescaler ICs 10Gb/s SONET Systems," *ISSCC Digest of Technical Papers*, pp. 154-156, Feb. 1993.

[9] A. Felder, et al., "46 Gb/s DEMUX, 50 Gb/s, and 30 GHz Static Frequency Divider in Silicon Bipolar Technology," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 4, pp. 481-486, April 1996.

[10] M. Kurisu, et al., "A Si Bipolar 21-GHz/320-mW Static Frequency Divider," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 11, pp. 1626-1631, Nov. 1991.

이 상 흥(Sang-Heung Lee)

정회원



1988년 2월 : 충남대학교 공과대학 전자공학과 졸업
공학사

1992년 2월 : 충남대학교 대학원 전자공학과 졸업
공학석사

1998년 2월 : 충남대학교 대학원 전자공학과 졸업
공학박사

1990년 10월~1991년 3월 : 한국전자통신연구원 화합물집적회로연구실 위촉연구원

1995년 3월~1998년 3월 : 한국과학기술원 정보전자연구소 위촉연구원

1998년 4월~1999년 6월 : 한국전자통신연구원 박사후연수연구원(Post-Doc.)

1999년 7월~현재 : 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 SiGe 소자팀 선임연구원

<주관심 분야> RF회로 설계/VLSI 설계, 소자 모델링 및 시뮬레이션, Interconnection 모델링

강 진 영(Jin-Yeong Kang)

비회원



1977년 2월 : 서울대학교 졸업
학사

1979년 2월 : 한국과학기술원 물리학과 졸업
이학석사

1991년 2월 : 한국과학기술원 물리학과 졸업
이학박사

1979년 2월~현재 : 한국전자 통신연구원 회로소자기술연구소 화합물반도체연구부 SiGe 소자팀장

<주관심 분야> SiGe반도체, 반도체소자공정

송 민 규(Min-Kyu Song)

정회원



1982년 2월 : 한양대학교 공과대학 화학공학과 졸업
공학사

1985년 6월 : Drexel University, 화학공학과 졸업
공학석사

1988년 8월 : Drexel University, 화학공학과 졸업
공학박사

1989년 2월 : University of South Florida, 전기전자
공학과 연구 조교수

1989년 3월 ~ 현재 : 한국전자통신연구원 피로소자기
술연구소 화합물반도체연구부장

<주관심 분야> 반도체 소자공정개발, 전자소자 및
광소자 패키징