

SiGe HBT를 이용한 10Gbps 디멀티플렉서 설계

정희원 이상홍*, 강진영*, 송민규*

10Gbps Demultiplexer using SiGe HBT

Sang-Heung Lee*, Jin-Yeong Kang*, Min-Kyu Song* *Regular Members*

요 약

일반적으로 광통신 시스템은 전기적 신호를 광신호로 바꾸어 주는 송신부와 전송되어 온 광신호를 전기적 신호로 변환하여 주는 수신부 및 송수신부 간의 정보를 전송해 주는 경로인 정보채널로 구성된다. 광통신 시스템의 동작속도를 개선하기 위해서는 송신부 및 수신부 회로들의 고속화가 필요하다. 디멀티플렉서는 고 비트율을 갖는 하나의 직렬 스트림을 원래의 낮은 비트율을 갖는 여러 병렬 스트림들로 환원하는 장치로, 광통신 시스템의 수신부에 사용된다. 본 논문에서는 고속 및 저전력 소자로 주목을 받고 있는 에미터 크기가 $2 \times 8 \mu\text{m}^2$ 인 SiGe HBT를 사용하여 1:4 디멀티플렉서를 설계하였다. 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 800mVp-p와 400mVp-p, 20-80% 간의 상승시간 및 하강시간은 각각 37ps와 36ps이며, 전력소모는 1.40W이다.

ABSTRACT

In the receiver of optical communication systems, a demultiplexer converts to a single data stream with a high bit rate into several parallel data streams with a low bit rate. In this paper, we design a 1:4 demultiplexer using SiGe HBT with emitter size of $2 \times 8 \mu\text{m}^2$. The operation speed is 10Gbps, the rise and fall times of 20-80% are 37ps and 36ps, respectively and the dissipation of power is 1.40W.

1. 서 론

광통신 시스템은 초고속 정보 통신망의 물리계층에서 기본이 되는 것으로서, 광통신 시스템에 대한 연구는 1960년대 말부터 동축선을 이용하는 통신 시스템의 정보 전송 능력의 한계를 극복하기 위해 시작되었다. 광통신 시스템은 기존의 통신시스템에 비하여 전송 용량, 신뢰성 및 보안성이 높으며, 무중계 거리가 길기 때문에 단위 데이터 전송에 소요되는 비용이 적어 경제성이 우수하다^[1].

일반적으로 광통신 시스템은 다음의 세 부분으로 구성되어 있다. 먼저, 전기적 신호를 광신호로 바꾸어 주는 송신부와 전송되어 온 광신호를 전기적 신호로 변환하여 주는 수신부 및 송수신부 간의 정보를 전송해 주는 경로인 정보채널로 구성된다. 광통신

시스템의 동작속도는 송신부 및 수신부에서 처리할 수 있는 비트율과 밀접한 관계가 있기 때문에 광통신 시스템의 속도물 개선하기 위해서는 송신부 및 수신부 회로들의 고속화와 더불어 칩화가 필요하다. 광통신 시스템의 고속화에 필요한 고주파 아날로그 및 고 비트율 디지털 전자회로 블록들은 송신부 측의 시분할 멀티플렉서, 수신부 측의 equalizing 증폭회로, 클럭 복구(재생)회로, 편별회로 및 디멀티플렉서 등을 들 수 있다^[2-6]. 이들 회로 중 본 논문에서는 광통신 시스템의 수신부의 디멀티플렉서 설계에 대하여 논하고자 한다.

디멀티플렉서는 고 비트율을 갖는 하나의 직렬 스트림(stream)을 원래의 낮은 비트율을 갖는 여러 개의 병렬 스트림으로 환원하는 장치이다. 10Gbps 1:4 디멀티플렉서의 경우, 10GHz의 펄스폭 직렬 데이터를 10GHz의 클럭 펄스를 사용하여 2.5GHz의

* 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 (ahl@etri.re.kr, jykang@etri.re.kr, mksong@etri.re.kr)
논문번호 : 00016-0117, 접수일자 : 2000년 1월 17일

병렬 데이터 스트림들로 변환하는 장치이다.

한편, 실리콘(Si) 바이폴라 집적회로는 수백 Mbps에서부터 약 2Gbps까지의 전송속도를 갖는 시스템에 주로 사용되어 왔으며, HBT(Heterojunction Bipolar Transistor)는 다른 고속 소자와 비교하여 고속 특성이 우수하며, 위상 잡음(phase noise)이 작고, 전류 구동 능력이 크기 때문에 LD(Laser Diode) 구동기뿐만 아니라 다양한 고속 집적회로에 응용이 되고 있다. HBT의 종류로는 Si/SiGe, AlGaAs/GaAs, GaInP/GaAs, InAlAs/InGaAs, InP/InGaAs 등이 있다. 이들 HBT 중 SiGe HBT는 BJT(Bipolar Junction Transistor)의 베이스 영역에 게르마늄(Ge)을 첨가한 소자로, 밴드갭이 낮아져 스위칭 속도가 빨라지고 전력소모가 낮아지는 장점이 있다. 베이스 영역에 게르마늄의 첨가는 베이스 이동시간(transit time)을 줄여 결국 f_T 와 f_{max} 를 증가시켜 고속 동작을 가능하게 한다. SiGe HBT의 이러한 빠른 동작과 저전력 소모 특성은 순수 실리콘으로 제한되는 고주파 고속 통신 분야의 응용에 확산될 가능성이 많다. SiGe HBT 소자가 이미 900MHz~1900MHz 대의 TDMA, GSM 분야에 널리 쓰이고 있고, 2.4GHz~5.6GHz 대의 VCO(Voltage Controlled Oscillator)와 LNA(Low Noise Amplifier), 믹서 그리고 transceiver 등의 칩에 사용되고 있으며, 10Gbps 대의 광통신도 이 기술을 사용한 칩들이 개발되고 있다⁷⁾. 이러한 Si/SiGe의 HBT 기술은 현재 GaAs 등 화합물 반도체의 고속 응용 영역을 빠르게 대체해 나가고 있으며, 실리콘 기술이 0.1 μ m 이하로 내려가기 전 존재하는 CMOS RF IC의 한계를 극복하고 있다^{8,9)}.

표 1. SiGe HBT 파라미터.

parameter	value
emitter mask size	2x8 μ m ²
transport saturation current (IS)	3.5x10 ⁻¹⁷ A
ideal maximum forward beta (BF)	234
B-E leakage saturation current (ISE)	3.4x10 ⁻¹⁶ A
forward Early voltage (VAF)	12V
base resistance (RB)	55 Ω
emitter resistance (RE)	4.6 Ω
collector resistance (RC)	41 Ω
collector-base capacitance (CJC)	55fF
emitter-base capacitance (CJE)	119fF
collector-substrate (CJS)	51fF
ideal forward transit time (TF)	6.2ps

뿐만 아니라 SiGe HBT는 III-V족 HBT에 비하여 첨단인 실리콘 관련 공정을 대부분 활용할 수 있으므로 적은 비용으로 신뢰성 있는 소자를 만들 수 있다는 장점이 있다.

본 논문에서는 광통신 시스템의 수신부 회로에 사용되는 1:4 디멀티플렉서를 SiGe HBT 소자를 이용하여 설계하였다. 시뮬레이션 결과, 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 800mVp-p와 400mVp-p, 20%-80% 간의 천이 시간인 상승시간과 하강시간은 각각 37ps와 36ps이며, 전력소모는 1.40W이다.

II. 10Gbps 1:4 디멀티플렉서 설계

이 절에서는 SiGe HBT를 이용한 10Gbps 1:4 디멀티플렉서 설계에 관하여 논의한다.

본 논문에서는 한국전자통신연구원에서 개발한 에미터 크기가 2x8 μ m²인 SiGe HBT를 사용하여 디멀티플렉서를 설계하였으며, 주요 SPICE 파라미터는 표1과 같다.

1. 디멀티플렉서 구조

그림1(a)는 1:2 디멀티플렉서 구조, (b)는 동작 타이밍도, (c)는 1:4 디멀티플렉서 구조이다^{5,10,11)}. 그림1(a)의 1:2 디멀티플렉서 구조에 사용되는 회로는 마스터-슬레이브 (Master-Slave) D-플립플롭(MS_DFF), 3단(tristage) D-플립플롭(TS_DFF) 및 2:1 주파수 분주기(MS_TFF)이며, 그림1(c)의 1:4 디멀티플렉서 구조에 사용되는 회로는 1:2 디멀티플렉서 구조에 4:1 주파수 분주기 회로가 추가적으로 사용된다. 그림1(a)의 각각의 회로에 대한 이해로부터 그림1(b)의 동작 타이밍도를 작성할 수 있으며, 각각의 회로에 대한 설명은 뒤에서 논의한다. 그림1(c)의 1:4 디멀티플렉서는 1:2 디멀티플렉서를 이용하여 구성하였으며, 1:4 디멀티플렉서의 동작 타이밍도는 그림1(b)의 이해로부터 작성할 수 있으므로 생략한다.

마스터-슬레이브 D-플립플롭(MS_DFF)과 3단 D-플립플롭(TS_DFF)은 동작시 데이터 샘플링하는 경우 180° 만큼의 위상 차이를 두고 출력을 발생시키는 데, 샘플링 시간을 조절하여 직렬 데이터를 병렬 데이터로 변환시키는 데 응용될 수 있다. 그림1(a)는 이와 같은 원리를 이용하여 하나의 고비트율을 갖는 직렬 데이터 스트림을 저비트율을 갖는 2개의 병렬 데이터 스트림들로 변환시키는 1:2 디

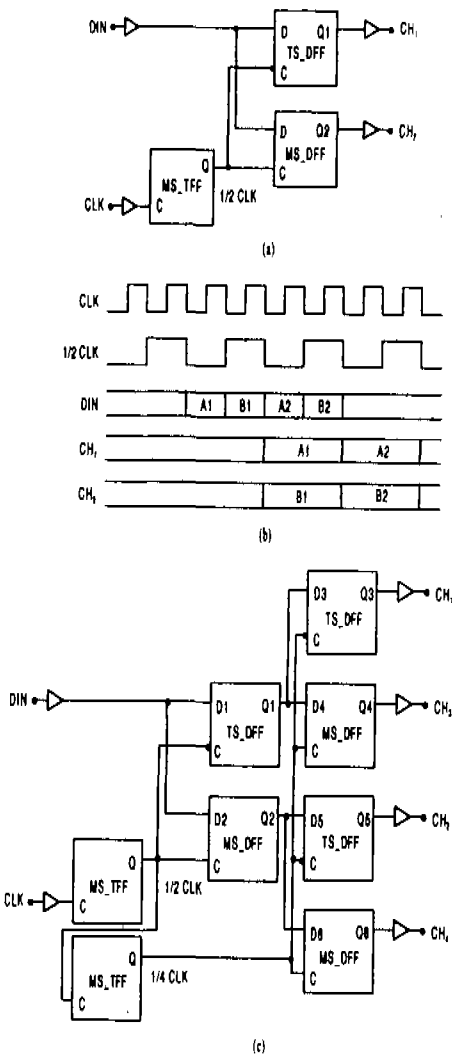


그림 1. 디멀티플렉서.
 (a) 1:2 디멀티플렉서 구조.
 (b) 1:2 디멀티플렉서 타이밍도.
 (c) 1:4 디멀티플렉서 구조.

멀티플렉서 구조이다. 그림1(c)의 1:4 디멀티플렉서는 1:2 디멀티플렉서를 반복적으로 적용하여 구성한 것으로 하나의 직렬 데이터 스트림을 4개의 병렬 데이터 스트림들로 변환시킨다.

그림1(a)의 1:2 디멀티플렉서는 직렬의 10GHz 펄스폭을 갖는 입력 데이터를 10GHz 클럭을 이용하여 데이터 펄스폭이 5GHz인 병렬 데이터로 동시에 변환되는 회로 구조이며, CH1, CH2의 순서로 데이터가 출력된다. 이에 대한 동작 타이밍도를 그림1(b)에 나타내었다. 그림1(c)의 1:4 디멀티플렉서는 직렬의 10GHz 펄스폭을 갖는 입력 데이터를

10GHz 클럭을 이용하여 데이터 펄스폭이 2.5GHz 인 병렬 데이터로 동시에 변환되는 회로 구조이며, CH1, CH2, CH3, CH4의 순서로 데이터가 출력된다.

2. 1:4 디멀티플렉서의 상세 설계

이 절에서는 그림1의 각각의 회로 블록 설계에 관하여 언급한다.

본 논문의 회로 설계에서는 차동(differential) 동작을 하는 ECL(Emitter-Coupled Logic) 회로를 이용하였다. 차동 동작은 지터(jitter)와 크로스톡(crosstalk)을 감소시키고 좋은 공통모드 억제(common mode suppression)를 제공하며 낮은 전압 스윙을 가능하게 하여 동작 속도를 높이고 전력소모를 감소시킨다^[6,12].

2.1 입력 데이터 버퍼 및 클럭 버퍼 설계

입력 데이터 버퍼와 클럭 버퍼는 입력 정합, 신호의 임피던스 변환(impedance transformation) 및 직류(DC) 레벨 이동을 위해서 필요하다. 그림2에서 처럼 입력 데이터 버퍼 및 클럭 버퍼 모두는 입력 정합(input matching)을 위해 에미터 팔로우(emitter-follower)의 입력에 50Ω을 병렬 연결하여 사용하였다. 입력 데이터 버퍼는 1단의 에미터 팔로우를 사용하였으며, 클럭 버퍼는 클럭 신호가 ECL 회로의 2번째 레벨의 입력으로 사용되기 때문에 2단으로 사용하였다.

2.2 D-래치, 마스터-슬레이브 D-플립플롭 및 3단 D-플립플롭 설계

그림3(a)는 active low D-래치이며 클럭 CLK가 LOW일 때 입력 데이터를 읽어 출력하고, HIGH일 때는 출력의 상태를 변화시키지 않는다. D-래치의 출력단 버퍼인 1단의 에미터 팔로우는 신호의 임피던스 변환 및 직류 레벨 이동을 위하여 사용되었다.

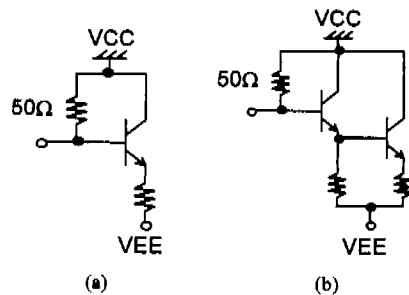


그림 2. 입력 데이터 버퍼 및 클럭 버퍼.
 (a) 입력 데이터 버퍼. (b) 클럭 버퍼.

그림3(b)는 그림3(a)의 D-래치들이 2단 연속으로 연결되어 플럭의 정(正)에지에서 입력 데이터를 샘플링하여 부(負)에지에서 래치하는 마스터-슬레이브 D-플립플롭(MS_DFF) 구조도이다. 출력 신호는 입력 데이터를 클럭이 샘플링한 후 플럭 펄스폭(T/2) 만큼의 지연시간이 경과한 후 발생한다.

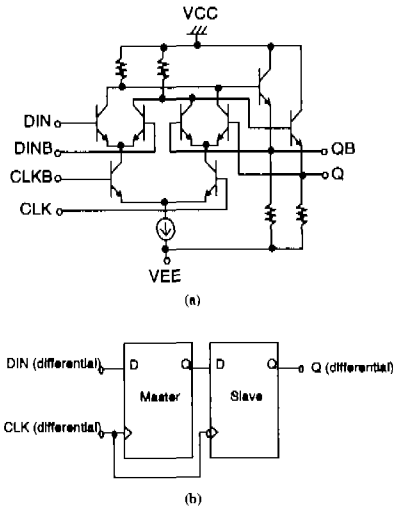


그림 3. Active low D-래치 및 마스터-슬레이브 D-플립플롭 구조
(a) Active low D-래치.
(b) Master-Slave D-플립플롭 구조.

Active high D-래치는 active low D-래치와는 반대로 클럭 CLK가 HIGH일 때 입력 데이터를 읽어 출력하고 LOW일 때는 출력의 상태를 변화시키지 않으며, 그림3(a)의 CLK 입력과 CLKB 입력이 바뀐 경우이다.

부에지 트리거 3단(negative edge-triggered tristage) D-플립플롭(TS_DFF)은 그림4와 같이 D-래치가 3단 연속으로 연결되어 있는 회로이다. 입력 클럭의 부에지에서 입력 데이터를 샘플링한 후 플럭 주기(T) 만큼의 지연시간이 경과한 후 출력 신호가 발생한다.

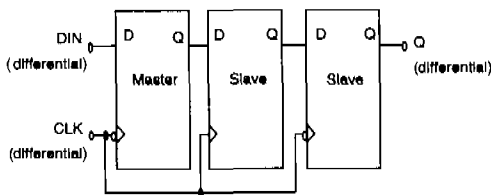


그림 4. 부에지 트리거 3단 D-플립플롭 구조

2.3 2:1 및 4:1 주파수 분주기 설계

그림1에서 볼 수 있는 바와 같이 1:4 디멀티플렉서를 동작시키기 위해서는 입력 클럭 주파수(CLK)를 1/2 주파수(1/2 CLK)로 나누는 2:1 주파수 분주기(frequency divider)와 입력 클럭 주파수(CLK)를 1/4 주파수(1/4 CLK)로 나누는 4:1 주파수 분주기가 필요하다.

보통 주파수 분주기는 새로이 개발된 트랜지스터(transistor)의 고주파 성능의 집중을 위한 회로로서 많이 이용되며 고주파 및 위성 통신 시스템에서 핵심 회로 중의 하나이다^[13]. 특히 실리콘 바이폴라 기술을 이용한 고속 주파수 분주기는 대부분 ECL 마스터-슬레이브 D-플립플롭으로 실현된다. 본 논문에서의 주파수 분주기 설계도 참고문헌 [12,13]에서와 같이 마스터-슬레이브 D-플립플롭을 이용하여 실현하였다.

그림 5(a)의 2:1 주파수 분주기는 마스터-슬레이브 D-플립플롭의 Slave D-래치의 출력 QB21을 Master D-래치의 입력 D로 채환(마스터-슬레이브 D-플립플롭의 Slave D-래치의 출력 Q21을 Master D-래치의 입력 DB로 채환)하여 실현(그림1의 MS_TFF)하였으며, 그림 5(b)의 4:1 주파수 분주기는 2:1 주파수 분주기의 출력을 받아 2:1 주파수 분주기와 같은 방법으로 실현하였다. 주파수 분주기에 사용된 D-래치는 그림3(a)의 D-래치와 동일하다. 2:1 및 4:1 주파수 분주기들의 구조는 각각 그림 5(a)와 그림5(b)와 같다. 그리고 직류 레벨 이동을 위하여 그림5의 Slave D-래치의 Q21과 QB21(Q41과 QB41)에 1단의 에미터 팔로우를 추가적으로 연결하여 사용하였다. 주파수 분주기에서의 전류는 대부분 버퍼에서 소모되었으며, 주파수 분주기 전체 전류 소모 중 70% 정도가 버퍼에서 소모되었다.

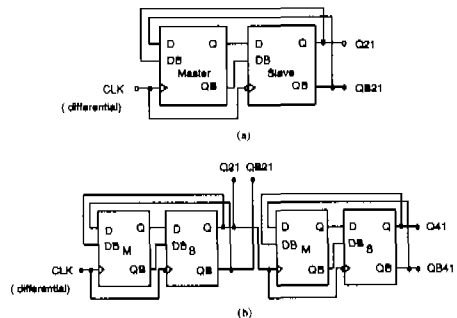


그림 5. 주파수 분주기 구조
(a) 2:1 주파수 분주기 구조
(b) 4:1 주파수 분주기 구조

III. 실험 결과 및 검토

이 절에서는 1:2 디멀티플렉서와 1:4 디멀티플렉서의 실험 결과를 검토한다. 본 논문에서의 회로 설계에 사용된 툴(tool)은 HP-EEsof의 Libra이며, 회로의 공급전압은 -3.5V를 사용하였다.

먼저, 그림6(a)는 10GHz 주파수의 입력 클럭 파형(그림1(a)의 CLK), 그림6(b)는 10GHz 펄스폭의 직렬 입력 데이터(그림1(a)의 DIN), 그림6(c)(그림1(a)의 CH1의 출력)와 (d)(그림1(a)의 CH2의 출력)는 5GHz 펄스폭의 병렬 데이터 출력 파형들이다. 입력 데이터 DIN은 150ps에서 부터 유효하며(그림1(a)의 구조로 부터) 00111000111000111000...의 직렬 스트링이다. 출력들(square symbol, 진한 실선)은 모두 350ps 정도에서부터 5GHz의 펄스폭의 데이터로 출력된다. CH1의 출력은 011011011011...의 스트링이고, CH2의 출력은 010010010010...의 스트

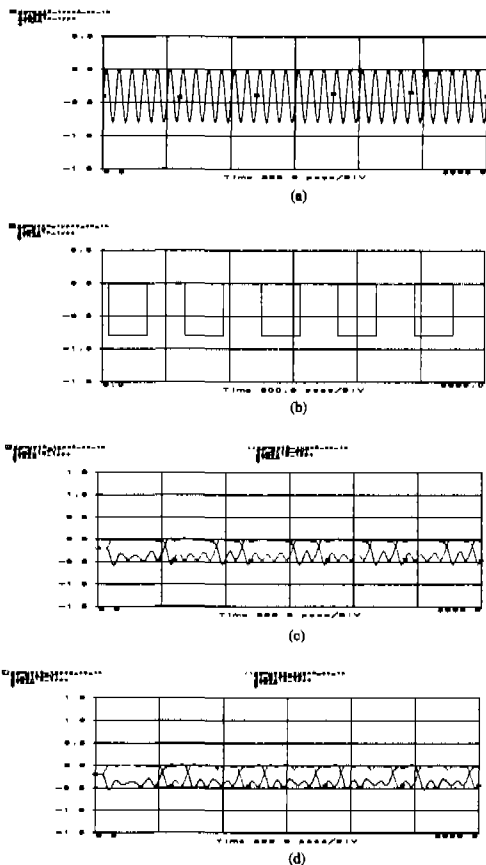


그림 6. 1:2 디멀티플렉서 시뮬레이션 결과.
(a) 입력 클럭. (b) 입력 DIN.
(c) 출력 CH1. (d) 출력 CH2.

표 2. 1:4 디멀티플렉서 설계 결과.

item	results
differential clock amplitude (across 2x50 Ω)	800mVp-p
differential data input amplitude (across 2x50 Ω)	800mVp-p
differential data output amplitude (across 2x50 Ω)	400mVp-p
rise time/fall time	37ps/36ps
power consumption	1.40W

링이다. 이로부터 직렬 입력 DIN을 읽어 2채널에서 동시에 병렬로 출력함을 알 수 있으며, 이는 그림1(a)에서 예상한 바와 일치함을 알 수 있다.

그림7(a)는 10GHz 주파수의 입력 클럭 파형(그림1(c)의 CLK), 그림7(b)는 10GHz 펄스폭의 직렬 입력 데이터 파형(그림1(c)의 DIN), 그림7(c)(그림1(c)의 CH1의 출력), (d)(그림1(c)의 CH2의 출력), (e)(그림1(c)의 CH3의 출력) 및 (f)(그림1(c)의 CH4의 출력)는 5GHz 펄스폭의 병렬 데이터 출력 파형들이다. 입력 데이터 DIN은 150ps에서 부터 유효하며(그림1(c)의 구조로 부터) 11000111000111000...의 직렬 스트링이다. 출력들(square symbol, 진한 실선)은 모두 750ps 정도에서부터 2.5GHz의 펄스폭의 데이터로 출력된다. CH1의 출력은 100100100...의 스트링, CH2의 출력은 110110110...의 스트링, CH3의 출력은 010010010...의 스트링, CH4의 출력은 011011011...의 스트링이다. 이로부터 직렬 입력 DIN을 읽어 4채널에서 동시에 병렬로 출력함을 알 수 있으며, 이는 그림1(c)에서 예상한 바와 일치함을 알 수 있다.

이상에서 SiGe HBT를 이용하여 설계한 1:2 및 1:4 디멀티플렉서는 정상적으로 동작함을 확인할 수 있었다. 20%-80% 간의 천이 시간인 상승시간 및 하강시간은 1:2 디멀티플렉서의 경우 각각 36ps와 36ps, 1:4 디멀티플렉서의 경우는 각각 37ps와 36ps 이었다. 또한, 전력소모는 1:2 디멀티플렉서의 경우는 0.65W, 1:4 디멀티플렉서의 경우는 1.40W로, 일반적인 사양의 디멀티플렉서(1:2의 경우 1.10W, 1:4의 경우 2.40W 정도)와 비교하여 전력 소모면에서 약 40% 정도 적게 소모됨을 확인할 수 있었다. 이와 같은 저전력 소모는 turn-on 전압이 낮아 저전압에서 동작이 가능하고 적은 커패시터 전류로 높은 차단 주파수(f_T , cutoff frequency)를 얻을 수 있는 SiGe HBT의 소자 특성과 회로 내부에서의 가능한

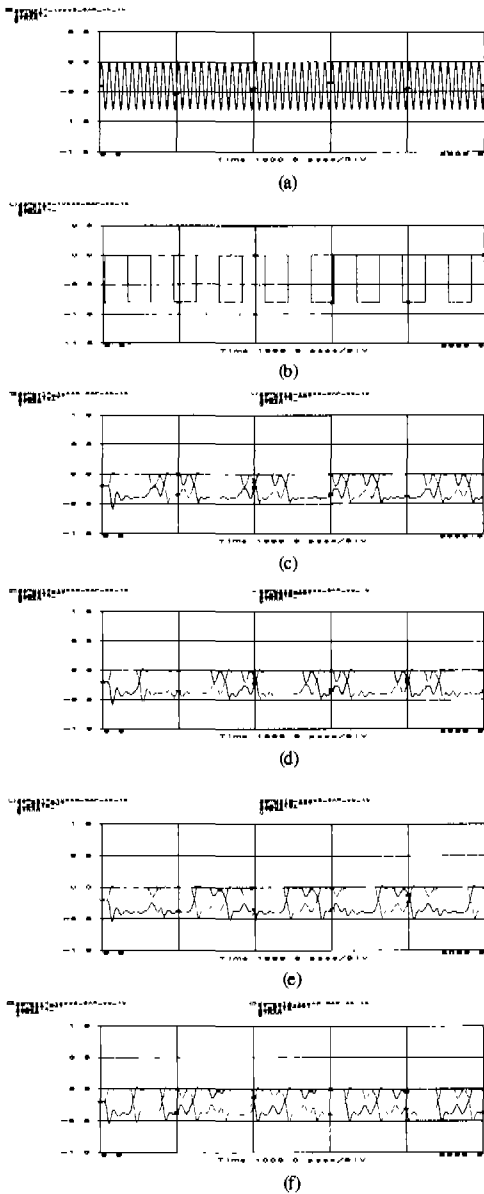


그림 7. 1:4 디멀티플렉서 시뮬레이션 결과.
 (a) 입력 클럭. (b) 입력 DIN.
 (c) 출력 CH1. (d) 출력 CH2.
 (e) 출력 CH3. (f) 출력 CH4.

한 낮은 전압 스윙을 할 수 있도록 회로를 설계한 것이 주요 원인으로 생각된다.

1:4 디멀티플렉서의 정량적인 결과만을 표2에 요약하였다. 상승시간 및 하강시간, 전력소모의 관점에서 타문헌과 비교해 볼 때 본 논문의 결과는 아주 양호한 것으로 판단된다.

한편, 상기와 같은 SiGe HBT의 고속 동작과 저

전력 소모 특성은 결국 순수 실리콘으로 제한되는 고주파 고속 통신 분야의 응용을 확대시킬 것으로 예상되며, CMOS IC의 한계를 충분히 극복할 수 있을 것으로 생각된다.

IV. 결론

광통신 시스템의 수신부에 사용되는 디멀티플렉서는 하나의 높은 직렬 스트림(stream)을 낮은 비트율을 갖는 여러 직렬 스트림들로 변환하는 장치이다. 본 논문에서는 한국전자통신연구원에서 개발한 에미터 크기가 $2 \times 8 \mu\text{m}^2$ 인 SiGe HBT를 사용하여 1:4 디멀티플렉서를 설계하였다. 설계된 디멀티플렉서 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 800mVp-p와 400mVp-p, 20%-80% 간의 천이 시간인 상승시간 및 하강시간은 각각 37ps와 36ps이었으며, 전력소모는 1.40W이었다.

본 논문에서 설계한 광통신용 디멀티플렉서의 경우 일반적인 경우 보다 약 40% 정도의 적은 전력소모가 있었으며, 한국전자통신연구원에서 개발한 SiGe HBT를 이용하여 제작할 예정이다.

참고 문헌

- [1] 박형부, "10Gbps급 고속 IC의 기술동향 및 국내 현황," *전자공학회지*, 제22권, 제2호, pp. 123-135, Feb. 1995.
- [2] H. M. Rein, "Multi-Gigabit-Per-Second Silicon Bipolar ICs for Future Optical-Fiber Transmission Systems," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 3, pp. 664-675, June 1988.
- [3] H. M. Rein, et al., "Suitability of Present Silicon Bipolar IC Technologies for Optical Fibre Transmission Rates around and above 10 Gbit/s," *IEE Proceeding*, vol. 137, Pt. G, no. 4, pp. 251-260, Aug. 1990.
- [4] K. Runge, et al. "Silicon Bipolar Integrated Circuits for Multi-Gb/s Optical Communication Systems," *IEEE Journal of Selected Areas in Communications*, vol. 9, no. 5, pp. 636- 644, June 1991.
- [5] H. Ichino, et al., "Over-10-Gb/s ICs for Future Lightwave Communications," *IEEE Journal of Lightwave Technology*, vol. 12, no. 2, pp.

308-319, Feb. 1994.

- [6] L. I. Andersson, et al., "Silicon Bipolar Chip-set for SONET/SDH 10 Gb/s Fiber-Optic Communication Links," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 3, pp. 210-218, March 1995.
- [7] Y. M. Greshishchev, et al., "A Fully Integrated receiver IC for 10Gb/s Data Rate," *ISSCC Digest of Technical Papers*, pp. 52-53, Feb. 2000.
- [8] Q. Huang, et al., "The Impact of Scaling Down to Deep Ssubmicron on CMOS RF Circuits," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 7, pp. 1023~1036, July 1998.
- [9] C. Svensson, et al., "RF Integration into CMOS and Deep-Submicron Challenges," *IEEE Design & Test of Computers*, vol. 16, no. 3, pp. 112~116, July 1999.
- [10] M. Ohhata, et al., "11Gbit/s Multiplexer or Demultiplexer using 0.15um GaAs MESFETs," *Electronics Letters*, vol. 26, no. 7, pp. 467-468, March 1990.
- [11] T. Harada, et al., "Si Bipolar Multiplexer, Demultiplexer, and Prescaler ICs 10Gb/s SONET Systems," *ISSCC Digest of Technical Papers*, pp. 154-156, Feb. 1993.
- [12] A. Felder, et al., "46 Gb/s DEMUX, 50 Gb/s, and 30 GHz Static Frequency Divider in Silicon Bipolar Technology," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 4, pp. 481-486, April 1996.
- [13] M. Kurisu, et al., "A Si Bipolar 21-GHz/320-mW Static Frequency Divider," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 11, pp. 1626-1631, Nov. 1991.

이 상 흥(Sang-Heung Lee)

정회원



1988년 2월 : 충남대학교 공과대학
전자공학과 졸업 공학사
1992년 2월 : 충남대학교 대학원
전자공학과 졸업 공학석사
1998년 2월 : 충남대학교 대학원
전자공학과 졸업 공학박사

1990년 10월~1991년 3월 : 한국전자통신연구원 화

합동집적회로연구실 위촉연구원

- 1995년 3월~1998년 3월 : 한국과학기술원 정보전자연구소 위촉연구원
 - 1998년 4월~1999년 6월 : 한국전자통신연구원 박사후연수연구원(Post-Doc.)
 - 1999년 7월~현재 : 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 SiGe소자팀 선임연구원으로 재직중이며, 회로설계, 측정 및 모델변수 추출을 담당하고 있음.
- <주관심 분야> RF회로 설계/VLSI 설계, 소자 모델링 및 시뮬레이션, Interconnection 모델링

강진영(Jin-Yeong Kang)

비회원



1977년 2월 : 서울대학교
졸업 학사
1979년 2월 : 한국과학기술원
물리학과 졸업 이학석사
1991년 2월 : 한국과학기술원
물리학과 졸업 이학박사

- 1979년 2월~현재 : 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 SiGe소자팀 팀장으로 재직중임
- <주관심 분야> SiGe반도체, 반도체소자공정

송민규(Min-Kyu Song)

정회원



1982년 2월 : 한양대학교
공과대학 화학공학과
졸업 공학사
1985년 6월 : Drexel University,
화학공학과 졸업
공학석사

- 1988년 8월 : Drexel University, 화학공학과 졸업 공학박사
 - 1989년 2월 : University of South Florida, 전기전자공학과 연구 조교수
 - 1989년 3월~현재 : 한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 부장으로 재직중임
- <주관심 분야> 반도체 소자공정개발, 전자소자 및 광소자 패키징