

Cyclic Suffix를 사용한 OFDM 기반의 25 Mbps 무선 ATM 모뎀의 ASIC Chip 설계

정회원 박경원*, 박세현*, 양원영*, 조용수*

An ASIC Chip Design of an OFDM-based 25 Mbps Wireless ATM Modem Using Cyclic Suffix

Kyung-Won Park*, Se-Hyun Park*, Won-Young Yang*, Yong-Soo Cho* *Regular Members*

요 약

본 논문에서는 OFDM(Orthogonal Frequency Division Multiplexing) 시스템에서 사용되는 보호구간을 하드웨어로 효율적으로 구현할 수 있는 기법을 제안하고, OFDM기반의 25 Mbps 무선 ATM 모뎀에 적용하여 ASIC 칩을 설계한다. OFDM 시스템에서는 가장 긴 delay spread 보다 긴 cyclic prefix를 삽입하여 채널의 선형 컨볼루션을 이산 Fourier 영역에서 circular 컨볼루션으로 변형함으로써 부채널간의 직교성을 유지하고, OFDM 블록내의 심플렉스 간섭을 방지한다. 그러나 OFDM 시스템에서 이러한 cyclic prefix를 사용하기 위해서는 원래 샘플을 저장하고 각 블록의 시작 위치에 cyclic prefix를 붙이기 위한 추가적인 하드웨어가 송신단에서 요구된다. 본 논문에서는 cyclic suffix를 사용한 새로운 기법을 제안하고, 제안된 기법이 기존의 cyclic prefix 기법에 비하여 매우 적은 하드웨어로 동일한 성능을 갖게 됨을 확인한다. 마지막으로 제안된 기법을 OFDM기반의 25 Mbps 무선 ATM 모뎀의 ASIC 칩 설계에 적용하여 그 성능을 확인한다.

ABSTRACT

In this paper, an efficient H/W implementation technique for guard interval in OFDM(Orthogonal Frequency Division Multiplexing) systems is proposed and applied to ASIC chip design of an OFDM-based 25 Mbps wireless ATM modem. In OFDM systems, a cyclic prefix, longer than the largest multipath delay spread, is usually inserted to maintain the orthogonality of subchannels, by making the linear convolution of the channel look like circular convolution inherent to the discrete Fourier domain, as well as to prevent the ISI(Intersymbol Interference) within the OFDM block. However, the OFDM system using the cyclic prefix requires an additional H/W in transmitter in order to store the original samples and to append the cyclic prefix to the beginning of each block. In this paper, a new approach using a cyclic suffix is proposed and shown to have the same performance with the previous approach using cyclic prefix, even with a significantly lower H/W complexity. Finally, the performance of the proposed approach is demonstrated by applying it to ASIC chip design of an OFDM-based 25 Mbps wireless ATM modem.

I. 서 론

무선 ATM은 유선 ATM망에서 지원되는 25

Mbps 이상의 광대역 멀티미디어 서비스를 저속의 이동환경에서 국내·외의 무선채널을 통해 제공하는 것을 목표로 한다. 즉 5 GHz, 17 GHz, 60 GHz의 고주파 대역을 이용하여 수십 수백 Mbps

* 중앙대학교 전자전기공학부 (yscho@cau.ac.kr)

논문번호 : 99443-1108, 접수일자 : 1999년 11월 8일

※본 연구는 1998년 한국학술진흥재단의 학술 연구비에 의하여 지원되었습니다.

무선 데이터 전송을 계획하고 있으며, 다양한 서비스와 전송속도로 다양한 품질의 데이터를 제공할 것을 목표로 하고 있다. 무선 ATM에 관련된 대표적인 연구로는 유럽 RACE 프로젝트에서 연구된 MBS, ACTS의 Magic WAND^[1]와 MEDIAN^[2], Olivetti Research Lab의 RATM, Lucent Bell Lab의 SWAN과 BAHAMA, NTT의 AWA, NEC의 WATMnet 등을 들 수 있다. 무선 ATM 핵심기술에 대한 국제 표준화 작업은 1996년 6월에 결성된 ATM Forum의 WATM WG에서 이루어지고 있다^[3]. 현재 WATM WG에서는 WATM에 필요한 규격 1.0을 작성중인데, 이 규격은 ATM Forum UNI(User-to-Network Interface) 4.0 및 PNN(Private Network-to-Network Interface) 1.0 규격과 상호 호환될 수 있으며, 망간 연동 기능 없이 순수한 ATM Radio 인터페이스가 사용될 수 있음을 목표로 한다. 규격 1.0은 1999년 12월까지 규격을 완성될 계획이며 2000년에는 규격을 만족하는 WATM을 상용화할 예정이나, WATM 망이 구축되는 시점까지는 무선 LAN 분야에 우선 응용될 것으로 예상된다. 한편, IEEE 802.11은 ISM 밴드의 2.4 GHz를 사용하여 2 Mbps까지 전송할 수 있는 무선 LAN의 물리계층과 MAC(Medium Access Control) 계층을 규정하고 있지만, 고속의 멀티미디어 서비스를 위해 1999년 3월 IEEE 802.11 TGa(Task Group a)에서 5 GHz 대역에서 6~54 Mbps의 전송속도가 가능한 OFDM 방식의 고속 무선 LAN의 표준 초안인 IEEE 802.11a를 확정하였으며, 1999년 9월 표준안으로 확정되었다^[4]. IEEE 802.11a는 ETSI BRAN, ATM Forum, 그리고 일본의 MMAC-PC 등에서 현재 진행하고 있는 5 GHz 대역에서의 광대역 액세스 표준화 시스템에서 공통의 물리계층으로 사용될 계획이다^[5].

OFDM방식은 수신단에서 단일 펄스 등화기를 사용하여 간단하게 페이딩 왜곡을 보상할 수 있으며 고속의 데이터 전송에 최근 널리 이용되고 있다^{[6][9]}. 송·수신단에서의 변·복조 과정은 각각 IFFT와 FFT를 사용하여 고속으로 구현할 수 있어, OFDM 방식은 최근 유럽의 디지털 오디오 방송(Digital Audio Broadcasting: DAB)과 디지털 지상 텔레비전 방송(Digital Terrestrial Television Broadcasting: DTTB)의 전송방식으로 채택되었으며 ETSI BRAN, MMAC-PC 그리고 IEEE 802.11a등에서도 물리계층 전송방식으로 채택되었다. 또한, 유선 전화망을 이용한 광대역 디지털 통신 시스템에도

DMT(Discrete Multi-Tone)라는 이름으로 적용되어 ANSI T1E1.4 Working Group에서 ADSL(Asymmetric Digital Subscriber Loop) 표준으로 채택되었다. 이러한 OFDM 시스템에서는 인접한 OFDM 심볼 사이에 채널의 임펄스 응답보다 긴 CP(Cyclic Prefix)를 보호구간(guard interval)에 삽입함으로써 ISI(Intersymbol Interference)와 ICI(Inter-channel Interference)의 영향을 제거한다. CP는 부채널(subcarrier)의 직교성을 유지하기 위해서 OFDM 심볼의 바로 앞 보호구간에 그 OFDM 심볼의 마지막부분을 보호구간의 길이 만큼 복사하여 구성하나, 보호구간에 삽입하고자 하는 데이터는 삽입 위치보다 시간영역에서 뒤에 존재하므로 CP를 삽입하는 불복을 하드웨어로 구현할 경우 OFDM 심볼을 저장할 버퍼나 메모리가 필요하게 되어 하드웨어 복잡도가 증가하게 된다. 따라서 본 논문에서는 성능면에서는 CP를 사용할 경우와 동일하지만 하드웨어 복잡도를 매우 줄일 수 있는 Cyclic Suffix(CS) 방식을 제안한 후, 제안된CS 방식을 사용하여 OFDM 기반의 25 Mbps 무선 모뎀을 설계하고 ASIC 칩으로 구현한다.

MEDIAN이나 Zipper Duplex방식의 DMT VDSL(Very-high bit rate Digital Subscriber Line)에서는 CP외에 CS가 현재 사용되고 있으나, 이 경우에는 RF스위칭이나 지연시간의 보상 또는 upstream과 downstream의 직교성(orthogonality) 유지, 즉 NEXT(Near-end crosstalk) 방지를 위하여 사용된다. 본 논문에서 제안된 CS방식은 CP를 사용함으로써 발생하는 송신단에서의 하드웨어를 줄이기 위함이기 때문에 그 사용 목적이 다르며, 위에서 언급한 지연시간 보상 또는 NEXT방지등의 추가적인 기능을 위해서는 본 논문에서 제안된 CS방식에 위 기능을 고려한 CS를 추가하여 사용할 수 있다.

본 논문에서는 모뎀 설계 시 OFDM방식의 시스템에서 필요한 CP의 효율적인 하드웨어 구현 방법을 제안하며, 성능 및 하드웨어 복잡면에서 현재 사용되는 CP방식과 비교한다. 본 논문의 II장에서는 TDMA 기반의 MAC을 사용하는 Data Link하에서 OFDM 무선 접속방식을 사용하여 5 GHz 주파수대에서 25 Mbps 전송이 가능한 무선 ATM 모뎀의 파라미터를 설계한다. III장에서는 기존의 CP방식에 대하여 검토한 후, 이에 비해 적은 하드웨어 복잡도를 갖지만 동일한 성능을 내는 CS 방식을 제안한다. IV장에서는 모의 실험을 통하여 제안된 CS방식의 하드웨어 복잡도 및 성능을 기존의 CP방식과 비

교하여 분석한 후, II장에서 설계된 25 Mbps 무선 ATM 모델에 적용하여 ASIC Chip을 설계한다. V 장에서는 본 논문의 결론을 맺는다.

II. 25 Mbps 무선 ATM 모델의 설계

WATM WG의 목표는 다양한 무선망 접속(cellular, WLL, satellite등)을 통하여 ATM 기반의 광대역망을 사용할 수 있도록 규격을 작성하고 표준화하는 것이다. 이를 위하여 WATM WG에서는 1차적으로 microcell/ picocell 영역을 기본으로 하는 WATM 규격을 작성하고 있다. 무선 폴리계층은 고속 무선 서비스를 위하여 제공된 5 GHz 주파수 대역에서 25 Mbps 전송을 목표로 하고 있으며 할당된 채널의 대역폭은 21 MHz로서 스펙트럼 효율이 높은 변복조 방식을 요구한다. 육내의 환경하에서 단말기는 도플러 주파수 $f_D = 52$ Hz까지 저속 이동과 낮은 전력레벨을 요구한다.

그림 1은 OFDM 방식을 사용한 25 Mbps 무선 모델의 기저대역 블록도를 나타낸다. 에러정정 부호화기를 통과한 비트열은 심볼로 맵핑된 후, 직·병렬 변환기를 거쳐 N 개의 부반송파에 의해 변조되는데 이 때 필요에 따라 비트 인터리빙과 심볼 인터리빙이 수행된다. 고출력 증폭기(High-Power Amplifier: HPA)에 입력되는 i 번째 OFDM 심볼은 사전 보상기(precompensator)를 사용하지 않은 경우 다음과 같이 표현된다.

$$x(t) = \sum_{k=0}^{N_c-1} X_i(k) e^{j2\pi(k_f + kd)t} \quad (1)$$

$lT_{sc} \leq t \leq (l+1)T_{sc}$

여기서 $X_i(k)$ 는 데이터 심볼이고, T_{sc} 는 부반송파의 심볼주기를 나타낸다. $\Delta f = 1/T_{sc}$ 는 인접한 부

반송파간의 주파수 간격을 나타내며, f_c 는 반송파 주파수를 의미한다. 식 (1)을 $t = nT_{sc}$ ($n=0, 1, \dots, N-1$)에서 이산화된 기저 대역 신호로 나타내면 다음과 같이 주어지며 이는 IFFT에 의해 구현된다.

$$x_i(n) = \sum_{k=0}^{N_c-1} X_i(k) e^{j2\pi kn/N} \quad (2)$$

$n=0, 1, \dots, N-1$

채널의 지연확산(delay spread)에 의한 심볼간 간섭을 방지하기 위해 CP를 삽입한 후 신호는 다음과 같이 주어진다.

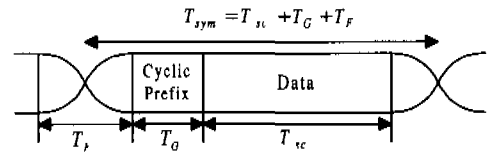


그림 1. OFDM 심볼의 시간영역 구조

$$\hat{x}_i(\tilde{n}) = \sum_{k=0}^{N_c-1} X_i(k) e^{j2\pi k\tilde{n}/N} \quad (3)$$

$\tilde{n} = -N_G, \dots, 0, \dots, N-1$

여기서 N_c 는 보호구간에 사용된 샘플 수를 나타내며, “~”는 CP방식을 적용한 후의 OFDM 신호를 의미한다. 따라서 일반적인 OFDM 심볼의 주기는 그림 2에 나타난 바와 같이 $T_{sym} = T_{sc} + T_G + T_F$ 가 된다. 여기에서 T_G 는 보호구간, T_F 는 필터링(raised cosine filtering)에 필요한 시간을 나타내며 이산화 주기 T_s 는 T_{sc}/N 으로 주어진다. 고출력 증폭기를 통해 증폭된 후 다중경로 페이딩을 갖는 무선채널을 통과해 수신단에 수신된 신호는 먼저

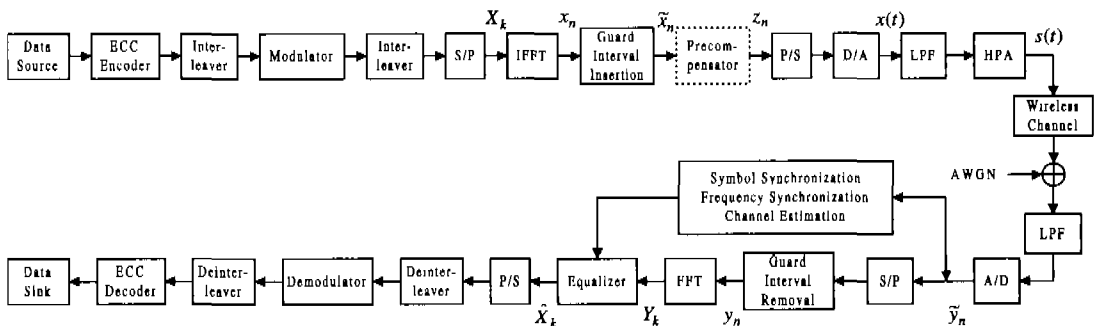


그림 2. 25 Mbps 무선 ATM 모델(기저 대역)의 블록도

표 1. 25 Mbps ATM 모델의 파라미터

Parameters \ Scheme	Scheme A	Scheme B
Code Rate	1/2	2/3
Modulation	16-QAM	8-PSK
Number of Subcarriers	64(Used:64 × 0.859375=55, Virtual:9)	
Payload	55 × 4/2=110	55 × 3 × 2/3=110
$T_{sym}(\mu s)$	110/(25 × 10 ⁶)=4.40($T_F=0$)	
$T_{sc}(\mu s)$	4.40(80 samples)-0.88(16 samples)=3.52(64 samples)	
$\Delta f (=1/T_{sc})(MHz)$	0.284091	
$T_c(ms)$	3.52/64=55.00	
Bandwidth(MHz)	18.18182	

보호구간이 제거되고 FFT에 의해 복조되며, 단일 펄스 동기화와 비터비 복호기에 의해 복호된다. 송신단에서는 비트 인터리빙과 심볼 인터리빙이 이루어지며, 수신단에서는 이에 해당하는 역인터리빙이 수행된다.

무선 ATM에서 규정하고 있는 전송 데이터의 단위는 424 비트로 구성된 셀이며, MAC에서 요구되

는 오버헤드 16 비트를 포함하여 물리계층에는 셀당 440 비트가 입력된다. 표 1은 본 논문에서 사용된 25 Mbps 무선 ATM 모델의 파라미터를 보여준다

무선 물리계층에서 ATM 셀은 440 비트로 구성되어 있으므로, 이를 4등분하여 전송할 경우 하나의 OFDM 심볼에 110 비트가 전송된다. 즉 payload가 110 비트가 되고, 4개의 OFDM 심볼을 전송할 경우 1 ATM 셀이 전송된다. 25 Mbps의 전송률을 만족시키기 위하여 1/2 부호율의 길쌈부호를 갖는 16-QAM방식의 방식 A와 2/3 길쌈부호를 갖는 8-PSK방식의 방식 B를 사용하며, 부채널의 수는 모두 64개이다. 여기서 인접채널의 간섭을 방지하고 25 Mbps의 전송율을 갖게 하기 위하여 보호구간으로 9개의 가상 반송파(virtual carrier)를 두었다. 또한 보호구간에 16개의 CP를 삽입하였다.

그림 3은 표 1의 파라미터를 기반으로 25 Mbps 무선 ATM 모델의 ASIC Chip 구현을 위한 블록도이다. 1/2 부호율의 길쌈부호를 이용하고 16-QAM 변조기법을 사용한 방식 A를 구현하였으며, 그림 3에서는 길쌈부호기와 동기화부분이 생략되었다. 기본적인 숫자 표현방법은 해상도를 고려하여 산출된 13비트를 부동소수점을 사용하였으며, 일부 블록에서는 덧셈 연산의 해상도를 높이기 위해 23비트 고정소수점을 사용하였다. 연립오류를 방지하기 위해 인터리버단은 육·내외 환경에서 많은 모의 실험을

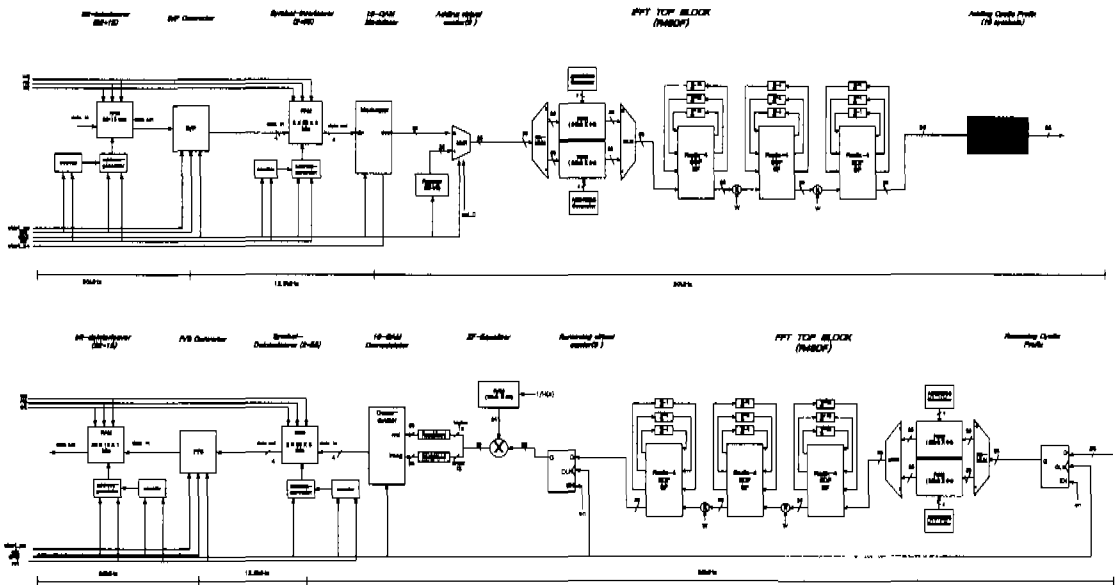


그림 3. 25 Mbps 무선 ATM 모델의 ASIC chip 설계 블록도

볼하여 우수한 성능을 보이는 20(Rows) *22 (Columns)*2 RAM(1 bit)인 비트 인터리버와 2(Rows)*55(Columns)*2 RAM(4 비트) 심볼 인터리버를 함께 사용하였다. 일반적으로 심볼 인터리버는 16-QAM으로 변조된 심볼 단위를 처리하나, 변조된 심볼은 실수부와 허수부 각각 13비트 부동소수점으로 구성되어 하나의 심볼이 26비트로 표현되므로 비트 단위로 처리할 때 보다 칩의 면적이 증가하게 된다. 그래서 4비트 데이터가 하나의 심볼로 대응되는 점을 이용하여 S/P부에서 4비트로 변환시켜 4비트 데이터를 하나의 심볼로 처리하여 미리 심볼 인터리빙한 후 16-QAM으로 변조시키면 칩의 면적을 6.5배 정도 줄이면서 동일한 결과를 얻어낼 수 있다. 16-QAM 변조부와 복조부는 정상도의 규칙성을 이용하여 게이트 수준에서 간단하게 구성하였다.

다른 모뎀 기술과 달리 OFDM 방식 모뎀의 핵심은 FFT이며, 응용에 따라 FFT의 크기, 정확도, 그리고 속도는 다양하게 설계할 수 있다. 표 2는 여러 응용분야에서 사용되는 OFDM 방식 기반 모뎀의 FFT 파라미터를 보여준다^[10].

표 2. 전형적인 OFDM 방식 모뎀의 FFT 관련 파라미터

응용분야	FFT 크기	클럭속도 (MHz)	Data 정밀도 (비트)	FFT 정밀도 (비트)
DVB	1024-2048	20	8	10-16
ADSL downstream	256	20	12-16	12-20
ADSL upstream	32	10	12-16	12-20
WLAN	16-64	20-200	8-10	10-16

본 논문에서는 FFT/IFFT를 20MHz 클럭하에서 동작하게 설계하였다. 직렬로 입력되는 신호에 추가 데이터(overhead data)를 삽입(혹은 제거)하거나 병렬(혹은 직렬)로 변환할 경우, 데이터의 전송속도가 일정하게 유지되기 위해서는 각 블록을 구동시키는 클럭을 적절하게 분주해야 한다. 클럭 분주 문제로 인하여 발생하는 하드웨어의 오버헤드를 줄이기 위하여 송신부의 16-QAM 변조부, virtual carrier 삽입부, CP 삽입부, 수신부의 16-QAM 복조부, virtual carrier 제거부, CP 제거부는 FFT/IFFT와 동일한 20MHz로 동작하도록 설계하였다. 이 때 변조방식을 달리하여 변조부에 8-PSK를 사용해도 이 부분의 속도는 변화하지 않는다. 또한 20Msps(sample

per second)의 baud rate를 사용할 경우 5 GHz 무선 ATM 규격에 규정된 21 MHz 채널 대역폭을 만족시킨다.

FFT 블록에서는 연산속도를 높이기 위해 radix-4 BF(Butterfly)를 사용하고 지연소자를 이용하여 BF 입력을 조절하는 R4SDF(Radix-4 Single-Path Delay Feedback) pipeline FFT를 사용하였다. R4SDF는 $\log_4 N - 1$ 의 곱셈기, $8 \log_4 N$ 의 덧셈기, $N-1$ 크기의 메모리를 필요로 한다. 이 방식은 다른 방식에 비해 덧셈기를 많이 사용하며 제어가 비교적 복잡하나 곱셈기와 메모리의 사용량이 적어 효율적으로 하드웨어를 구성할 수 있다. 그림 3의 FFT/IFFT 블록은 $N=64$ 의 R4SDF pipeline FFT/IFFT를 이용하여 설계된 것이다.

그림3에 나타나 있지 않은 CP 삽입부에 대한 설명과 이를 적은 하드웨어로 구현할 수 있는 기법에 대해서는 다음 절에서 설명한다.

III. Cyclic Suffix를 사용한 OFDM방식의 무선 모뎀

본 절에서는 기존의 CP방식을 고찰하고 이를 보다 효율적으로 설계할 수 있는 방식을 제안한다. 그림 4는 OFDM 시스템을 간략하게 도시한 것으로 IFFT후 보호구간에 CP를 삽입하고 제거하는 과정을 보여준다. 각 심볼은 N 개의 유효데이터와 N_0 개의 CP로 구성된 것으로 가정하였다. CP는 메모리를 갖는 채널 하에서 전송된 이전 심볼에 의해 현 심볼이 손상되는 것을 방지하기 위해 사용되며, 시간 영역에서 심볼의 마지막부분을 보호구간에 복사하여 그림 5(a)와 같이 유효 데이터가 환형음 유지하도록 구성된다.

OFDM 시스템에서 CP가 삽입되어 송신되는 OFDM 신호는 다음과 같이 표현된다.

$$\tilde{x}_i(\tilde{n}) = \sum_{k=0}^{N-1} X_i(k) e^{j2\pi k \tilde{n} / N} \quad (4)$$

채널을 통과하여 수신되는 신호는 위상지터, Doppler 천이 등에 의한 주파수 오프셋과 샘플러에서의 타이밍 오프셋이 존재하므로 이를 고려하여 표현하면 다음과 같다.

$$\tilde{y}_i(\tilde{n}) = \sum_{k=0}^{N-1} X_i(k) H_i(k) e^{j2\pi \frac{(k+k_0)(\tilde{n}+0)}{N}} + \tilde{w}_i(\tilde{n}) \quad (5)$$

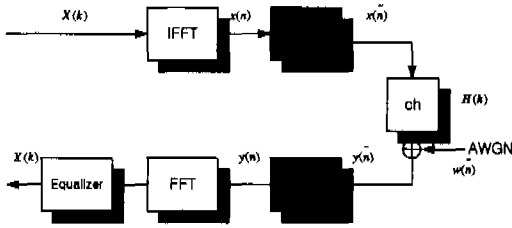


그림 4. 간략화된 OFDM 시스템의 블록도

여기서, f_{offset} 은 주파수 오프셋, Δf 는 부채널 간격, $\epsilon (= f_{offset}/\Delta f)$ 는 정규화된 주파수 오프셋, δ 는 정규화된 타이밍 오프셋, $H_i(k)$ 는 i 번째 심볼의 채널의 주파수 응답을 나타낸다.

채널을 통과하는 동안 인접 심볼에 의해 ISI가 발생하므로 수신 신호에서 손상된 CP를 제거하고 ISI의 영향을 받지 않은 N 개의 유효 데이터를 추출하여 FFT로 복조하면 다음과 같다.

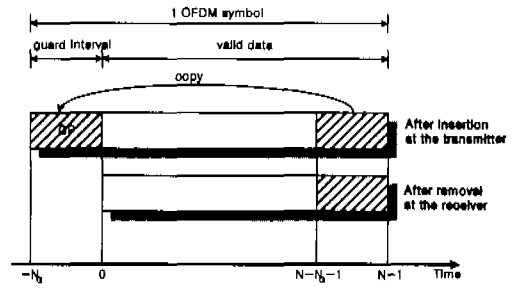
$$\hat{y}_i(n) = \sum_{k=0}^{N-1} X_i(k) H_i(k) e^{j2\pi(k+\epsilon)(n+\delta)/N} + \hat{w}_i(n) \quad (6)$$

$$\begin{aligned} \hat{Y}_i(k) &= \frac{1}{N} \sum_{n=0}^{N-1} \hat{y}_i(n) e^{-j2\pi kn} \\ &= X_i(k) H_i(k) e^{j2\pi k\epsilon} + \hat{W}_i(k) \end{aligned} \quad (7)$$

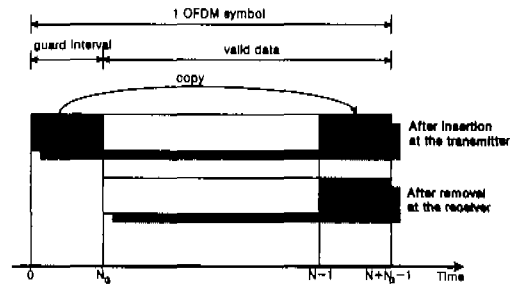
위 식에서 수식 전개와 편위상 주파수 오프셋은 고려하지 않았으나, 주파수 오프셋이 존재하는 일반적인 경우에도 진행 과정이 동일하다. 모뎀 초기화 과정에서 훈련 구간동안 훈련 신호나 수신신호를 사용하여 위의 주파수 오프셋 “ ϵ ”와 타이밍 오프셋 “ δ ”를 추정하며, 훈련 신호와 수신신호를 사용하여 채널, $H_i(k)$ 를 추정한다. 추정된 채널 값을 사용하여 주파수 영역 등화기를 구성함으로써 훈련기간이 종료된다.

한편, 제안된 CS방식은 그림 5(b)에 나타나 바와 같이 OFDM 심볼의 앞 부분 N_G 개의 데이터를 뒷부분의 보호구간에 복사하여 구현한다. CP방식은 보호구간에 삽입하고자 하는 데이터가 현재는 알 수 없는 미래의 데이터이기 때문에 CP로 사용될 미래의 데이터가 들어올 때까지 저장하고 처리할 하드웨어가 추가로 필요한 반면, 제안된 CS방식은 미리 알고 있는 데이터를 사용하기 때문에 하드웨어를 크게 줄일 수 있다.

CS방식을 사용한 경우 채널을 통해 전송되는 i 번째 OFDM신호는 다음과 같다.



(a) cyclic prefix



(b) cyclic suffix

그림 5. 보호 구간의 삽입 및 제거

$$\hat{x}_i(\hat{n}) = \sum_{k=0}^{N-1} X_i(k) e^{j2\pi k\epsilon} \quad \hat{n} = 0, 1, \dots, N+N_G-1 \quad (8)$$

여기서 “ $\hat{\cdot}$ ”는 CS방식을 적용한 후OFDM 신호를 나타낸다. 수신부에 수신되는 신호는 CP에서와 마찬가지로 주파수 오프셋과 타이밍 오프셋을 포함한 식으로 표현된다.

$$\hat{y}_i(\hat{n}) = \sum_{k=0}^{N-1} X_i(k) H_i(k) e^{j2\pi(k+\epsilon)(\hat{n}+\delta)/N} + \hat{w}_i(\hat{n}) \quad (9)$$

이전 심볼에 의해 데이터가 손상 받는 영역이 CP방식에서는 보호구간의 CP영역이지만, 제안된 CS방식에서는 유효데이터 영역이 손상을 입는다. 그러나 송신부에서 보호구간 삽입 시, 같은 데이터를 뒷부분의 보호 구간에 복사하므로 복사된 CS 영역은 채널을 통과한 후에도 이전 심볼에 영향을 받지 않게 된다. 그러므로 수신부에서 보호구간 제거 시, CS방식에서는 그림 5(b)와 같이 보호구간이 아닌 손상된 유효데이터 영역을 제거해야 하며, 제거된 후 신호는 다음과 같이 주어진다.

$$\hat{y}(n+N_G) = \sum_{k=0}^{N-1} X_i(k) H_i(k) e^{\frac{j2\pi(k+\theta)(n+N_G)}{N}} + \hat{w}_i(n+N_G) \quad (10)$$

CS방식의 경우에 보호구간이 제거된 신호는 CP방식과 달리 시간영역 인덱스가 보호구간의 크기인 부터 시작하고 원래의 n=0의 데이터는 보호구간에 존재한다. 결과적으로 CS방식의 경우에는 CP방식에 비해 유효데이터가 만큼 환형 이동된 상태로 표현된다. 즉, 시간 영역에서 환형 이동은 주파수 영역에서 선형 위상 이동으로 나타나는 DFT의 속성에 의해 FFT로 복조된 신호에 다음과 같이 위상 이동 발생한다. 여기에서도 수식 전개 편의상 주파수 음뺀은 고려하지 않는다.

$$\begin{aligned} Y_i(k) &= \frac{1}{N} \sum_{n=0}^{N-1} \hat{y}_i(n+N_G) e^{-\frac{j2\pi nk}{N}} \\ &= X_i(k) H_i(k) e^{\frac{j2\pi(N_G+\theta)k}{N}} + W_i(k) \end{aligned} \quad (11)$$

식 (7)로 표현되는 CP방식의 복조된 신호에 비하여 CS방식을 사용함으로써 만큼의 위상이동이 발생하며, 두 이 방식의 관계식은 다음과 같이 주어진다.

$$\begin{aligned} \hat{Y}_i(k) &= Y_i(k) e^{\frac{j2\pi N_G k}{N}} \\ &= Y_i(k) \theta(k) \end{aligned} \quad (12)$$

CS에 의한 위상이동 $\theta(k)$ 는 부채널 인덱스 k 에 관한 함수로 표현되며 부채널 인덱스가 커질수록 위상의 이동은 선형으로 증가한다. 그러나 CS방식을 사용함으로써 발생하는 위상의 이동은 원하지 않은 결과이므로 보상이 필요하지만, 추가적인 블록 없이 주파수영역 등화기만으로 보상이 가능하다. 즉, 훈련 심볼을 사용하여 채널을 추정할 경우 추정치에는 채널과 CS에 의한 위상이동이 함께 추정되므로, 별도의 위상이동에 대한 추정이 필요 없다. 따라서 추정된 채널치를 이용하여 계수를 설정하면 위상이동이 함께 보상된다. 이 과정을 간단하게 요약하면 다음과 같다.

1. [훈련기간] 훈련 심볼과 수신 심볼을 사용하여 채널을 추정한다. 여기에서 $X_p(k)$ 는 주파수 영역에서 전송한 훈련심볼이고 $Y_p(k)$ 는 수신심볼을 나타낸다.

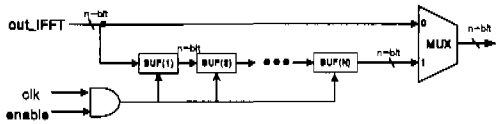
$$\begin{aligned} \hat{H}(k) &= \frac{\hat{Y}_p(k)}{X_p(k)} \\ &= H_p(k) e^{\frac{j2\pi N_G k}{N}} + W_p(k) \\ &= H_p(k) \theta(k) + W_p(k) \end{aligned} \quad (13)$$

2. [데이터 전송기간] 추정된 채널치에 $\theta(k)$ 항이 포함되어 있으므로 이를 이용하여 CS에 의한 위상 이동을 보상한다. 여기서 잡음의 영향은 무시하고 훈련심볼과 1번째 심볼이 경험한 채널은 동일하다고 가정한다.

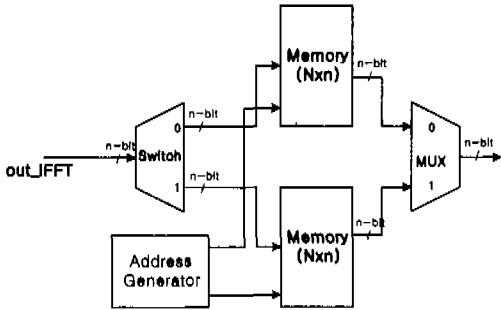
$$\begin{aligned} \hat{X}_i(k) &= \frac{\hat{Y}_i(k)}{\hat{H}(k)} \\ &= \frac{H_i(k) X_i(k) e^{\frac{j2\pi N_G k}{N}} + W_i(k)}{H_p(k) e^{\frac{j2\pi N_G k}{N}} + W_p(k)} \\ &\approx X_i(k) \end{aligned} \quad (14)$$

제안된 CS방식을 이용하여 보호구간을 구현할 경우 필요한 가정은 다음과 같다. FFT블록의 파이프라인 구조가 R2SDF(Radix-2 Single-path Delay Feedback), R4SDF (Radix-2 Single-path Delay Feed back), R4SDC(Radix-4 Single-path Delay Commutator) 등과 같이 입·출력 관계가 직렬로 입력되어 직렬로 출력되는 파이프라인 구조이며, 주파수 영역에서 순서대로 출력되는 DIT (Decimation-in -Time) FFT구조이고, IFFT 블록과 보호구간 삽입구간을 동일한 클럭으로 동작시켜 보호구간을 삽입할 영역이 확보되었을 경우에 제안된 방식이 효율적으로 적용될 수 있다. 보통 인터리버 메모리를 이용하여 클럭을 동일하게 구성한다.

송신부의 하드웨어 구현 측면에서 CP방식과 CS방식을 비교하여 살펴보면 다음과 같다. CP방식에서는 IFFT된 데이터는 직렬로 CP삽입부로 입력되는데 삽입하고자 하는 데이터는 삽입할 위치보다 뒤에 있기 때문에 이 데이터가 입력될 때까지 먼저 입력되는 신호를 저장해야 한다. 이를 위해 버퍼나 메모리가 필요하며 내부적으로 FFT 크기 만큼의 클럭 지연이 발생한다. 그림 6(a)는 CP방식을 하드웨어로 구현하기 위한 두 가지 방법을 보여준다. 방법 #1에서는 버퍼를 사용하여 FFT 크기 N 만큼 지연시켜 출력한다. 이 때 MUX (Multi-plexer)의 0번 편에 입력된 신호는 1번 편에 입력되는 신호보다 한 OFDM 심볼만큼 빠르므로 MUX의 제어신호를 이용하여 스위치 시킴으로써 CP를 삽입한다. 방법 #2은 메모리를 이용하여 한 OFDM 심볼을 저장하고

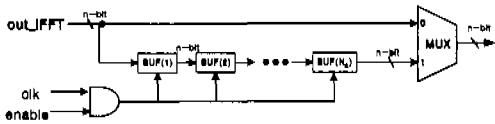


< #1 >

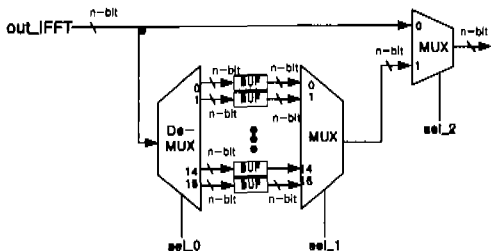


< #2 >

(a) cyclic prefix



< #1 >



< #2 >

(b) cyclic suffix

그림 6. 각 방식에 따른 보호구간 구현 방법

CP를 삽입할 수 있도록 저장된 심볼의 뒷부분부터 출력되도록 주소를 생성한다. 또한 출력되는 동안 입력되는 데이터를 처리하기 위해 여분의 메모리가 필요하다. CP방식을 하드웨어로 구현할 경우 FFT 크기 N 에 비례하는 버퍼나 메모리가 필요하며, 또한 초기 클럭 지연도 이에 비례하여 발생한다.

한편, 제안된 CS 방식은 심볼의 앞부분의 데이터를 뒷부분에 삽입하므로 그림 6(b)에 나타난 바와 같이 입력되는 데이터를 보호구간의 크기 N_c 만큼만 버퍼에 저장하고 OFDM 심볼의 마지막 데이터가 출력된 후 저장된 데이터를 출력하여 CS를 구성한다. 하드웨어 복잡도는 기억장치에 영향을 받으므로 CS방식에서는 보호구간의 크기에 비례하여 증가한다.

CP방식에서 하드웨어 복잡도와 출력 지연은 FFT 크기 N 에 비례하여 증가하는 반면 CS 방식은 보호구간의 크기 N_c 에 비례하여 증가하므로 하드웨어 복잡도를 크게 줄일 수 있다. 또한 초기 클럭 지연도 발생하지 않는다. 표 3은 다양한 응용분야에서 각 방식을 하드웨어로 구현할 때 필요한 요소를 나타낸 것으로, CS방식을 사용할 경우 CP방식 보다 크게 하드웨어를 줄일 수 있음을 알 수 있다.

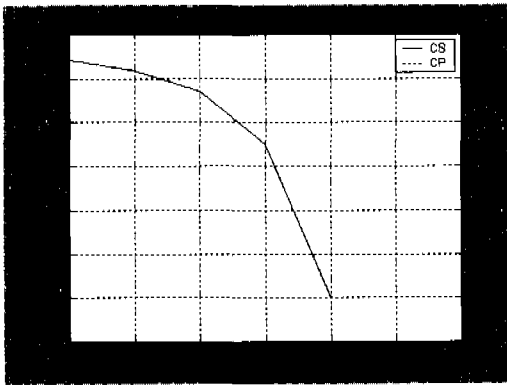
표 3. 다양한 응용분야에서 CP방식과 CS방식의 하드웨어 복잡도 비교 (#1/ #2)

		IEEE 802.11a (64,16)	DAB (512,128)	DVB	
				2K Mode (2K,128)	8K Mode (8K,512)
C P	메모리	64/128	512/1K	2K/4K	8K/ 16K
	초기 지연	64/48	512/384	2K/ 1920	8K/ 7680
C S	메모리	16/16	128/128	128/ 128	512/ 512
	초기 지연	0/0	0/0	0/0	0/0

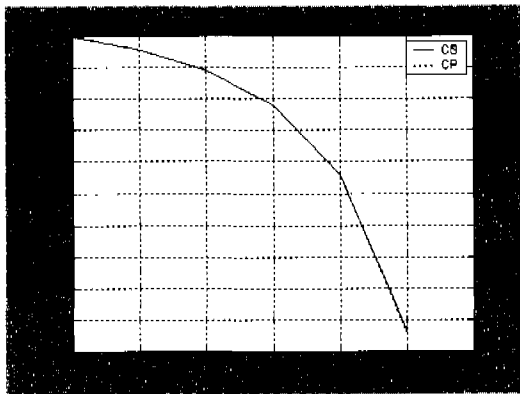
또한, CS방식의 경우 수신부에서 보호구간을 제거하는 위치가 기존의 CP방식과 동일하고, CS방식을 사용함으로써 인해 발생하는 위상이동도 기존의 OFDM 시스템에서 사용되던 FEQ만으로 보상이 가능하다. CS방식의 수신부 구조 역시, CP방식과 동일하므로 기존에 사용되던 CP방식을 사용하는 모델과 제안된 CS방식 모델의 호환성이 유지된다.

IV. 모의 실험 및 ASIC Chip 설계

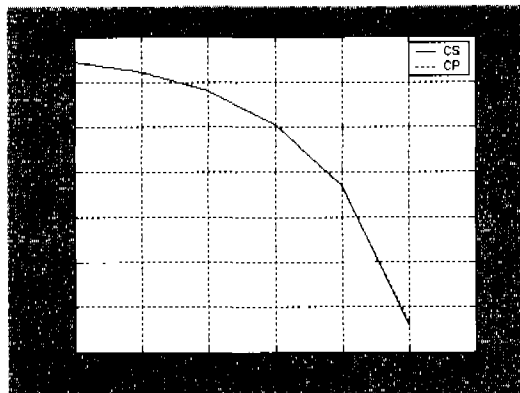
본 절에서는 본 논문에서 제안된 CS방식의 성능을 무선 채널하에서 기존의 CP방식과 비교하고 제안된 CS방식을 사용하여 25Mbps 무선 ATM 모델을 ASIC Chip으로 설계한다. 제안된 CS방식의 육내 환경에서의 성능을 분석하기 위해 육내 환경을



(a) AWGN 채널



(b) 실내 채널 #1



(c) 실내 채널 #3

그림 7. 무선 채널 환경에서 두 방식의 BER 성능

cluster간 평균시간($1/\Lambda$), ray간 평균 시간($1/\lambda$), cluster 전력 감쇄 시간상수(Γ), ray 전력감쇄 시간 상수(γ) 등을 토대로 모델링한 Saleh 모델을 사용

하였다^[11]. 모의 실험에 사용된 5 GHz대 무선 채널은 평균지연확산이 50 ns[rms] 이고, 이 때 사용된 채널 파라미터는 $1/\Lambda=356$ ns, $1/\lambda=60$ ns, $\Gamma=5$ ns, $\gamma=20$ ns이다. 또한, FFT 크기는 64, CS는 16으로 하였으며, 16-QAM을 입력신호로 사용하였다. 훈련신호는 다음에 주어진 IEEE 802.11a 모뎀의 Long training sequence를 사용하였다^[3].

$$L_{-26.26} = [1, -1, -1, 1, 1, -1, 1, -1, 1, 1, 1, 1, 1, 1, 1, 1, -1, -1, 1, 1, -1, 1, -1, 1, 1, 1, 1, 1, 1, 1, 0, 1, -1, -1, 1, 1, -1, 1, -1, 1, 1, -1, -1, -1, -1, -1, -1, -1, 1, 1, 1, -1, -1, 1, -1, 1, -1, 1, 1, 1, 1]$$

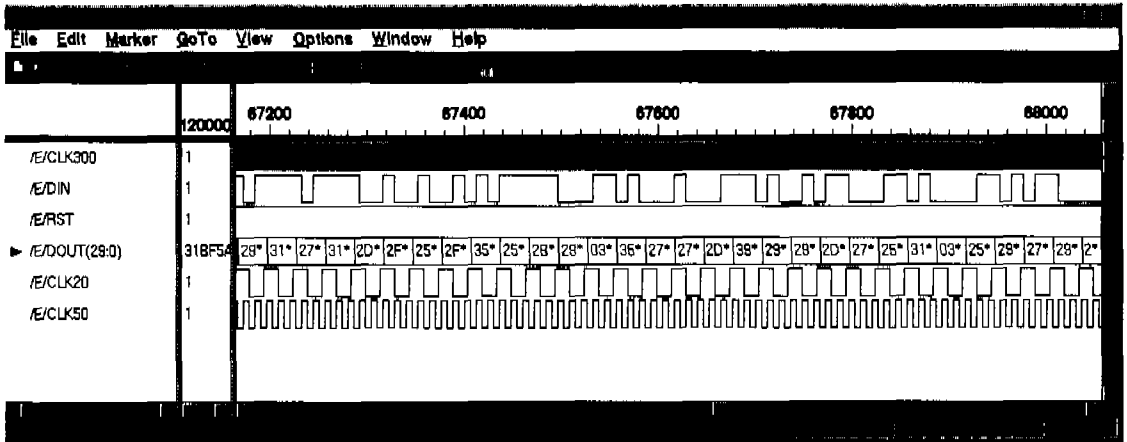
그림 7은 AWGN 환경과 실내 환경하에서 CP방식을 사용한 OFDM 모뎀과 본 논문에서 제안한 CS방식을 사용한 OFDM 모뎀의 비트 에러율을 보여준다. 이 그림으로부터 AWGN 환경과 실내 환경하에서 두 가지 방식이 거의 구별을 할 수 없을 정도로 동일한 성능을 갖게 됨을 알 수 있다.

또한, CP방식과 CS방식의 하드웨어 복잡도를 비교하기 위하여 VHDL(Very high-speed IC Hardware Description Language)로 코딩한 후 합성 결과를 비교 하였다. 이 때 삼성 SOG 공정의 Gate Array Library인 KG75를 Target Library로 사용하였으며, Synopsys사의 Designware에서 설계 및 논리 합성을 하였다. 표 4에 나타난 바와 같이 보호구간 삽입 블록을 제안된 CS 방식을 사용하여 구현할 경우 CP방식에 비하여 훨씬 작은 Cell Area를 사용하여 구현할 수 있다. 전체적으로 CS방식의 구현 방법 #1이 Cell Area와 Critical Path 면에서 가장 효율적이며, CP 방식의 구현 방법 #2가 가장 많은 Cell Area를 필요로 한다.

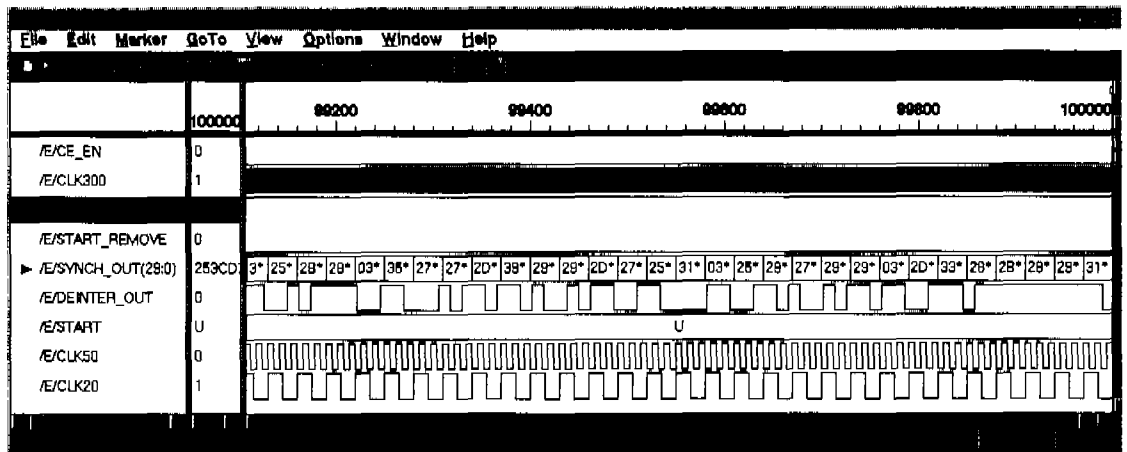
표 4. 각 방식에 따른 보호구간 삽입부의 설계 결과

	방법	Cell Area	Critical path
CP	방법 #1	13800	1.36 ns
	방법 #2	38282	2.01 ns
CS	방법 #1	4038	1.39 ns
	방법 #2	7250	5.20 ns

그림 8은 본 논문에서 제안된 CS방식을 사용하여 설계한 25 Mbps 무선 ATM 모뎀의 설계 결과를 보여준다. ASIC chip 설계의 기본 블록도는 그림 3에 주어져 있고, 설계 및 합성은 위와 동일한



(a) 송신부의 출력 파형



(a) 수신부의 출력 파형

그림 8. 25 Mbps 무선 ATM 모델의 출력 파형

환경에서 수행되었다. 그림 8의 송신부와 수신부의 출력 파형 결과로부터 송·수신 모델이 오류없이 설계되었음을 확인할 수 있다.

V. 결 론

본 논문에서 OFDM 방식의 시스템에서 효율적으로 보호구간을 구현할 수 있는 CS방식을 제안하였으며, 육내 환경에서 기존의 CP방식과 성능을 비교·평가 하였다. 또한, CP방식과 CS방식을 각 방법에 따라 각각 VHDL로 설계하여 Cell Area와 Critical Path 측면에서 비교하였고, 제안된 CS방식을 사용하여 실제 25 Mbps WATM 모델을 VHDL로 설계하여 그 성능을 확인하였다. 모의 실험 및

VHDL 설계 결과, 제안된 CS방식이 기존의 CP방식과 비교하여 성능의 차이는 없으면서도 하드웨어 설계 시, 작은 면적에서 초기 지연 없이 효율적으로 설계할 수 있음을 확인하였다. 마지막으로 제안된 CS방식을 25 Mbps WATM 모델 설계에 적용하여 적은 하드웨어로 주어진 사양을 만족하는 결과를 얻을 수 있었다.

참 고 문 헌

- [1] J. P. Aldis and M. P. Althoff, "Physical layer architecture and performance in the WAND user trial system," *ACTS Mobile Communications Summit, Granada, Spain, Nov. 1996*

- [2] C. Ciotti and J. Borowski, "The AC006 MEDIAN project - overview and state of the art," *ACTS Mobile Communications Summit*, Granada, Spain, Nov. 1996
- [3] IEEE 802.11a/D7.0, *High Speed Physical Layer in the 5 GHz band*, 1999
- [4] ATM Forum Technical Committee, *Requirements document for wireless ATM*, ATM Forum 98-0395, July 1998
- [5] ETSI BRAN, *Broadband Radio Access Networks (BRAN); High Performance Radio Local Area Network (HIPERLAN) Type 2; requirements and architectures for wireless broadband access and interconnection*, DTR/BRAN-010002 v0.1.3, Sep. 1998
- [6] L. J. Cimini, Jr., "Analysis and simulation of a digital mobile channel using orthogonal frequency division multiplexing," *IEEE Tran. Commun.*, vol. COM-33, no. 7, pp. 665-675, July 1985
- [7] M. Alard and R. Lassalle, "Principles of modulation and channel coding for digital broadcasting for mobile receivers," *EBU Tech. Review*, no. 24, pp. 3-25, Aug. 1987
- [8] J. A. C. Bingham, "Multicarrier modulation for data transmission: an idea whose time has come," *IEEE Commun. Mag.*, vol. 28, pp. 17-25, Mar. 1990
- [9] H. Sari, G. Karam, and I. Jeanclaude, "Transmission techniques for digital terrestrial TV broadcasting," *IEEE Commun. Mag.*, vol. 33, pp. 100-109, Feb. 1995
- [10] N. Weste and D. J. Skellern, "VLSI for OFDM," *IEEE Commun. Mag.*, vol. 36, pp. 127-131, Oct. 1998
- [11] A. M. Saleh and R. A. Valenzuela, "A statistical model for indoor multipath propagation," *IEEE J. on Selected Areas on Commun.*, vol. 5 no. 2, pp. 128-137, Feb. 1987

박 경 원(Kyoun-won Park)

정회원



1999년 2월 : 중앙대학교 전기공학
학과졸업
1999년 3월~현재 : 중앙대학교
전기공학과 석사과정
<주관심 분야> 디지털 통신시스
템, 디지털 신호처리

박 세 현(Se-hyun Park)

정회원



1986년 2월 : 중앙대학교 전자
공학과 학사
1988년 2월 : 중앙대학교 전자
공학과 석사
1998년 : Univ. of Massachusetts
at Amherst, 컴퓨터공학
박사

1988년 2월~1999년 2월 : 한국전자통신연구원 선임
연구원

1999년 3월~현재 : 중앙대학교 전자전기공학부
전임강사

<주관심 분야> 인터넷 보안, 무선 네트워크, 보안
VPN, 보안 Multicasting

양 원 영(Won-young Yang)

정회원



1971년 3월~1975년 2월 : 서울
대학교 공과대학 전기
공학학사
1981년 9월~1986년 8월 : Univ.
of Southern California 전
기공학 박사

1986년 9월~현재 : 중앙대학교
전자전기 공학부 교수

<주관심 분야> 디지털 통신시스템, 디지털 신호처리

조 용 수(Yong-soo Cho)

정회원



1984년 2월 : 중앙대학교 전자
공학과 졸업

1984년 1월~1984년 7월 : 금성
전기(주) 연구원

1987년 2월 : 연세대학교 전자
공학과 석사

1991년 5월 : The University of
Texas at Austin, Dept. of
Electrical and Computer

Eng. (Ph.D)

1992년 3월 ~ 현재 : 중앙대학교 전자공학과 부교수

<주관심 분야> 통신 신호처리, 고속 유·무선 모뎀