

LMDS용 Ka 밴드 MMIC 저잡음증폭기의 설계 및 제작

정회원 황인갑*

Design and Fabrication of Ka Band MMIC LNA for LMDS LNA

In-gab Hwang* *Regular Member*

요 약

본 연구에서는 Ka 밴드 대역의 LMDS에 사용될 수 있는 저잡음증폭기를 MMIC로 설계하고 제작하였다. 능동 소자로는 p-HEMT를 사용하였으며, 주파수가 높으므로 저주파 MMIC에서 사용되는 수동 소자인 spiral 인덕터나 MIM 커패시터를 사용하지 못하고 마이크로스트립라인을 이용하여 증폭기를 설계하였다. 증폭기 설계 시 안정도를 해결하고 잡음 지수를 낮추기 위하여 RC 피드백회로와 소스 인덕터를 사용하였으며, 제작된 증폭기는 4단 증폭기로 26.5 GHz에서 이득 27.4dB, 잡음지수 3.46 dB를 얻었다.

ABSTRACT

A Ka band MMIC LNA for LMDS was designed and fabricated. P-HEMT was used as the active devices and microstripline was used as the passive elements to design LNA instead of spiral inductors and MIM capacitors which are used for passive devices in low frequency MMIC's because of high frequencies. RC feedback circuit and source inductor were used to increase stability and to reduce noise figure. Four stage amplifier gives 27.4 dB gain and 3.46 dB noise figure at 26.5 GHz.

I. 서론

LMDS(Local Multipoint Distribution Network)는 작은 셀 지역을 대상으로 음성, 데이터, 영상 등 다양한 멀티미디어 정보를 초고속으로 제공하는 통신 시스템이다. 국내에서는 무선 CATV를 위주로 하여 개발되고 있으나 인터넷의 발전과 더불어 초고속 정보 전달 수단의 하나로 매우 빠르게 성장할 것으로 예측되고 있다.

LMDS는 기존의 정보 전달 매체인 휴대폰이나 PCS보다 매우 높은 수십 GHz의 주파수를 사용하

므로 사용되는 부품의 제작 시, 또는 제작된 부품을 이용한 제품 제작 시에 높은 주파수에 의한 기생 효과 때문에 많은 주의를 요한다. 이러한 기생 효과를 최소화하면서 제품을 개발할 수 있는 방법이 MMIC(Monolithic Microwave Integrated Circuit)를 이용하는 것이다.

MMIC는 저주파의 디지털 IC와 같이 초고주파 소자를 IC화하는 것으로 부품의 수를 줄이고 집적도를 높여 제품의 고성능화, 소형화, 경량화를 이룰 수 있다. 이 뿐만 아니라 MMIC는 사용되는 부품의 연결 등을 IC내에서 해결함으로써 하이브리드 방식에 비하여 기생 효과를 많이 줄일 수 있는 이점이 있다.

* 전주대학교 전자매체공학부(igh@www.jeonju.ac.kr)

논문번호 : 00121-0414, 접수일자 : 2000년 4월 14일

※ 본 연구는 2000년도 전주대학교 학술연구조성비의 지원으로 수행되었습니다.

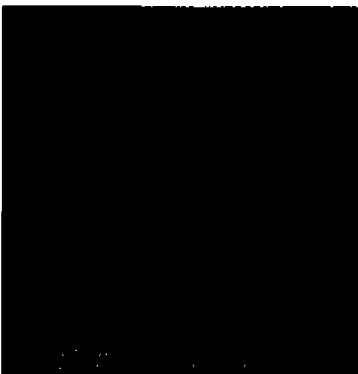
본 논문에서는 LMDS에 사용될 수 있는 Ka 밴드의 저잡음증폭기를 MMIC로 구현하고 이의 설계 방법과 측정결과에 대하여 기술하였다.

II. 능동소자인 p-HEMT의 특성

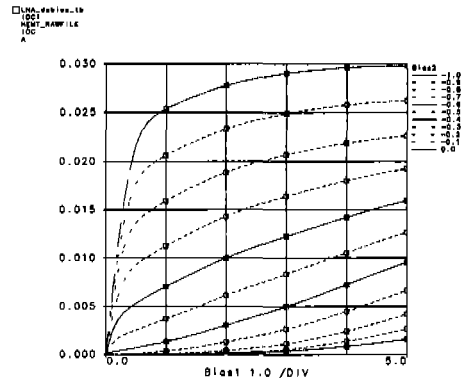
MMIC 설계는 패키지 된 소자를 사용하는 것이 아니라 칩 자체에 소자를 구현하여 제작하는 것으로 설계에 사용되는 능동소자와 수동소자에 대한 정보는 대부분 파운더리(foundry)에서 제공되는 라이브러리(library)에서 얻을 수 있다. 따라서 파운더리가 틀리면 사용되는 소자의 특성도 모두 달라져, 같은 설계도 다른 파운더리를 사용하면 파운더리에 따라 다르게 해야 한다는 단점이 있다. 본 논문에서는 ETRI 파운더리에서 제공하는 소자를 이용하였으며, 능동소자로는 GaAs 기판을 이용한 p-HEMT (Pseudomorphic High Electron Mobility Transistors)를 사용하였고, 임피던스 정합을 위한 수동소자로는 GaAs 기판을 사용하는 마이크로스트립라인을 사용하였다.

그림 1(a)는 설계에 사용된 능동소자인 p-HEMT의 사진이다. 사진에 보이는 p-HEMT는 게이트의 폭이 100 μm , 길이가 0.1 μm 이며 게이트 핑거의 수가 2개인 트랜지스터이다. p-HEMT의 특성은 게이트길이에 대하여 영향을 많이 받으며, 게이트 길이가 짧을수록 사용 주파수가 높아진다. 본 논문에서 사용된 p-HEMT는 f_{max} 가 약 70 GHz이다.^[1]

그림 1(b)는 설계에 사용된 p-HEMT의 DC 전압-전류 특성이다. 드레인 전압이 5 V 이고 게이트 전압이 0 V 일 때 드레인 포화전류는 30 mA이다. 트랜지스터의 여러 바이어스 점에서의 RF 특성과 잡음 특성을 알기 위하여 포화전류의 각 퍼센트별로 잡음 지수를 측정하였다. 드레인 전압을 2 V로



(a)



(b)

그림 1. (a) 설계에 사용된 p-HEMT의 사진, (b) DC 전압-전류 특성.

고정하였을 때 드레인 전류 8.9 mA에서 최소의 잡음지수를 보였으며, 이 동작점은 저잡음증폭기 설계에서 초단의 바이어스 점으로 사용되었다.

III. 저잡음증폭기의 설계

3.1 증폭기의 안정도 특성

MMIC로 증폭기를 제작할 경우에는 하이브리드로 증폭기를 제작한 경우와는 달리 증폭기를 제작한 후 증폭기가 원하는 동작을 하지 않을 경우 조정을 할 수 없으므로 증폭기 설계 시 안정도에 대한 고려를 많이 하여야 한다. 앞 절에서 정한 동작점에서의 소신호 주파수 특성은 그림 2에 보이는 바와 같이 사용주파수 대역인 26.5 GHz에서 G_{max} 가 약 10.6 dB, NF_{min} 이 1.1 dB 이며 능동소자 자체의 안정도 특성은 0.5 GHz ~ 40 GHz 까지 $K < 1$ 로 potentially unstable하다.

따라서 본 설계에서는 증폭기의 안정도가 0.5 GHz ~ 40 GHz 에서 만족하도록 설계하였다. 일반적으로 증폭기의 안정도는 증폭기의 이득을 줄여 줌으로서 만족시킬 수 있으나 이득의 감소는 잡음의 증가를 가져오므로써 저잡음증폭기 설계에서는 안정도를 해결하여주는 아무 구조나 사용할 수 없으며, 안정도를 보장하면서도 잡음지수를 증가시키지 않는 구조를 선택하여야 한다.

그림 3에 안정도를 해결하기 위한 몇 가지 구조가 보인다.^[2-4] 트랜지스터의 게이트 입력 단에 직렬 저항을 이용한 그림 3(a) 회로는 입력 쪽에서 직렬 저항에 의한 증폭기의 잡음지수의 증가로 인하여 저잡음증폭기 설계 시 사용하기에는 적합치 않고,

Frequency (GHz)	Gmax (dB)	S21 (dB)	NFmin (dB)
24.0	11.2539	6.1732	0.9796
25.0	11.0174	5.8492	1.0198
26.0	10.7751	5.5112	1.0600
27.0	10.6181	5.3262	1.1000
28.0	10.5027	5.1667	1.1400
29.0	10.3576	4.9472	1.1900
30.0	10.2305	4.7606	1.2300

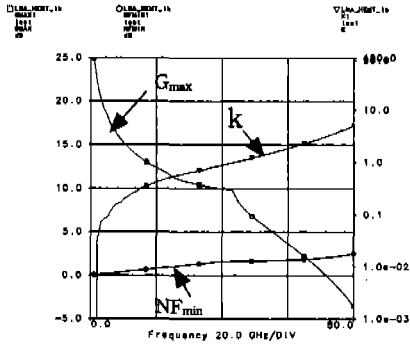
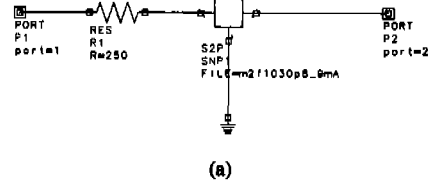


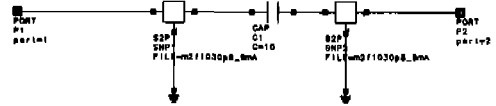
그림 2. 설계에 사용된 HEMT의 바이어스점에서의 소신호 특성.

그림 3(b)의 트랜지스터를 두 개 직렬로 연결한 캐스캐이드 구조는 둘째 단 트랜지스터의 입력 임피던스를 첫째 단 트랜지스터의 안정도 해결용 임피던스로 사용하는 경우이나, 그림에는 빠져있는 인덕터를 이용한 각각의 트랜지스터 바이어스 회로를 포함할 경우 첫째 단 드레인 바이어스 회로에 의한 영향으로 대부분 전체 증폭기의 안정도를 해결하여 주지 못한다. 드레인과 게이트 사이에 저항과 커패시터를 이용한 RC 케환 회로를 사용한 그림 3(c) 회로는 케환되는 양에 따라 안정도를 해결하여주나 안정도가 해결됨에 따라 잡음지수도 일부 커지는 단점이 있다. 트랜지스터의 소스 단자에 인덕터를 직렬 케환으로 사용한 그림 4(d) 회로는 일반적으로 좁은 영역의 주파수 범위에서는 안정도를 만족시켜 주나 0.5 GHz~40 GHz의 전 범위에서 안정도를 만족시켜 주지는 못한다. 하지만 소스 단자에 사용된 인덕터는 잡음지수와 전력 이득에 도움을 주므로 안정도를 사용주파수의 전 대역에 대하여 해결 해주지는 못한다 하더라도 많이 사용된다.^[5]

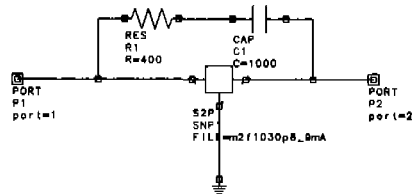
본 설계에서는 안정도도 해결하고 잡음지수를 낮추기 위하여 트랜지스터 소스에 인덕터를 사용하고, 드레인 단자와 게이트 단자 사이에 RC 케환 회로를 사용하여 그림 3(c)와 그림 3(d)의 회로를 조합한 회로를 증폭기의 기본 회로로 정하였다. 안정도를 0.5 ~ 40 GHz의 전 범위에서 해결한 기본 회로의 주파수 특성과 안정도 특성이 그림 4에 보인다.



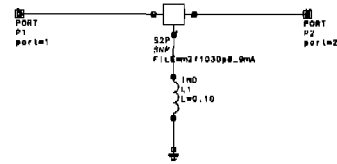
(a)



(b)



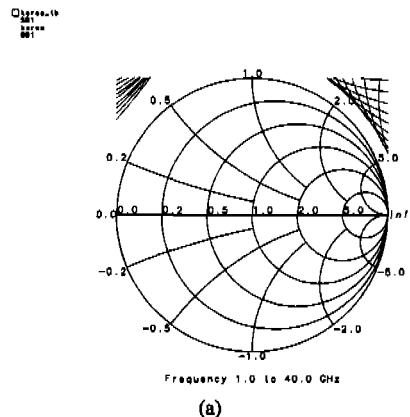
(c)



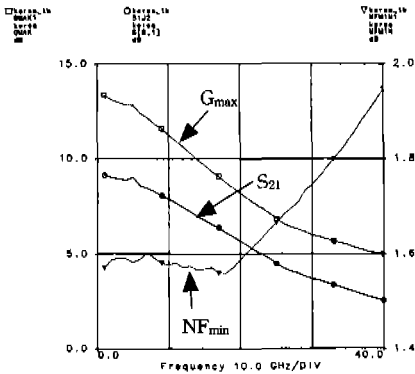
(d)

그림 3. 안정도를 해결하기 위한 여러 구조 (a) 저항을 이용한 회로, (b) RC 케환을 이용한 회로, (c) cascade 구조를 이용한 회로, (d) source 인덕터를 이용한 회로

Gmax는 안정도를 해결하기 전에 26.5 GHz에서 10.6 dB에서 7.5 dB로 감소하였으며, NFmin은 1.1 dB에서 1.7 dB로 증가하였다.



(a)



(b)

그림 4. 증폭기 회로의 기본 구조 (a) 안정도 원, (b) 주파수 특성

3.2 저잡음증폭기의 설계

설계하고자 하는 저잡음증폭기의 사양은 표 1에 요약되어 있는 바와 같이 이득이 20 dB 이상, 잡음지수 3 dB 이하, 입출력 삽입 손실 -10 dB 이하, 사용주파수는 25.5 GHz ~ 27.5 GHz이다. 앞 절에서 안정도를 보장한 기본 구조 증폭기의 G_{max} 가 7.5 dB 이었으므로 20 dB의 이득을 얻기 위하여서는 3단의 증폭기가 필요하나 임피던스 정합 중의 손실과 설계 여유를 고려하여 4단 증폭기로 설계하였다. 각 단의 이득과 잡음지수의 설계 예상치는 그림 5에 보이는 것과 같이 각 단의 이득과 잡음지수를 적절히 배분하여 정할 수 있으며, 첫째 단은 저잡음증폭기로 하기 위하여 잡음지수를 2 dB로 이득을 6 dB로 정하였고, 둘째 단과 셋째 단, 넷째 단은 잡음지수를 줄이기보다는 이득을 고려하여 잡음지수를 3 dB로 이득을 7 dB로 하였다. 이 때 전체

증폭기의 잡음지수는 2.62 dB이고 이득은 27 dB로 설계 사양을 만족시킨다.

초단 증폭기는 안정도를 보장하고 잡음지수를 줄이기 위하여 소스에 인덕터를 사용하고 드레인과 게이트 사이에 RC 케환회로를 사용한 기본 증폭기 구조를 사용하여 가용 이득 원(available power gain circle)과 잡음지수 원(noise circle)을 이용하여 설계하였다. 드레인과 게이트 바이어스는 26.5 GHz에서 100 ohm의 $\lambda/4$ 마이크로스트립라인을 이용하였으며 이미 전 주파수 대역에서 안정도를 보장하였으므로 바이어스 회로가 안정도에 영향을 미치는 않았다. 바이어스 회로를 설계한 후 입력 정합 회로를 설계하였으며, 입력 정합회로는 설계 목표에 맞는 소스 인덕터의 값에서 가용 이득원과 잡음지수원을 이용하여 결정하였다. 출력 단의 정합은 입력 단 정합 회로 설계가 끝난 후 임피던스 정합을 하였다. 그림 6에 설계한 초단 증폭기의 회로와 주파수 특성이 보인다. 설계 된 초단 증폭기의 이득은 약 6.5 dB, 잡음지수는 약 1.7 dB로 예상 한 만큼의 이득과 잡음 지수를 얻었으며, 실제 결과는 그림 7에 나타내었다.

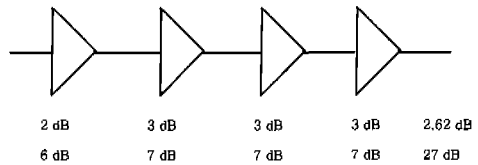


그림 5. 증폭기 각 단의 잡음지수와 이득.

둘째 단 증폭기는 첫째 단에서 사용했던 트랜지스터와 같은 트랜지스터와 같은 바이어스 점을 사

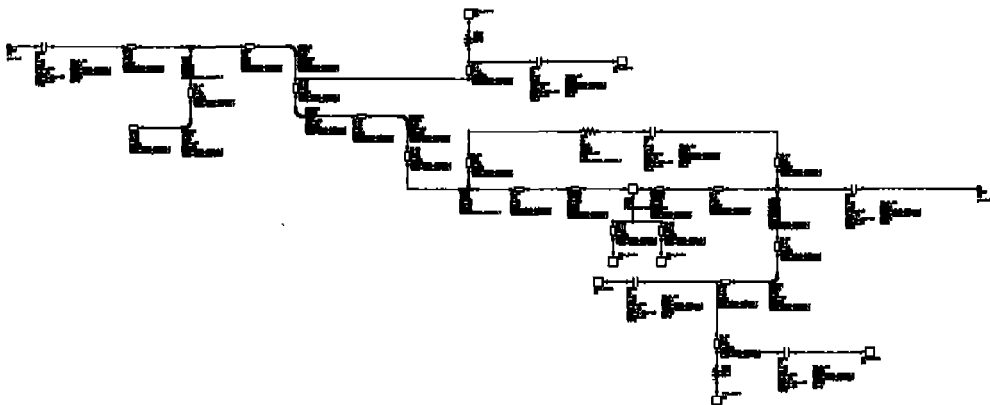
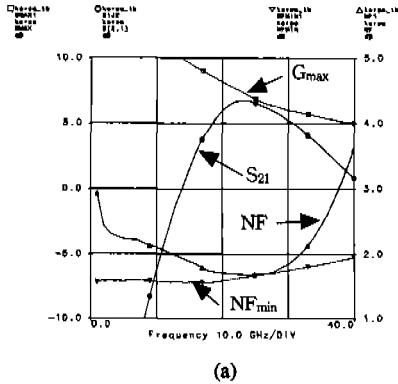
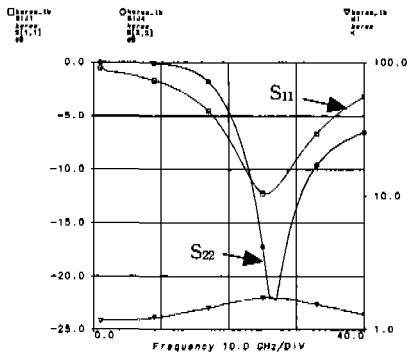


그림 6. 설계된 초단 증폭기의 회로도.



(a)



(b)

그림 7. 설계된 초단 증폭기의 주파수 특성. (a) 이득 및 잡음지수 특성, (b) 입력 및 출력 삽입손실 특성

용하였으나 잡음 지수를 많이 고려하지 않아도 되므로 소스에 인덕터는 사용하지 않고, 안정도를 고려하여 게이트와 드레인 사이의 RC 제환을 이용한 회로를 사용하였다. 잡음지수는 초단 증폭기에서 고려하였으므로 둘째 단 증폭기의 입력 단과 출력 단 정합은 이득을 최대로 얻기 위한 임피던스 정합을 하였다.

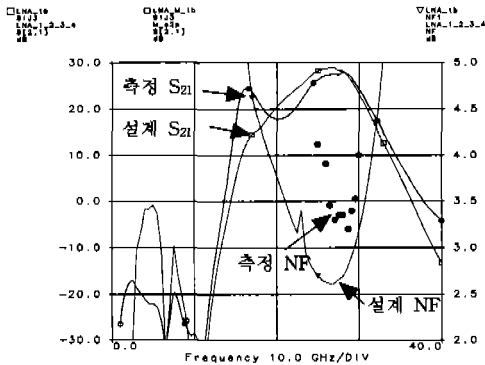
설계된 둘째 단 증폭기는 이득이 약 6.5 dB, 잡음 지수가 약 2.5 dB로 앞에서 예상했던 것과 같은 이득과 잡음 지수를 얻었다. 셋째 단과 넷째 단 증폭기는 둘째 단 증폭기와 같은 구조를 사용하였으나 전체 증폭기의 이득 특성을 맞추기 위하여 대역폭을 약간 조정하였다. 최종 설계된 4단 증폭기는 설계된 각 단의 증폭기를 직렬로 연결하여 구현하였으며, 각 단 사이의 인터스테이지 정합은 하지 않았다. 설계된 증폭기는 이득이 28.9 dB, 잡음지수가 2.61 dB로 설계 사양을 만족하였으며 설계 결과는 표 1에 요약하여 놓았다.

IV. 저잡음증폭기의 제작 및 측정 결과

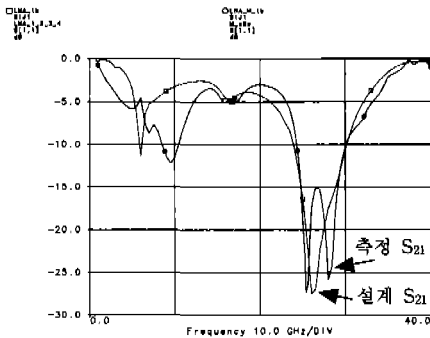
설계된 증폭기의 회로는 제작되었으며, 제작된 후 HP사의 8510C network analyzer를 이용하여 on wafer로 측정하였다. 그림 8에 이득 및 입출력 삽입 손실에 대한 설계 결과와 측정 결과가 함께 보이며, 상세한 내용은 표 1에 나타내었다. 증폭기의 특성은 드레인 인가 전압 2 V와 게이트 전압 0 V에서 드레인 전류 33 mA가 흐를 때 측정되었으며, 이는 설계 할 때 사용했던 드레인 전류보다 2.6 mA가 적은 곳에서 측정되었다. 드레인 전류가 적게 흐른 이유는 트랜지스터의 특성이 약간 변화되었기 때문이 아닌가 추정되며, 설계 치와 비교한 드레인 전류의 감소는 약 7% 인데 이만한 양의 변화는 일반적으로 공정 허용 오차 내에 있다고 생각된다. 증폭기의 설계 이득은 25.5 GHz ~ 27.5 GHz에서 28.6 dB ~ 28.2 dB이었고 측정 결과는 26.9 dB ~ 27.4 dB로 사용 주파수 대역 내에서의 이득의 평탄 도는 설계 치와 같이 매우 좋았으나, 이득은 약 1dB 정도 감소하였다. 그러나 이만한 양의 이득 감소는 예상한 설계 여유보다 적은 감소 양으로 4단의 증폭기가 아닌 3단의 증폭기로 설계하여도 설계사양을 만족시킬 수 있는 결과이다.

사용 주파수 대역에서 입력 삽입 손실 S11의 설계 값은 -22.4 dB ~ -19.7 dB이었으나 측정값은 -26.3 dB에서 -19.5 dB이고, 그림 8 (b)에 보이듯이 26.8 GHz에서 피크를 갖는 데 이 값이 -15.1dB로 설계 사양을 만족시켰다. 출력 삽입 손실 S22는 사용 주파수 대역에서 -16.3 dB ~ -20.8 dB로 설계되었으나, 측정값은 -14.3 dB에서 -6.5 dB로 설계 값과 많은 차이를 보였으며, 26.7 GHz 이상에서는 S22가 -10 dB보다 커 설계 사양을 만족시키지 못하였다. 잡음 지수 역시 사용 주파수 대역에서 2.66 dB ~ 2.65 dB로 설계되었으나 측정 결과는 3.2 dB ~ 4.0 dB로 설계 사양인 3.0 dB이하를 만족시키지 못하였다.

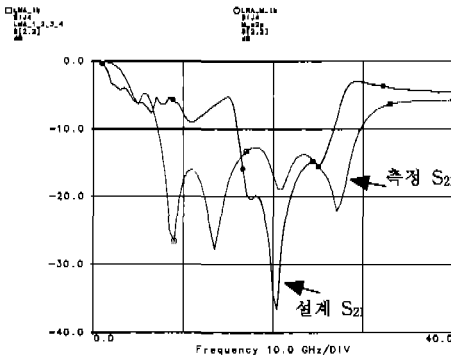
제작된 증폭기의 사진이 그림 9에 보이며 칩의 크기는 2.0 mm x 2.6 mm 이다. 증폭기의 측정 특성을 전체적으로 살펴보면 S22의 설계 특성은 약 8 GHz에서부터 27 GHz까지 -12 dB이하로 광 대역 특성을 가지나 측정 결과는 약 21 GHz에서 최소 값을 갖고 주파수가 감소하거나 증가하면 S22가 증가하는 특성을 보인다. 이는 S22의 특성이 설계치와 많이 차이를 보여주며 그 이유의 하나는 layout에



(a)



(b)



(c)

그림 8. 제작된 증폭기의 설계 및 측정 주파수 특성, (a) 이득 및 잡음 특성(S_{21} 및 NF) (b) 입력 삽입 손실 (S_{11}) (c) 출력 삽입 손실(S_{22})

있을 것으로 생각된다. 본 증폭기의 layout은 주어진 칩의 크기 내에 모든 소자를 그리기 위하여 입력과 출력 부분이 U자 형태로 되어있으며, 따라서 임피던스 정합용으로 사용된 마이크로스트립라인은 마이크로스트립라인의 특성이 설계에서 충분히 고려

되지 못할 정도로 한번 또는 두 번씩 굽어 있다. 설계 치와 틀린 S_{22} 의 특성은 S_{22} 뿐만 아니라 S_{21} 에도 영향을 미쳤다. 약 16 GHz에서 S_{22} 의 특성은 -6 dB정도인데 이것은 S_{21} 에서 사용 주파수대역 외에서 또 하나의 피크를 갖게 하는 결과를 가져왔다.

잡음지수의 증가는 트랜지스터의 잡음 특성 즉, Γ_{opt} 이 변했을 가능성과 설계에 사용된 마이크로스트립라인의 저항이 설계 치 보다 컷졌을 가능성이 있다. 실제로 layout을 보면 증폭기의 입력 정합 단에 사용된 마이크로스트립라인의 폭이 다른 곳에 사용된 마이크로스트립라인의 폭보다 넓은 데 이는 마이크로스트립라인에 의한 저항을 줄이고자 한 이유이며, 마이크로스트립라인의 폭의 변화에 따른 저항값의 변화는 시뮬레이션에서도 나타난다.

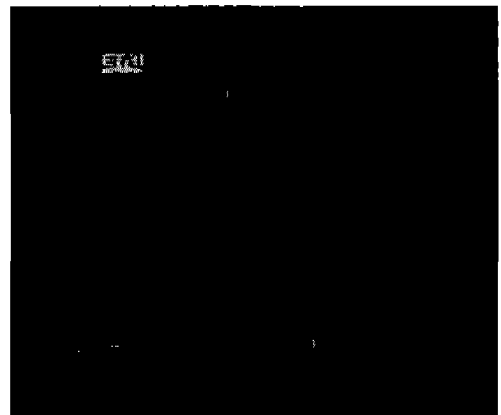


그림 9. 제작된 저잡음증폭기의 칩 사진

표 1. 저잡음증폭기의 사양과 설계 및 측정 결과

항 목	사 양	설계결과	측정결과
입력주파수(GHz)	25.5~27.5	25.5~27.5	25.5~27.5
S_{21} (dB)	20 이상	28.6~28.2	26.9~27.4
Noise Figure(dB)	3 이하	2.66~2.65	4.0~3.2
S_{11} (dB)	-10 이하	-22.4~-19.7	-26.3~-19.5
S_{22} (dB)	-10 이하	-16.3~-20.8	-14.3~-6.5

V. 결 론

본 논문에서는 LMDS에 사용할 수 있는 26.5GHz 저잡음증폭기를 p-HEMT를 이용하여 MMIC로 설계 제작하였다. 제작된 증폭기는 4단 증폭기로 2 V의 드레인 인가전압, 0 V의 게이트 인가전압에서 33 mA의 총 드레인 전류가 흘렀으며,

중심주파수인 26.5 GHz에서 27.4dB의 이득과 3.46 dB의 잡음지수를 가졌다. 칩의 크기는 2.0 mm x 2.6 mm 이다. 증폭기의 초단은 안정도를 보장함과 동시에 잡음을 최소화 하기 위하여 소스에 인덕터를 사용하고 드레인과 게이트 사이에 RC 캐패 회로를 사용하였다. 각 단의 증폭기는 독립적으로 설계되었으며 인터스테이지 정합 없이 직접 연결되었다.

제작된 증폭기의 특성은 S_{21} 과 S_{11} 은 설계 특성과 잘 맞았으나 S_{22} 와 잡음 지수는 잘 맞지 않았다. S_{22} 의 어긋남은 증폭기 각 단의 출력 정합 회로에서 잘못이 있을 수 있으며, 이것이 4단 증폭기의 직렬로 연결됨에 따라 그 효과가 더 크게 나타난 것으로 보인다. 잡음 지수의 증가는 마이크로스트립라인을 이용한 잡음 정합에서 잡음 정합의 부 정합 혹은 마이크로스트립라인에 의한 손실 등에서 생겼을 것으로 생각된다. 따라서 잡음 정합을 위한 마이크로스트립라인에 대한 연구와 MMIC에서 마이크로스트립라인을 이용한 정합회로에 대한 연구가 더 이루어져야 할 것으로 생각되며, 이점이 해결되면 26.5 GHz대역의 저잡음증폭기도 MMIC로 충분히 제작될 수 있을 것으로 생각된다.

참 고 문 헌

- [1] J. H. Lee et al., "Pseudomorphic AlGaAs/InGaAs/GaAs High Electron Mobility Transistors with Super Low Noise Performances of 0.41 dB at 18 GHz", *ETRI Journal*, vol. 18, no. 3, 1996.
- [2] G Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, 1984.
- [3] Tri T. Ha, *Solid-State Microwave Amplifier Design*, John Wiley & Sons, 1981.
- [4] I. D. Robertson, *MMIC Design*, The Institution of Electrical Engineers, 1995.
- [5] M. T. Murph, "Applying the Series Feedback Technique to LNA Design", *Microwve J.*, pp. 143-152, Nov. 1989.

황 인 갑(In-Gab Hwang)

정회원



1981년 2월 : 연세대학교 전기
공학과 졸업
1983년 2월 : 연세대학교 전기
공학과 석사
1992년 12월 : 아리조나주립대
전기공학과 박사

1984년 3월~1986년 8월 : 삼성전자 주임연구원
1993년 3월~1995년 8월 : 한국전자통신연구원 선임
연구원
1995년 9월~현재 : 전주대학교 전자매체공학부 조
교수
<주관심 분야> 이동 통신, 초고주파 통신, MMIC,
RFIC