DBpia

논문 00-25-9A-12 한국통신학회논문지 '00-9 Vol.25 No.9A

IS-95 기반 CDMA Searcher의 통합설계

정회원 황 인 기*, 김 산*, 조 준 동*, 최 형 진*

Codesign of IS-95 based CDMA Searcher

In Ki Hwang*, San Kim*, Hyung Jin Choi*, Jun Dong Cho* *Regular Members*

요 약

본 논문은 IS-95를 기반으로 하는 CDMA(Code Division Multiple Access) 탐색자의 통합설계방법에 대해 기술하였다. 통합설계 방법은 하드웨어와 소프트웨어를 동시에 설계하는 방법으로 설계시간의 단축과 설계비용의 감소라는 장점을 가지고 있다. 시스템을 하드웨어부분과 소프트웨어부분으로 분할할 때 동작 시간이 길고 전력 소모가 많은 부분은 하드웨어로 일반적인 기능을 담당하는 부분을 소프트웨어로 설계하는데 제안된 방법에서는 탐색자의 동기 누적단을 하드웨어로 설계하였고, 그 이외의 부분을 소프트웨어로 설계하였다. 하드웨어부분은 VHDL을 이용하여 설계되었고, 소프트웨어부분은 GC(Generic C)로 설계하였다. SYNOPSYSTM의 COSSAP을 이용하여 시뮬레이션을 수행하여 그 기능을 검증하였다. 실험 결과 소프트웨어만의 설계방법과 비교하여 최대 48.5% 동작시간 감소 효과를 얻었다.

ABSTRACT

This paper describes the codesign method for IS-95 based CDMA(Code Division Multiple Access). By codesign we mean to design hardware and software simultaneously. Codesign lead to reduction in design time, cost and power consumption. When we partition a system into hardware and software, some modules with longer processing time and larger power consumption are implemented using hardware and the remaining part is implemented using software. In proposed design, we design the synchronous accumulator of CDMA searcher in hardware and the other part in software. The hardware part is designed using VHDL, while software part is designed using GC(Generic C). We simulated and verified the system using COSSAP in SYNOPSYSTM. Experimentation showed the maximum 48.5% speed reduction compared with the design using software only.

I. 서 론

최근의 컴퓨터와 제어 및 통신 기기를 포함하는 대부분의 전자 시스템은 하드웨어와 소프트웨어를 모두 포함한다. 기존의 시스템 설계는 하드웨어와 소프트웨어를 독립적으로 개발하여 통합하는 방식으로 이루어졌으나 하드웨어와 소프트웨어가 복합된 복잡한 시스템을 체계적이며 효율적으로 설계하기 위하여 하드웨어-소프트웨어 통합 설계의 중요성이 부각되고 있다. 시스템의 모든 기능을 소프트웨어로 구현할 경우 대량 생산되는 고성능의 마이크로프로세서 프로그램을 수행할 수 있으므로 비용이 적게 들지만, 오퍼레이션들은 순차적으로 실행해야하기 때문에 성능이 떨어지게 된다. 반면에 하드웨어로 모든 기능을 구현할 경우에는 병렬처리가 가능하여 수행시간을 빠르게 할 수 있어서 성능 요구조건을 만족시키기 쉬우나, 하나 혹은 그 이상의 ASIC (Application Specific Integrated Circuit) 또는 FPGA(Field Programmable Gate Array) 등이 필요하게 되어 비용이 많이 드는 단점이 있다. 따라서 통합설계를 이용하여 시스템을 하드웨어와 소프트웨어의 복합적인 요소들로 구현할 경우 하드웨어의

* 성균관 대학교 전기전자 및 컴퓨터 공학부(ikhwang@nature.skku.ac.kr, jdcho@yurim.skku.ac.kr)
논문번호 : 00178-0517, 접수일자 : 2000년 5월 17일

www.dbpia.co.kr

성능상의 장점과 소프트웨어의 비용 면에서 장점이 고려된, 적절한 성능과 비용 제약 조건을 만족하는 효율적인 시스템의 구현이 가능하다.

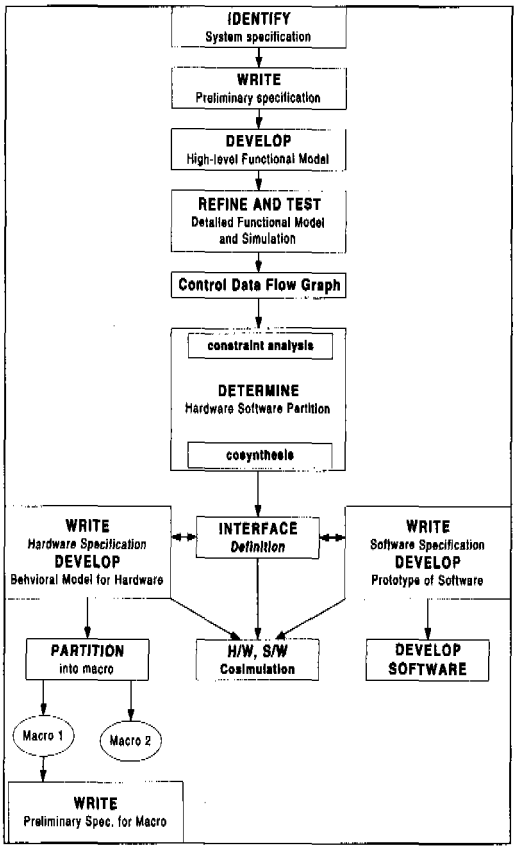

그림 1. 하드웨어-소프트웨어 통합설계의 전체 흐름도

본 논문에서는 하드웨어-소프트웨어 통합설계 방법을 CDMA용 탐색자의 설계에 적용하였다.

본 논문에서는 2장에서 탐색자의 기본 동작 원리를 다루고 있고, 3장에서는 통합설계 방법을 제안하며, 4장에서는 결론을 맺는다.

Ⅱ. 탐색자의 기본 설계

IS-95 기반의 Cellular 및 개인이동 통신 서비스(Personal Communication Service)용 단말기에 적용하기 위한 MSM (Mobile Station Modem)칩의 탐색자(Searcher Engine) 구조를 설계하였다.

IS-95 기반의 시스템은 초기 동기획득을 위하여 기지국에서 전송하는 pilot 채널을 입력 신호로 사용하고 여기에 국부 발생된 PN 부호열을 상관시켜 최대값을 찾음으로써 동기를 이루게 된다. pilot 신호를 검출하기 위한 탐색자의 구조는 역확산 과정에서 일반적인 상관기를 사용하는 방식 또는 정합필터를 응용한 방식(SAW, CCD 등) 등 여러 가지가 있으며, 확인 절차에 따라 Single Dwell, Double Dwell, Triple Dwell방식 등이 있다. 일반적으로 사용되는 탐색자의 구조는 가설지점에 대한 확인 및 재확인 절차를 두는 Double Dwell 방식과 상관기를 채용한 형태이다.

본 논문에서 설계한 탐색자는 직렬 탐색방식(Serial Search)을 사용하여 두 번의 확인과정(Double Dwell)을 두는 방식으로 동작한다. 그림 2에 Double Dwell 방식을 도입한 탐색자에 대한 블록도가 나타나있다.

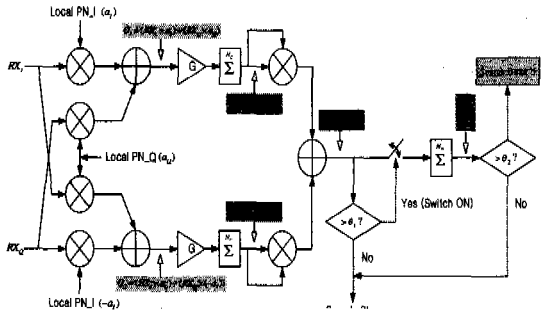

그림 2. 탐색자의 블록도

1. CDMA 탐색자의 동작

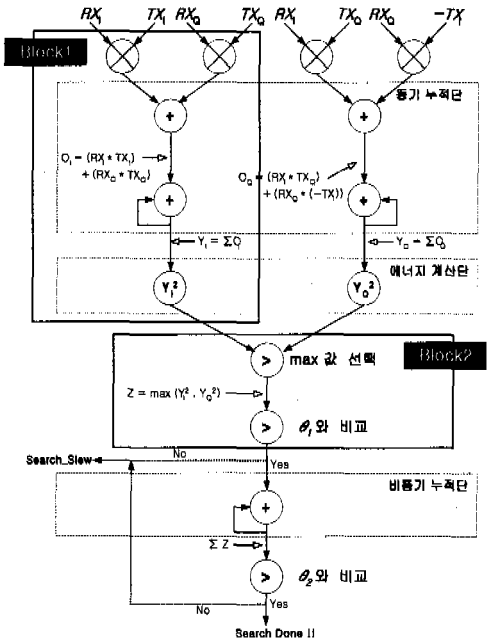

그림 3. 탐색자의 data flow graph

www.dbpia.co.kr

그림 3은 탐색자 블록의 data flow graph를 보여주고 있고, 이에 따른 세부 동작은 그림 4에 설명되어 있다.

① 지국에서 보내는 PN 코드 (TX_I, TX_Q)와 국부에서 발생된 PN 코드 (RX_I, RX_Q)를 역확산 시킨다.
② 역확산한 결과를 더한다.
$O_I = (RX_I * TX_I) + (RX_Q * TX_Q)$
$O_Q = (RX_I * TX_Q) + (RX_Q * (-TX_I))$
③ 동기 누적 횟수 Nc만큼 누적한다.
$Y_I = \Sigma O_I$, $Y_Q = \Sigma O_Q$,
④ Y_I와 Y_Q를 제곱한다. (에너지 계산단)
⑤ Y_I^2와 Y_Q^2중 큰 값을 선택한다.
$Z = \max(Y_I^2, Y_Q^2)$
⑥ Z를 θ_1과 비교한다.
⑦ Z가 θ_1보다 클 경우 비동기 누적을 실시하고 (ΣZ), 그렇지 않을 경우, Search_Slew신호를 출력하고, 국부 PN 코드를 한 칩 빨리 발생시켜① ~ ⑤과정을 반복한다.
⑧ 비동기 누적 횟수 Nn만큼 누적한 후 θ_2와 비교하여, ΣZ가 θ_2 보다 클 경우 탐색과정을 종료하고, 그렇지 않을 경우, Search_Slew신호를 출력하고, 국부 PN 코드를 한 칩 빨리 발생시켜① ~ ⑤과정을 반복한다.

그림 4. 탐색자의 알고리즘 흐름도

Ⅲ. CDMA 탐색자의 통합설계

1. Specification

Specification은 구현 하고자하는 시스템의 목적, 기능성; 그리고 제한 조건에 대한 기술을 말하며, 일반적으로 C, C++, 또는 HardwareC등을 이용한다. 구현하고자 하는 IS-95 기반의 CDMA 탐색자의 전체 시스템은 그림 2과 같고 이를 바탕으로 구현한 CDFG (Control Data Flow Graph)는 그림 3과 같다. 그림과 같이 CDFG는 Node와 Edge로 구성되어 있는데, Node는 Operation이나 Task를 나타내고, Edge는 각 Node간 Data Dependency나 Control Dependency를 나타낸다.

2. 분할

분할은 전체 시스템을 제한 조건의 범위를 만족하면서 성능을 향상시킬 수 있도록 하드웨어와 소프트웨어로 나누는 것을 말한다. 분할은 상위 레벨에서 이루어지므로 구현될 시스템의 성능에 절대적인 영향을 미친다. 하지만, 상위 레벨은 추상적이기 때문에 성능예측이 어려워 자동화된 Tool보다는 수동으로 이루어져 왔다. 설계된 각 블록에 대한 전력과 동작 속도를 평가한 결과 전력 소모적인 면에서는 동기 누적단의 전력 소모가 가장 크고, 동작 속도 측면에서는 임계값과 비교하는 비교단이 가장 느린 것으로 추정되었다. 이는 STNOPSYS™의 COSSAP을 이용하여 예측한 결과이다. 또한 동기 누적단의 경우 병렬처리가 가능하기 때문에 이를 하드웨어로 변환하였을 경우 동작 속도 면에서도 이득이 있다. 그림 5는 이와 같은 예측을 바탕으로 분할한 결과이다. 그림에서 빗금으로 나타낸 블록을 하드웨어로 구현하였다.

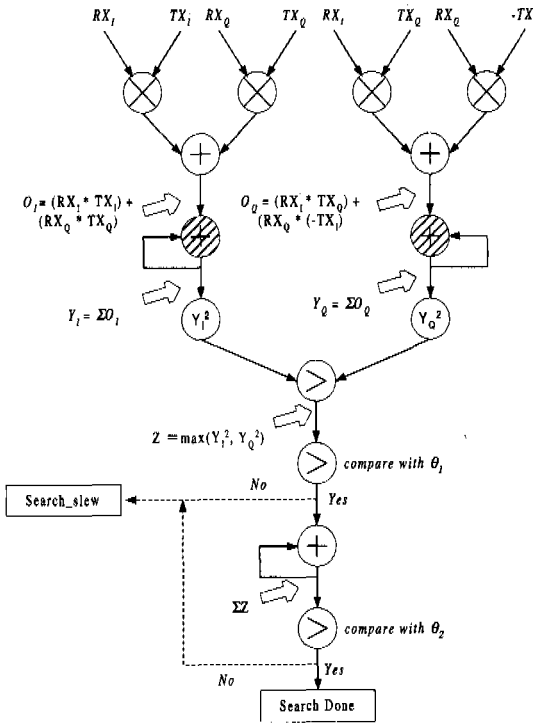

그림 5. 분할된 탐색자의 data flow graph

3. Cosimulation

Simulation은 구현된 시스템의 기능상의 정확성을 검증해주고, system 성능이 주어진 제한 조건의 범위 내에 있는지 예측하여 준다. 통합설계에서는 하드웨어와 소프트웨어를 동시에 Simulation 할 수 있

www.dbpia.co.kr

는 방법이 필요하다. 본 논문에서는 COSSAP을 이용하여 Cosimulation을 수행하였다. COSSAP은 사전이 있을 경우 그 Simulator를 사용하여 Data의 전달을 하도록 되어 있다. 따라서 이 논문에서는 Memory에 대해서는 고려하지 않았다. 하지만 두 Simulator의 동기를 맞추기 위해 여분의 회로를 설계하였다.

4. System 구현

시스템 전체 블록을 그림 5에서 제안한 Data Flow Graph를 토대로 소규모 단위 블록으로 구분하였다. 먼저 구분되어진 각각의 단위 블록을 모두 COSSAP tool에서 제공하는 GC code를 이용하여 소프트웨어로 구현하였다. 그리고 각 블록을 수행하기 위해 필요한 Instruction의 수를 전력으로, 블록별 수행 시간을 동작 시간으로 가정하여 분할을 진행하였다.

4.1 PN Code 발생기

단말기에서 발생시키는 국부 PN Code 발생기와 기지국에서 발생시키는 PN Code 발생기를 소프트웨어로 구현하였다. 일반적으로 PN Code 발생기는 동작 주파수 때문에 소프트웨어로 구현하는 것 보다 하드웨어로 구현하는 것이 더 유리하다. 그러나 본 논문에서는 COSSAP tool상의 제약 때문에 소프트웨어로 구현하였다. COSSAP tool에서는 블록을 하드웨어로 구현하여 이를 Simulation 하기가 매우 어렵다. 그렇기 때문에 시스템의 기준 클록을 사용하는 PN Code 발생기를 하드웨어로 구현할 수 없었으며, 시스템 전체의 동기를 맞추기가 어렵다. 이 점은 앞으로 보안해야 할 것으로 생각되어 진다.
그림 6과 그림 7에서 소프트웨어로 구현된 PN Code 발생기의 블록도를 나타냈으며, Simulation 결과를 그림 8과 그림 9에 각각 보였다.

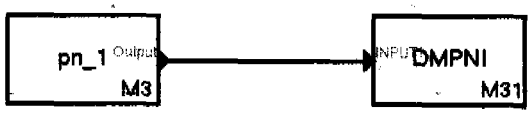

그림 6. Real단의 PN Code 발생기

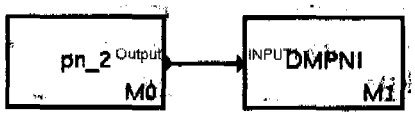

그림 7. Imaginary단의 PN Code 발생기

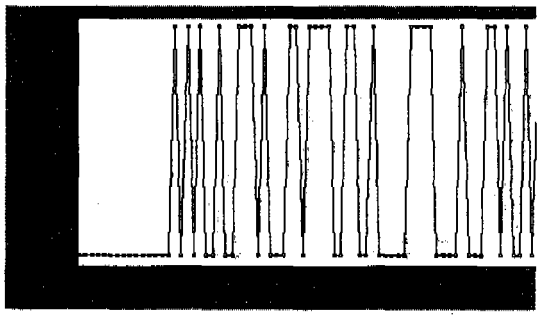

그림 8. Real단의 PN Code

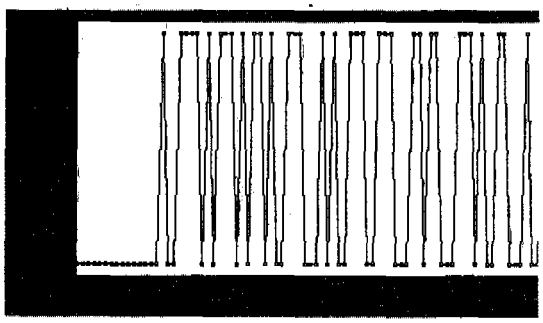

그림 9. Imaginary단의 PN Code

4.2 역확산 블록

입력되는 신호에 국부에서 발생된 PN Code 값을 비교하여 1-bit 입력신호를 4-bits 출력으로 역확산시킨다. 입력되어지는 신호는 복소수 형태이므로 모두 4개의 역확산 블록이 필요하다. 역확산을 거친 data는 4-bits signed 데이터이며, Real 단과 Imaginary 단으로 나누어 져 각각 덧셈연산을 한다. 이때 기지국에서 보내는 로컬 PN Code와 단말기에서 생성되어지는 국부 PN Code가 동일한 경우 최대값이 출력되며, 그렇지 않을 경우 최소값이 출력이 된다. 결국 이 블록에서는 기지국에서 보내는 로컬 PN Code와 단말기에서 발생시키는 국부 PN Code를 비교하여 동일한 Code인 경우에 최대값을 갖지 않을 경우에는 최소값을 출력시킨다.

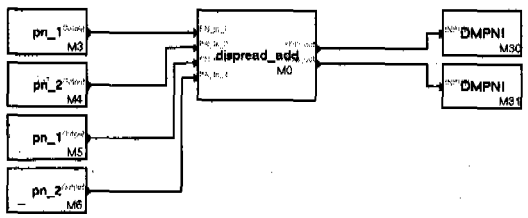

그림 10. 역확산과 덧셈, 뺄셈 블록

www.dbpia.co.kr

역확산 블록의 블록도와 Simulation 결과를 그림 9~그림 11에 나타냈다.

송, 수신단의 PN Code가 동일하다는 조건으로 실험을 수행했기 때문에 역확산 덧셈의 결과 파형은 최대값으로 일정하게 나타나고, 뺄셈의 결과 파형은 최소값으로 일정하게 나타남을 볼 수 있다.

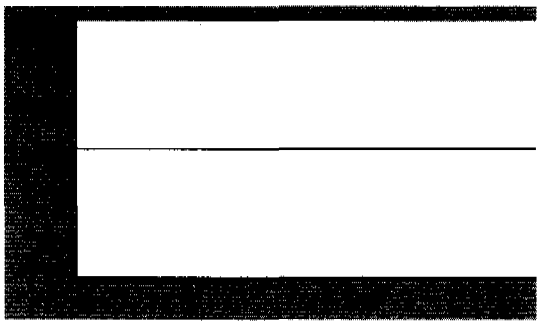

그림 11. 역확산 덧셈의 Simulation

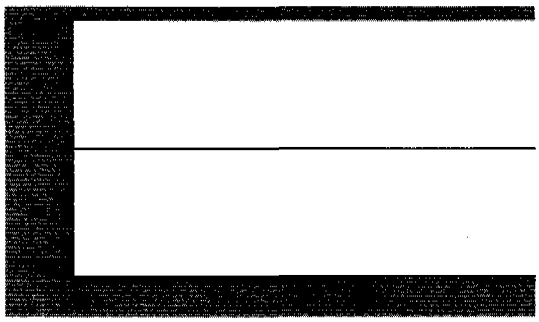

그림 12. 역확산 뺄셈의 Simulation

4.3 동기 누적단

역확산 블록을 거쳐 생성된 데이터는 동기 누적단에서 동기 누적횟수 *Nc*만큼 동기 누적을 수행한다. 동기 누적단은 일정 구간동안 기지국에서 발생시키는 로컬 PN Code와 단말기에서 발생시킨 국부 PN Code가 동일한지를 판단하기 위해 주어진 횟수(*Nc*)만큼 동기 누적을 반복하는 구간이므로, 동일한 명령을 반복 수행하며, 병렬처리가 가능하기 때문에 하드웨어로 구성할 경우 전력 면에서 큰 이득을 얻을 수 있다.

4.4 에너지 계산 블록

에너지 계산단은 하드웨어로 구성된 동기 누적단의 결과를 입력으로 하여 그 값을 제곱하여 에너지를 계산하는 블록이다. 로컬 PN Code와 국부 PN Code를 비교한 결과를 확대시켜 두 개의 PN Code

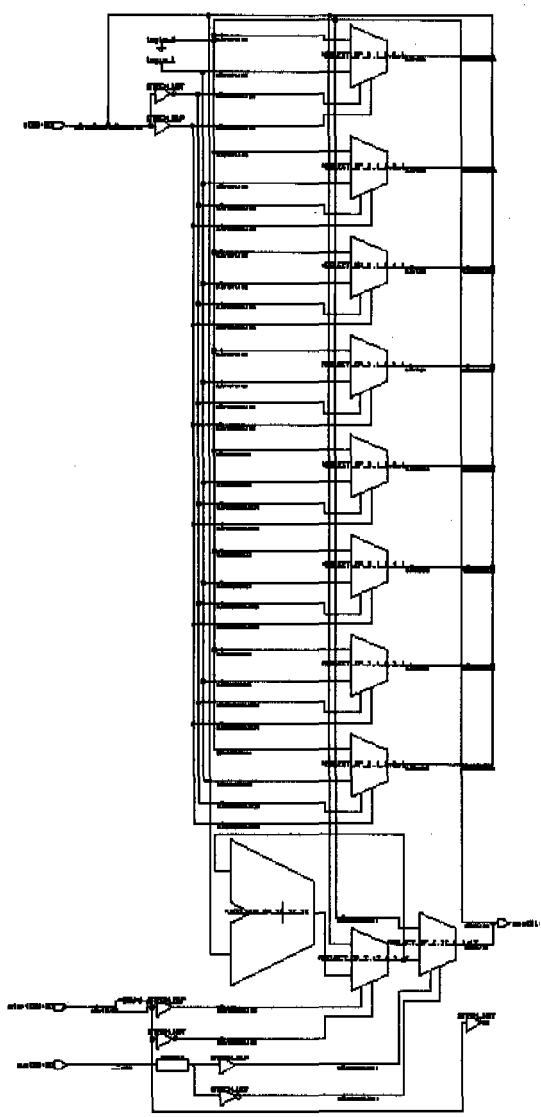

그림 13. 동기 누적단의 회로도

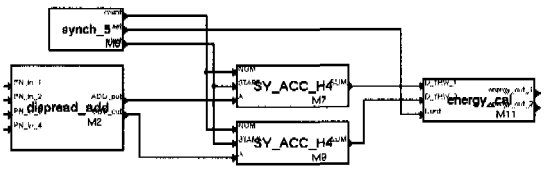

그림 14. 에너지 계산 블록

가 서로 일치하는지에 대한 판단을 하는데 있어서 도움을 준다. 하드웨어에서 오는 결과와 동기를 맞추어 주기 위해 'Cont' 라는 신호를 사용하였다. 이 신호는 동기 누적단에서 128번의 동기 누적을 끝났

www.dbpia.co.kr

을 때 그 결과 값과 함께 출력된다. 위의 그림에서 입력은 수신된 PN 신호와 국부 PN신호이다.

실험은 64를 주기로 하였고, 그림에서 64를 주기로 누적되어 나가는 것을 볼 수 있으며, Imaginary단의 결과 파형은 0으로 일정하게 된다.

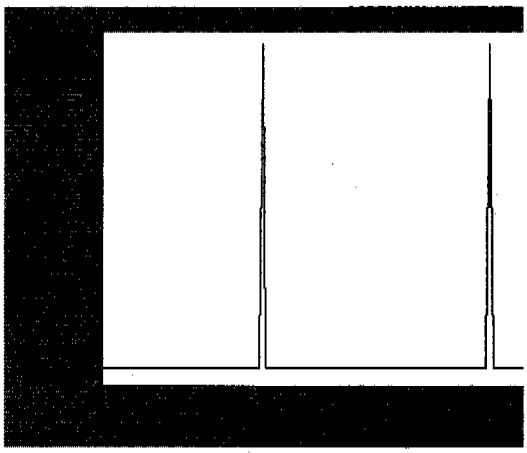

그림 15. Real단의 에너지 계산 Simulation

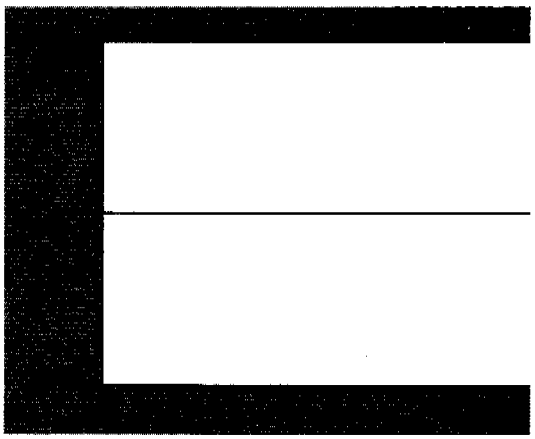

그림 16. Imaginary단의 에너지 계산 Simulation

4.5 에너지 계산 후의 비교단

이 단은 Real단과 Image단에서 계산된 에너지 값을 입력으로 하여 두 값을 비교, 큰 값을 출력하는 역할을 한다.

4.6 임계값과 에너지 계산 결과 값의 비교단

국부 PN Code와 로컬 PN Code의 동기가 맞는지를 판단하는 블록이다. 에너지 계산값을 비교한 결과를 입력으로 하여 미리 설정된 값(θ_1)과 비교한다. 이 값과 비교하여 크거나 같을 경우 동기가

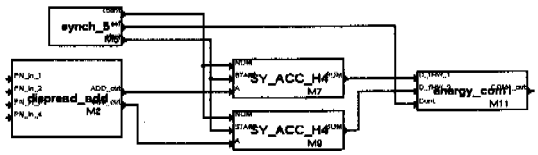

그림 17. Real단과 Imaginary단의 에너지 계산 결과 비교단

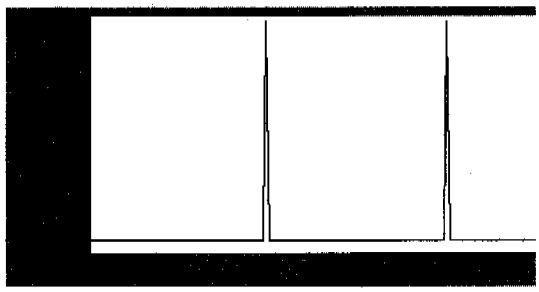

그림 18. 에너지 계산 후 비교단의 Simulation

일치한다고 판단을 하고, 그렇지 않을 경우 동기가 불일치 한다고 판단하여 Search_Slew신호를 발생한다. Simulation 결과는 동기가 맞는다고 판단하여 '1'을 출력하는 결과를 보여주고 있다.

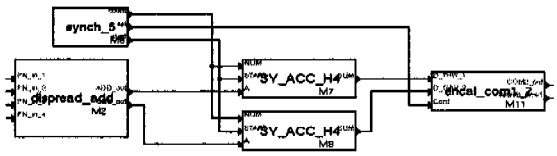

그림 19. 임계값 비교단

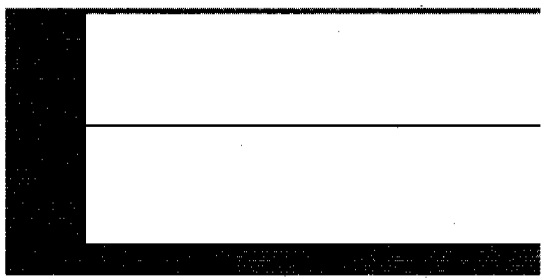

그림 20. 임계값 비교단의 Search_slew Simulation

4.7 비동기 누적단

임계치 θ_1과 비교한 결과가 조건을 만족하는 경우 그 결과값을 주어진 비동기 누적 횟수 N_N만큼 비동기 누적을 수행한다. 이 값은 뒷단에서 임계치 (θ_2)와 비교하여 동기 일치 여부를 최종적으로 판단하게 된다. 이 블록은 Search_Slew신호에 의해

www.dbpia.co.kr

초기화된다.

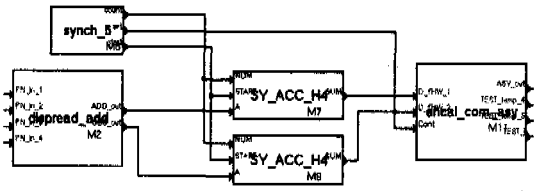

그림 21. 비동기 누적단

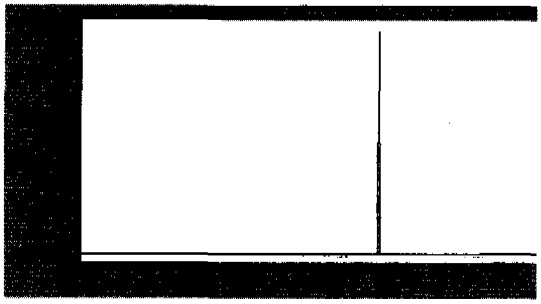

그림 22. 비동기 누적단의 Simulation

4.8 비동기 누적 후 비교단

Double Dwell 방식에서는 위에서 설명한 동기 누적 결과를 비교하여 국부 PN Code와 로컬 PN Code가 일치하는지를 판단한 후 비동기 누적단에서 한번 더 동기가 일치하는지 여부를 판단한다. 임계치 θ_1과 비교한 결과가 조건을 만족하는 경우 주어진 비동기 누적 횟수 N_N만큼 비동기 누적을 수행한 후 미리 정해진 임계치 (θ_2)와 비교한다. 임계치 (θ_2)와 비교한 결과가 작은 경우 동기가 불일치 한다고 판단하여 Search_Slew 신호를 발생시키고, 그렇지 않은 경우에 최종적으로 동기가 일치하였다고 판단하여 Search Done신호를 출력시킨다.

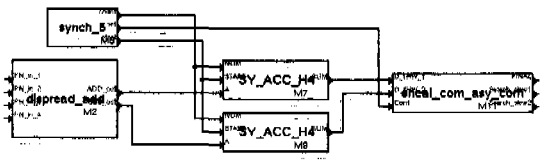

그림 23. 임계값 비교단

아래의 Simulation 결과(1)은 비교값이 큰가에 대한 것으로 실험값이 임계값보다 큰 경우 '1'을 출력시킨다. Simulation 결과(2)는 Search_slew 신호로 동기가 맞을 경우 '1'을 출력시킨다.

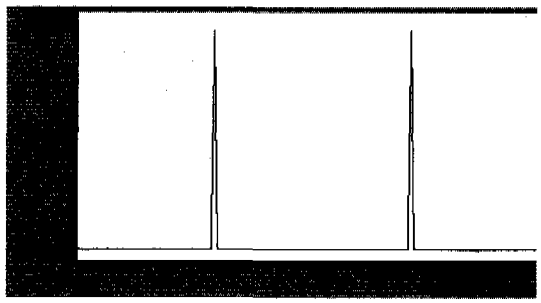

그림 24. 임계값 비교 Simulation(1)

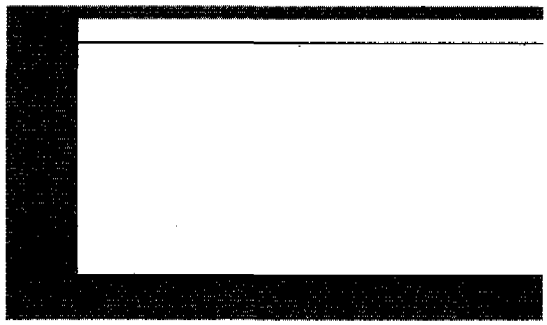

그림 25. 임계값 비교 Simulation(2)

4.9 통합 설계된 탐색자

먼저 COSSAP을 사용하여 소프트웨어로 구현한 각각의 블록에 대한 수행 시간을 Cost로 하여 분할을 수행하였다. 그 결과 동작 속도가 가장 취약한 부분은 임계치 θ_1과 비교하는 블록이었다. 이 블록을 하드웨어로 구성하여 Simulation을 한 결과 큰 이득을 얻을 수 없었다. 그 원인으로는 COSSAP에서 수행시간을 계산하는 과정에서 각각의 블록에 대해서 실시간 수행시간뿐만 아니라 프로그램된 소프트웨어를 수행하기 위한 부수적인 시간 (Compile Time 등)이 포함되어 임계치 θ_1과 비교하는 블록이 동작 속도가 가장 취약한 결과로 나타난 것으로 추정된다.

각 블록을 수행하기 위한 Instruction의 수를 Cost로 하여 다시 한번 분할을 수행하였다. 이것은 각 블록의 소모 전력과 동작 속도를 간접적으로 표현한다고 할 수 있다. 소프트웨어로 구현한 CDMA 탐색자의 구성요소 중 가장 많은 명령을 수행하는 부분은 동기 누적단이다. 이를 하드웨어로 구현하게 되면 대략 48.1%의 동작 속도 개선 효과를 볼 수 있다.

위의 data flow를 바탕으로 Full Software, Full Hardware 및 통합 설계 방법으로 설계를 해 보았

www.dbpia.co.kr

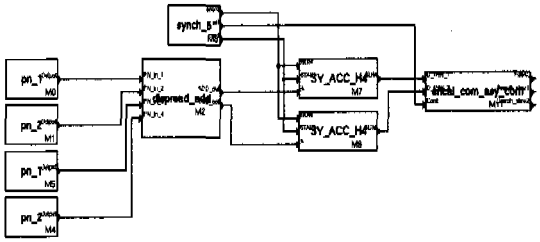

그림 26. 통합 설계된 Searcher

으며, 이들 결과를 비교해 보면 동기 누적단과 에너지 계산단을 하드웨어로 설계할 경우 Full Software로 설계를 할 때보다 동작 속도가 최대 48.5% 향상되었다. 하지만 반대급부로 면적이 그만큼 늘어난 것을 볼 수 있다. 표에서 α 는 DSP의 면적을 의미한다.

표 1. 실험결과 ※(3)은 비교단

	Speed (cycles)	Speed 개선율 (%)	Area (gates)
Full Software	266	-	α
Full Hardware	-	-	9008
동기누적단(1)을 HW로	138	48.1	α +872
에너지계산단(2)을 HW로	265	4.4	α +3096
(1)과 (2)를 HW로	137	48.5	α +3968
(2)와 (3)을 HW로	265	4.4	α +3155
(1)과 (3)을 HW로	138	48.1	α +931

Ⅳ. 결 론

본 논문에서는 IS-95기반의 DS/CDMA 시스템에 사용되는 상관기를 사용한 직렬 탐색방식의 Double Dwell Searcher를 구현하고 이를 설계하였다. 위의 data flow를 바탕으로 Full Software, Full Hardware 및 통합 설계 방법으로 SYNOPSYS™의 COSSAP을 사용하여 구현하였다. 시스템의 전력 소모와 동작 속도를 Cost로 하여 하드웨어-소프트웨어 분할을 진행하였다. 표 1에서 동기 누적단과 에너지 계산단을 Hardware로 설계할 경우 Full Software로 설계를 할 때보다 동작 속도가 최대 48.5% 향상되었다. 소프트웨어 부분과 하드웨어 부분을 같은 영역에서 소모 전력을 측정할 수 있는 알고리즘이 개발되지 못하여, 저전력 하드웨어-소프트웨어 통합설계를 구현하지 못했다. 앞으로 개인 이동통신 등의 발달은 이 분야에 대한 연구를 촉진시킬 것이다. 하드웨어-소프트웨어 통합설계가 하드웨어-소프트웨어 영역 모두에 최적의 설계를 제공할 수는 없지만, 향후 System-on-Chip 설계에서 꼭 필요한 영역임에는 분명하다. 그러므로 위에서 나타난 문제들을 해결해 나가며 저전력 하드웨어-소프트웨어 통합설계 분야에 대한 연구가 필요하다.

참 고 문 헌

[1] 김남훈, 신현철, "하드웨어-소프트웨어 통합설계에서의 새로운 분할 방법", 대한 전자공학회 논문지, 제 35권 C편 5호, pp. 321-330, 1998.

[2] J. Henkel, T. Benner, and R. Ernst, "Hardware Generation and Partitioning Effects in the COSYMA System", IEEE Int'1 Workshop on Hardware/Software Codesign, pp. 29-40, 1993.

[3] W. Ye, R. Ernst, T. Benner, and J. Henkel, "Fast Timing analysis for Hardware-Software Co-synthesis," Proc. of ICCAD, pp. 452-457, 1993.

[4] M. K. Purvis, D. W. Franke, "An Overview of Hardware/Software Codesign", IEEE International Symposium on Vol.6, pp. 2665-2668, 1992

[5] L. Garber and D. Sims, "In pursuit of Hardware- Software Codesign", computer magazine, Jun 1998, pp. 12-14

[6] R. Gupta and G. De Micheli, "System-level Synthesis Using Reprogrammable Component", Proc. of EDAC, pp 2-7, March 1992.

[7] R. Ernst, j. Henkel and T. Benner, "Hardware-Software Cosynthesis for Microcontrollers", IEEE Design & Test, pp. 64-75, December 1993.

[8] J. Buck, S. Ha, E. Lee, and D. Messerschmitt, "Ptolemy: a Framework for Simulating and Heterogeneous System", International Journal of Computer Simulation, vol. 4, pp. 155-182, April 1994.

[9] A. Kalavade and E. A. Lee, "A Hardware-software Codesign Methodology for DSP Application", IEEE Design and Test of

www.dbpia.co.kr

Computer, vol. 10, no. 3, pp. 16-28, Sept. 1993.

[10] Wonho Lee, Wangrok Oh, Teajin Chung, Kyungwhoon Cheun, Byeongchul Ahn, "Design and Implementation of A Wideband CDMA Modem", Proceedings of ICCE '97, pp. 444-445, June 1997.

[11] "Wideband CDMA multimedia testbed wireless access physical layer spec. ver. 1.0", Korea Mobil Telecom, internal report, 1996.

[12] Seongjoo Lee, Sangyun Hwang, and Jaeseok Kim, "VLSI Architecture of CDMA Rake Receiver with Low Hardware Complexity for PCS", Proceedings of ICCE'98, pp. 160-161, June 1998.

[13] 김 산, 조 준 동, "CDMA용 탐색자의 저전력 설계", CAD 및 VLSI 설계 연구회 학술발표회, pp. 25-30, May 1999.

[14] 황인기, 김 산, 조준동, "IS-95 기반의 DS/CDMA Searcher의 통합설계", 1999년도 ASIC DESIGN WORKSHOP, pp. 211-212, Sep 1999.

황 인 기(In Ki Hwang) 준회원

1999년 2월 : 성균관대학교 전자공학과 졸업 (학사)

1999년 3월~현재 : 성균관대학교 전지전자컴퓨터공학부 석사과정

<주관심 분야> 디지털 통신, 이동통신, 저전력 설계 기술, 상위단계에서의 소비전력 예측 등임

김 산(San Kim) 준회원

1994년 2월 : 성균관대학교 전자공학과 졸업 (학사)

2000년 2월 : 성균관대학교 전기전자컴퓨터공학부 졸업 (석사)

<주관심 분야> 디지털 통신, 무선통신, 이동통신, 저전력 설계 기술, Reconfigurable System 등임

조 준 동(Hyung Jin Choi) 정회원

1980년 2월 : 성균관대학교 전자공학과 졸업(학사)

1983년 6월~1987년 8월 : 삼성전자 CAD 팀 근무 (연구원, 팀장)

1989년 9월 : Polytechnic University Brooklyn, NY 전산학과 졸업 (석사)

1993년 7월 : Northwestern University 전산학과 졸업 (박사)

1995년 3월~현재 : 성균관대학교 전기전자컴퓨터공학부 (부교수)

IEEE Senior멤버

<주관심 분야> 디지털 통신, 무선통신, 이동통신, 저전력 설계 기술, VLSI CAD 등임

최 형 진(Jun Dong Cho) 정회원

1974년 2월 : 서울대학교 공학과 졸업(학사)

1976년 2월 : 한국과학기술원 전기전자공학과 졸업 (석사)

1976년 3월~1979년 7월 : 주식회사 금성사 중앙연구소 근무 (연구원)

1979년 9월~1982년 12월 : 미국 University of Southern California 전기공학과 졸업 (박사)

1982년 10월~1989년 12월 : 미국 LinCom Corp. 연구원으로 근무

1989년 3월~현재 : 성균관대학교 전기전자컴퓨터공학부 (정교수)

<주관심 분야 > 디지털 통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 Modem 기술 등임

www.dbpia.co.kr