

효율적 Cyclic Extension을 갖는 Zipper 방식의 VDSL 모뎀

정희원 위정욱*, 양원영*, 백종호**, 유영환**, 조진웅**, 조용수*

A Zipper-based VDSL Modem with an Efficient Cyclic Extension

Jung-Wook Wee*, Won-Woung Yang*, Jong-Ho Paik**, Young-Hwan You**,
Jin-Woong Cho**, Yong-Soo Cho* *Regular Members*

요약

본 논문에서는 Zipper 방식의 VDSL(Very High Bit-rate Digital Subscriber Line) 시스템에서 cyclic extension을 효율적으로 구현할 수 있는 기법을 제안하고, 전형적인 전화채널 환경 하에서 제안된 방식의 성능을 분석한다. Zipper 방식에서는 각 DMT(discrete-multitone) 블록에 cyclic prefix(CP)와 cyclic suffix(CS)가 추가로 사용되는데, 여기서 CP는 심볼간 간섭과 부채널간 간섭을 방지하기 위하여 삽입되며, CS는 upstream과 downstream 부반송파간의 직교성을 유지하기 위하여 추가되어 near-end crosstalk (NEXT)을 방지한다. 그러나 VDSL 시스템의 송신단에서 CP를 구현하기 위해서는 각 DMT 심볼의 뒷부분을 DMT 심볼의 앞으로 삽입하기 위한 추가적인 하드웨어가 요구된다. 본 논문에서는 CP를 구현하는데 필요로 되는 하드웨어 복잡도(메모리와 처리지연)를 줄이기 위하여 CS만을 사용하는 Zipper 방식의 VDSL 시스템을 제안한다. 컴퓨터 모의실험을 통하여 제안된 방식이 전형적인 채널환경 하에서 CP와 CS를 둘다 사용하는 기존 Zipper 방식의 VDSL 시스템과 비교하여 매우 적은 하드웨어를 사용함에도 불구하고 동일한 전송능력을 갖게 됨을 보인다.

ABSTRACT

In this paper, we propose an efficient implementation technique for cyclic extension in VDSL(Very High bit-rate Digital Subscriber Line) systems using Zipper duplexing and analyze its performances under typical telephone channel environments. In Zipper-based VDSL systems, each DMT(discrete -multitone) block is appended by both cyclic prefix(CP) and cyclic suffix(CS). The CP is inserted to prevent both intersymbol interference (ISI) and interchannel interference (ICI), while the CS is appended to ensure orthogonality between the upstream and downstream carriers, thus preventing near-end crosstalk (NEXT). However, in order to implement the CP in the transmitter side of the VDSL system, an additional hardware is required to append the latter part of each DMT symbol to the beginning of the DMT symbol. In this paper, we propose a VDSL system with Zipper duplexing using only CS to reduce hardware complexity (memory and processing delay) required for implementation of CP. It is shown by computer simulation that the proposed approach has the same capacity under typical channel environments as the previous Zipper-based VDSL system using both CP and CS, even with a significantly lower hardware complexity.

I. 서론

최근 internet과 같이 고속의 멀티미디어 서비스

에 대한 요구가 증대함에 따라 기존의 전화선(copper twisted pair)을 사용하여 고속의 데이터를 전송할 수 있는 VDSL(Very High Bit-rate Digital

* 중앙대학교 전자전기공학부 (yscho@cau.ac.kr),
논문번호: 00084-0306, 접수일자: 2000년 3월 6일

** 전자부품연구원

Subscriber Line) 기술에 대한 연구가 활발이 이루어지고 있다. 이러한 VDSL 기술을 사용할 경우 근거리(300m-1500m)에서 최대 52 Mbps의 데이터를 전송할 수 있다. VDSL 시스템 설계 시 고려해야 할 중요한 문제 중의 하나는 near-end crosstalk (NEXT)의 제거이다. 같은 binder 그룹에서 서로 다른 방향의 데이터를 동시에 전송할 경우 발생하는 NEXT는 ADSL과 같이 단 방향으로 대부분의 데이터를 전송할 경우에는 크게 문제가 되지 않으나 VDSL 시스템 설계 시 이를 고려하지 않을 경우에는 전체 시스템의 성능이 크게 저하된다. 이 NEXT를 제거하기 위한 방법으로 upstream과 downstream을 시간대 별로 구분하여 전송하는 TDD(Time-Division Duplex) 방식과, 주파수 대역을 나누어 전송하는 FDD(Frequency-Division Duplex) 방식, FDD의 일종이나 필터를 사용하지 않는 Zipper 방식이 있다. 현재는 TDD/DMT 방식인 SDMT(Synchronized DMT), FDD/DMT 방식인 Zipper, FDD/CAP 방식의 3가지 표준안이 제출 중이다.

Zipper 방식은 DMT 심볼간의 간섭을 제거하고 부반송파간의 직교성을 유지하기 위한 cyclic prefix(CP) 외에, upstream과 downstream간의 직교성을 유지하여 NEXT의 영향을 없애주기 위한 cyclic suffix(CS)가 DMT 심볼의 뒷부분에 추가로 삽입된다^[1]. Zipper 방식은 이러한 CP와 CS를 포함한 DMT 심볼을 기본단위로 하여 binder 내의 모든 프레임의 동기를 맞추어 전송하는 동기식과 그렇지 않은 비동기식으로 분류된다. 이 중 동기식의 경우에는 binder 내의 최대 채널지연으로 CS의 길이를 설정함으로써 upstream과 downstream간에 완전한 직교성이 유지되어 NEXT의 영향이 제거되나, 비동기식의 경우에는 이러한 직교성이 유지되지 않아 주어진 upstream과 downstream 대역 밖으로 퍼지는 현상이 발생된다. 따라서 비동기식에서는 송신단에서 pulse shaping을 사용하고 수신단에서 windowing을 사용하여 NEXT 영향을 최소화하고, RFI(Radio Frequency Interference)의 영향을 수신단에서 감쇄시킨다^[2].

본 논문에서는 Zipper 방식의 VDSL 시스템에서 이러한 cyclic extension을 송신단에서 효율적으로 구현할 수 있는 기법을 제안하고, 전형적인 전화채널 환경 하에서 제안된 방식의 성능을 분석한다. CS를 삽입하는 블록을 하드웨어로 구현할 경우에는 삽입구간이 데이터의 위치보다 시간영역에서 뒤에 존재하기 때문에 처리지연이 발생하지 않고 CS의

길이에 해당하는 버퍼나 메모리만 필요한 반면, CP의 경우에는 삽입구간이 데이터의 위치보다 시간영역에서 앞에 존재하기 때문에 DMT 심볼 길이에 해당하는 처리지연이 발생하고 DMT 심볼 길이에 해당하는 버퍼나 메모리가 필요하게 되어 복잡도가 크게 증가하게 된다. 따라서 본 논문에서는 하드웨어 복잡도가 큰 CP를 사용하지 않고 CS만을 사용한 Zipper 방식의 VDSL 시스템을 제안하고 그 성능(전송능력)을 분석한다. 제안된 방식은 성능면에서는 CP와 CS를 함께 사용하는 기존 Zipper 방식의 VDSL 시스템과 동일하지만 CP를 사용하지 않기 때문에 송신단에서 보호구간 삽입부의 하드웨어 복잡도를 크게 줄일 수 있는 장점이 있다.

제안된 방식의 성능은 ANSI DSL standard group T1E1.4에서 제시한 VDSL test loop에 AWGN, NEXT, FEXT(Far-End Crosstalk.), RFI 잡음 등이 함께 존재하는 채널환경 하에서 기존의 방식과 비교하여 분석하고, CS, pulse shaping, windowing에 의한 영향 및 전송능력을 분석한다. II절에서는 Zipper 방식의 VDSL 시스템을 요약하고, III절에서는 기존의 CP와 CS를 사용하는 cyclic extension 방식에 대하여 검토한 후, 이에 비해 적은 하드웨어 복잡도를 갖지만 동일한 성능을 내는 CS만을 사용하는 방식을 제안한다. IV절에서는 전형적인 VDSL 채널 환경 하에서 제안된 Zipper 방식의 성능을 모의실험을 통하여 분석한다. V절에서는 본 논문의 결론을 맺는다.

II. Zipper 방식의 VDSL 시스템

그림 1은 Zipper 방식의 VDSL 시스템의 블록도를 보여준다. Zipper 방식은 기존의 DMT 방식을 다음 두 가지 면에서 확장된 형태로 볼 수 있다. 첫째로 upstream과 downstream에 필요한 전송속도에 맞게 부채널을 동적으로 할당한다. 이런 성질로 인하여 한 binder내에서 ADSL같은 다른 시스템과 upstream과 downstream을 공유하여 사용하기가 용이하다. 둘째로 NEXT와 near-echo를 방지하기 위해 CP외에 CS를 신호의 끝부분에 추가하여 사용한다. 그림 2에 나타난 바와 같이 일반적으로 NEXT는 인접한 network terminal (NT)에서 송신한 신호로 짧은 시간 내에 수신되지만, 원하는 신호는 채널의 길이에 따른 지연에 의해 Δ 시간 만큼 지연된 이후 수신된다. Upstream신호와 downstream 신호는 다른 반송파를 사용하므로 이상적인 상황에서는 서

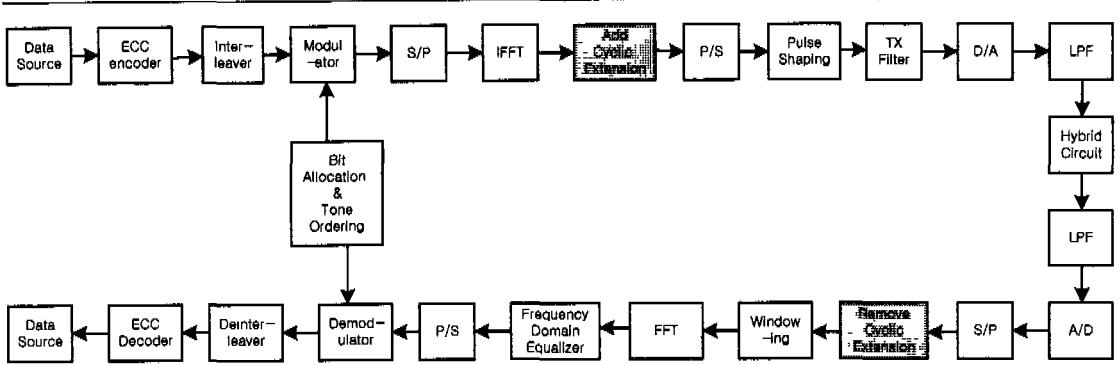


그림 1. Zipper 방식의 VDSL 시스템 블록도

로 영향을 주지 않지만, 채널 지연 Δ 때문에 수신단에서 NEXT신호와의 직교성이 유지되지 못하여 영향을 주게 된다. 따라서 Zipper 방식에서는 직교성을 유지하기 위하여 그림 2에 나타난 바와 같이 DMT 프레임의 끝에 CS를 추가한다^[3]. 이때 CS는 CP와는 반대로 신호의 앞부분을 복사하여 뒷부분에 추가한다. 이 CS의 추가로 인하여 NEXT와의 직교성이 유지되어 수신단에 수신된 신호로부터 송신신호는 완벽히 복원할 수 있다^[1]. 일반적으로 채널의 길이에 따라 지연이 달라지게 되므로 동기식에서 CS의 길이는 하나의 binder 내에서 가장 긴 지연을 갖는 채널에 의해 결정된다. 또한 binder 내의 모든 프레임의 동기를 맞추어 전송하는 동기식과 달리 비동기식에서는 임의의 시간에 NT에서 신호가 전송되므로 upstream과 downstream 간의 직교성이 유지되지 않는다. 따라서 비동기식의 경우에는 송신단에서 pulse shaping과 수신단에서는 windowing을 사용하여 주어진 upstream과 downstream대역 밖으로 퍼지는 효과를 최소화 한다. 또한 RFI가 유입되었을 경우 windowing은 RFI의 sidelobe를 줄여 그 영향을 최소화한다. 그러나 비동기식의 Zipper 방식에서는 CS의 길이를 각 채널의 지연에 맞게 결정할

수 있어 동기식에 비하여 시스템의 효율성이 증대된다^{[4][5]}. 그림 3에서는 Zipper 방식에서 사용하는 DMT 심볼의 pulse shaping과 windowing을 보여준다. 일반적으로 비동기식의 Zipper 방식에서는 신호의 직교성을 유지하기 위하여 raised-cosine window가 주로 사용된다^[2]. Latency는 하나의 비트가 전송단으로 입력되어 수신단을 통해 나올 때까지의 걸린 최대 시간을 나타내며 Zipper 방식의 경우 다음과 같이 주어진다.

$$\tau_{Zipper} = \Delta + (2(2N + N_{CP}) + N_{CS}) / f_s \quad (1)$$

여기서 Δ 는 채널에 의한 지연, N 은 부채널의 개수, N_{CP} 는 CP의 길이, N_{CS} 는 CS의 길이, f_s 는 샘플링 주파수를 나타낸다. 또한 Zipper 방식의 efficiency는 다음과 같이 주어진다.

$$\epsilon_{Zipper} = \frac{2N}{2N + N_{CP} + N_{CS}} \quad (2)$$

표 1은 채널의 길이 1500m, $N_{CP}=60$ 샘플, $N_{CS}=150$ 샘플, $f_s=20$ MHz일 경우 efficiency와 latency를 보여준다^[6].

부채널의 수가 증가함에 따라 efficiency가 증가하고, latency는 SDMT와 같은 다른 방식의 VDSL 시스템과 비교하여 매우 작음을 알 수 있다.

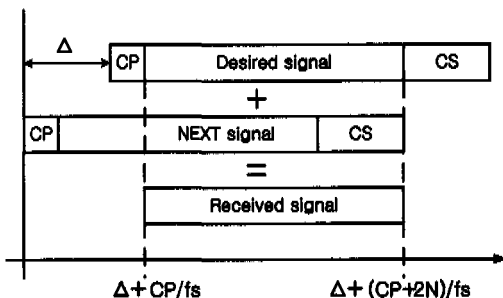


그림 2. Zipper 방식에서 cyclic suffix의 영향

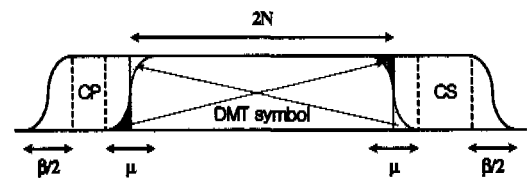


그림 3. Pulse shaping과 windowing

표 1. Zipper 방식의 efficiency와 latency

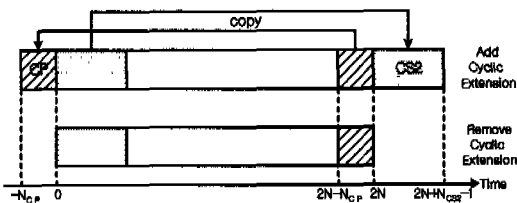
부채널의 수	Efficient	Latency
256	70.9%	72 μ s
1024	90.7%	226 μ s
4096	97.5%	840 μ s

III. 효율적인 Cyclic Extension을 갖는 Zipper 방식의 VDSL 모델

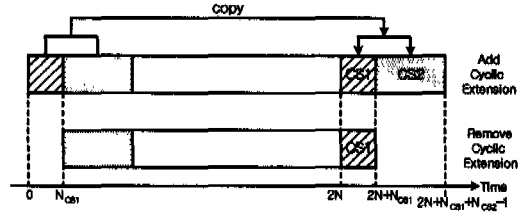
본 절에서는 Zipper 방식의 VDSL 시스템에서 사용되는 기존의 cyclic extension 방식을 고찰하고 이를 보다 효율적으로 설계할 수 있는 방식을 제안한다. 그림 1에서 빗금친 블록은 Zipper 방식의 VDSL 시스템에서 cyclic extension을 삽입하고 제거하는 부분을 보여준다. 각 심볼은 2N개의 유효데이터와 NCP개의 CP와 NCS개의 CS로 구성된 것으로 가정하였다. CP는 메모리를 갖는 채널 하에서 전송된 이전 심볼이 현 심볼에 의해 손상되는 것을 방지하기 위해 사용되며, 그림 4(a)에 나타난 바와 같이 시간영역에서 심볼의 마지막 부분을 복사하여 유효 데이터가 환형을 유지하도록 구성된다. CS는 NEXT와 near-echo를 제거하기 위해 사용되며, CP와는 반대로 심볼의 앞 부분을 복사하여 삽입된다. Zipper 방식의 VDSL 시스템에서 cyclic extension이 삽입된 후 송신되는 신호는 다음과 같이 표현된다.

$$\tilde{x}_i(\tilde{n}) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X_i(k) e^{j2\pi k \frac{\tilde{n}}{2N}}, \quad \tilde{n} = -N_{CP}, \dots, 0, \dots, 2N + N_{CP} + 1 \quad (3)$$

일반적으로 채널을 통과하여 수신되는 신호는 위상지터, 샘플러에서의 타이밍 옵셋이 존재하므로 이를 고려하여 표현하면 수신신호는 다음과 같이 주어진다.



(a) 기존 방식



(b) 제안된 방식

그림 4. Cyclic extension의 삽입과 제거 과정

$$\tilde{y}(\tilde{n}) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X_i(k) H_i(k) e^{j2\pi k \frac{\tilde{n} + \delta}{2N}} + \tilde{w}(\tilde{n}) \quad (4)$$

여기서, δ 는 정규화된 타이밍 옵셋, $H_i(k)$ 는 1번 채널의 주파수 응답을 나타낸다. 채널을 통과하는 동안 인접 심볼에 의해 심볼간 간섭이 발생하므로 수신 신호에서 채널에 의해 왜곡된 신호가 수신된다. 왜곡된 CP를 제거하고 심볼간 간섭의 영향을 받지 않은 2N개의 유효 데이터를 추출하여 FFT로 복조하면 다음과 같다.

$$\tilde{y}(n) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X_i(k) H_i(k) e^{j2\pi k \frac{n + \delta}{2N}} + \tilde{w}(n) \quad (5)$$

$$Y(k) = \frac{1}{\sqrt{2N}} \sum_{n=0}^{2N-1} \tilde{y}(n) e^{-j2\pi nk} = X_i(k) H_i(k) e^{j2\pi nk \frac{\delta}{2N}} + \tilde{W}(k) \quad (6)$$

한편 제안된 cyclic extension 방식은 그림 4(b)에 나타난 바와 같이 DMT 심볼의 앞부분 ($N_{CS1} + N_{CS2}$)개의 데이터를 뒷부분의 보호구간에 복사하여 구현한다. 제안된 방식에서 CS1은 DMT 심볼간의 간섭을 제거하고 부반송파간의 직교성을 유지하기 위한 기존 방식의 CP의 역할을 하며, CS2는 기존 방식에서와 마찬가지로 upstream과 downstream간의 직교성을 유지하여 NEXT의 영향을 없애주기 위한 CS의 역할을 한다. 기존의 cyclic extension 방식에서는 CP를 구현할 경우 CP에 사용될 데이터가 현재는 알 수 없는 미래의 데이터이기 때문에 미래의 데이터가 들어올 때까지 저장하고 처리할 하드웨어가 추가로 필요한 반면, 제안된 CS만을 사용한 방식에서는 미리 알고 있는 앞부분의 데이터를 사용하기 때문에 하드웨어를 크게 줄일

수 있다. 그림 4(b)에 나타난 바와 같이 제안된 방식을 사용한 경우 채널을 통해 전송되는 1번째 DMT 신호는 다음과 같다.

$$\hat{x}(\hat{n}) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X(k) e^{j\frac{2\pi k \hat{n}}{2N}}, \quad (7)$$

$$\hat{n} = 0, 1, 2, \dots, 2N + N_{CS1} + N_{CS2} - 1$$

여기서 “ $\hat{\cdot}$ ”는 제안된 방식을 적용 후 DMT 신호를 나타낸다. 수신부에 수신되는 신호는 기존 방식에서와 마찬가지로 타이밍 옵셋을 포함한 식으로 표현된다.

$$\hat{y}(\hat{n}) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X(k) H_1(k) e^{j\frac{2\pi k (\hat{n} + \theta)}{2N}} + \hat{w}(\hat{n}) \quad (8)$$

기존의 방식에서는 이전 심볼에 의해 데이터가 손상받는 영역이 앞부분 보호구간의 CP영역이지만, 제안된 방식에서는 유효데이터 영역이 손상을 입는다. 그러나 제안된 방식에서는 송신부에서 보호구간 삽입 시 같은 데이터를 뒷부분에 복사하므로 복사된 CS1 영역은 채널을 통과한 후에도 이전 심볼에 영향을 받지 않게 된다. 그러므로 수신부에서 보호구간 제거 시, 제안된 방식에서는 그림 4(b)와 같이 뒷부분이 아닌 손상된 앞부분의 N_{CS1} 개의 샘플을 제거하여 이전 심볼에 의한 간섭을 방지하며, 손상되지 않은 데이터를 뒷부분에 보관하게 된다. 손상된 앞부분의 N_{CS1} 개의 샘플을 제거한 후 신호는 다음과 같이 주어진다.

$$\hat{y}_1(n + N_{CS1}) = \frac{1}{\sqrt{2N}} \sum_{k=0}^{2N-1} X(k) H_1(k) e^{j\frac{2\pi k (n + N_{CS1} + \theta)}{2N}} + \hat{w}_1(\hat{n}) \quad (9)$$

제안된 방식의 경우에 보호구간이 제거된 후의 신호는 기존의 방식과 달리 시간영역 인덱스가 보호구간의 크기인 N_{CS1} 부터 시작하고, 앞부분의 원래의 데이터는 뒷부분의 CS1 영역에 존재하게 된다. 결과적으로 수신단에서 앞부분의 보호구간과 CS2를 제거한 후의 신호는 제안된 방식의 경우 기존 방식에 비해 유효데이터가 N_{CS1} 만큼 환형 이동된 상태로 표현된다. 즉, 시간 영역에서 환형이동은 주파수 영역에서 선형위상 이동으로 나타나는 DFT의 속성에 의해 FFT로 복조된 신호는 다음과 같이 위상 이동이 발생한다.

$$\begin{aligned} Y(k) &= \frac{1}{\sqrt{2N}} \sum_{n=0}^{2N-1} \hat{y}(n + N_{CS1}) e^{j\frac{2\pi nk}{2N}} \\ &= X(k) H_1(k) e^{j\frac{2\pi (N_{CS1} + \theta)k}{2N}} + \hat{W}(k) \end{aligned} \quad (10)$$

식 (6)으로 표현되는 기존 방식의 복조된 신호에 비하여 제안된 방식을 사용함으로써 $\theta(k)$ 만큼의 위상이동이 발생하게 되며, 이 경우 두 방식의 관계식은 다음과 같이 주어진다.

$$\hat{Y}(k) = Y(k) e^{-j\frac{2\pi N_{CS1}k}{2N}} = \hat{Y}(k) \theta(k) \quad (11)$$

CS1에 의한 위상이동 $\theta(k)$ 는 부채널 인덱스 k 에 관한 함수로 표현되며 부채널 인덱스가 커질수록 위상의 이동은 선형으로 증가한다. 그러나 제안된 방식을 사용함으로써 발생하는 위상의 이동은 원하지 않은 결과이므로 보상이 필요하지만, 이 경우 추가적인 블록없이 주파수영역 등화기만으로 보상이 가능하다. 즉, 훈련 심볼을 사용하여 채널을 추정할 경우 추정치에는 채널과 CS1에 의한 위상이동이 함께 추정되므로, 별도의 위상이동에 대한 추정이 필요 없다. 따라서 추정된 채널값을 이용하여 계수를 설정하면 위상이동이 함께 보상된다. 이는 다음의 식을 사용하여 쉽게 확인할 수 있다.

$$\begin{aligned} \hat{H}(k) &= \frac{\hat{Y}_p(k)}{X_p(k)} \\ &= H_p(k) e^{j\frac{2\pi N_{CS1}k}{2N}} + W'_p(k) \\ &= H_p(k) \theta(k) + W'_p(k) \end{aligned} \quad (12)$$

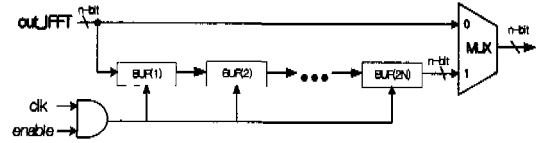
위 식에서 $\hat{H}(k)$ 는 훈련기간동안 추정된 채널의 주파수 응답, $X_p(k)$ 는 주파수영역에서 전송한 훈련 심볼, $\hat{Y}_p(k)$ 는 수신심볼을 나타낸다. 추정된 채널 값에 $\theta(k)$ 항이 포함되어 있으므로 이를 이용하여 CS1에 의한 위상이동을 보상할 수 있다. 즉, 잡음의 영향을 무시할 수 있고, 훈련 심볼과 1번째 전송한 심볼 사이에 채널이 변하지 않았다고 가정할 경우 수신된 신호는 다음과 같이 주어진다.

$$\begin{aligned} \hat{X}(k) &= \frac{\hat{Y}(k)}{\hat{H}(k)} \\ &= \frac{H_1(k) X_1(k) e^{j\frac{2\pi N_{CS1}k}{2N}} + \hat{W}(k)}{H_p(k) e^{j\frac{2\pi N_{CS1}k}{2N}} + W'_p(k)} \\ &\approx X(k) \end{aligned} \quad (13)$$

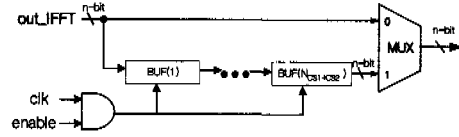
제안된 방식의 경우 CS1을 사용함으로써 발생하는 위상이동은 이에 대한 별도의 추정없이 혼련신호를 사용하여 주파수영역 동화기로 자동적으로 보상이 됨으로 송신신호를 기존방식과 동일하게 추정할 수 있음을 확인할 수 있다.

하드웨어 구현 측면에서 기존의 방식과 제안된 방식을 비교하여 살펴보면 다음과 같다. 기존의 방식에서는 IFFT 된 데이터는 직렬로 cyclic extension 삽입부로 입력되는데 CP부분에 삽입하고자 하는 데이터는 삽입할 위치보다 뒤에 있기 때문에 이 데이터가 입력될 때까지 먼저 입력되는 신호를 저장해야 한다.

그림 5(a)는 기존의 방식을 하드웨어로 구현하기 위한 방법의 한 예를 보여준다. 입력된 데이터는 버퍼를 사용하여 FFT 크기 2N만큼 지연시켜 출력한다. 이때 MUX(Multiplexer)의 0번 핀에 입력된 신호는 1번 핀에 입력되는 신호보다 한 DMT 심볼만큼 빠르므로 MUX의 제어신호를 이용하여 스위치 시킴으로써 CP를 삽입한다. 한편 제안된 방식은 심볼의 앞부분의 데이터를 뒷부분에 삽입하므로 그림 5(b)에 나타난 바와 같이 입력되는 데이터를 cyclic extension의 크기 N_{CS1} 과 N_{CS2} 만큼만 버퍼에 저장하고 DMT 심볼의 마지막 데이터가 출력된 후 저장된 데이터를 출력하여 CS를 구성한다. 따라서 CP와 CS를 사용하는 기존 방식에서는 하드웨어의 복잡도와 출력 지연이 FFT의 크기 2N에 비례하여 증가하는 반면, CS만을 사용한 제안된 방식에서는 cyclic extension의 크기 $N_{CS1} + N_{CS2}$ 에 비례하여 증가하므로 하드웨어 복잡도를 크게 줄일 수 있으며 처리지연(processing delay)이 발생하지 않는다. 표 2는 각 방식을 하드웨어로 구현할 때 버퍼의 크기와 지연시간을 비교한 것으로, 제안된 방식이 기존 방식보다 하드웨어와 latency를 크게 줄일 수 있음을 알 수 있다.



(a) 기존 방식 (CP)



(b) 제안된 방식 (CS1)

그림 5. Cyclic extension의 하드웨어 구현 방법

제안된 CS방식을 이용하여 보호구간을 구현할 경우 필요한 가정은 다음과 같다. FFT블록의 파이프라인 구조가 R2SDF(Radix-2 Single-path Delay Feedback), R4SDF(Radix-2 Single-path Delay Feedback), R4SDC(Radix-4 Single-path Delay Commutator) 등과 같이 입×출력 관계가 직렬로 입력되어 직렬로 출력되는 파이프라인 구조이며, 주파수 영역에서 순서대로 출력되는 DIT(Decimation-in-Time) FFT구조이고, IFFT 블록과 보호구간 삽입 구간을 동일한 클럭으로 동작시켜 보호구간을 삽입할 영역이 확보되었을 경우에 제안된 방식이 효율적으로 적용될 수 있다.

IV. 모의 실험

본 절에서는 제안된 cyclic extension을 사용한 Zipper 방식의 VDSL 모델의 성능을 모의실험을 통하여 기존의 방식과 비교하여 분석하고, 전형적인 전화채널 환경 하에서 제안된 방식을 사용한 동기식과 비동기식 VDSL 모델의 성능을 평가한다.

VDSL 모델의 성능평가를 위하여 채널환경에는 AWGN, NEXT, FEXT, RFI잡음을 고려하였다. 이 경우 NEXT와 FEXT의 PSD(Power Spectral Density)는 다음 식으로 주어진다^[7].

$$PSD_{NEXT} = PSD_{disturber} \cdot (N/49)^{0.6} \times 8.818 \times 10^{-14} \cdot f^{1.5} \quad (14)$$

$$PSD_{FEXT} = PSD_{disturber} \cdot |H(h)|^2 \cdot (N/49)^{0.6} \times 7.999 \times 10^{-20} \cdot d \cdot f^2 \quad (15)$$

표 2. Cyclic extension 방식에 따른 하드웨어와 지연시간

	기존방식 (CP+CS)	제안된 방식 (CS1+CS2)
Buffer Size	2N	$N_{CS1} + N_{CS2}$
Delay	2N	0
Latency	$\Delta + \frac{(2(2N+N_{CP})+N_{CS})}{f_s}$	$\Delta + \frac{(2N+N_{CP}+N_{CS})}{f_s}$

여기서 N 은 crosstalk을 발생시키는 사용자의 수, f 는 주파수, d 는 채널의 길이, $H(f)$ 는 채널의 주파수 응답을 나타낸다. 그림 6은 모의실험에 사용된 NEXT와 FEXT의 PSD를 보여주며, NEXT 잡음에는 ADSL과 다른 VDSL 시스템에서 발생하는 잡음을 고려하였다. VDSL upstream NEXT의 경우 비대칭 전송률(8:1)에 의하여 2.0MHz ~ 2.6MHz, 7.1MHz ~ 7.65MHz의 upstream 대역에 -60dBm/Hz의 $PSD_{disturber}$ 를 사용하였고, FEXT에는 VDSL power mask가 사용되었다. RFI 잡음은 white Gaussian noise를 2kHz의 cutoff 주파수를 갖는 3차 Butterworth 저역통과 필터를 통과시킨후 passband로 변조하여 발생하였다^[1].

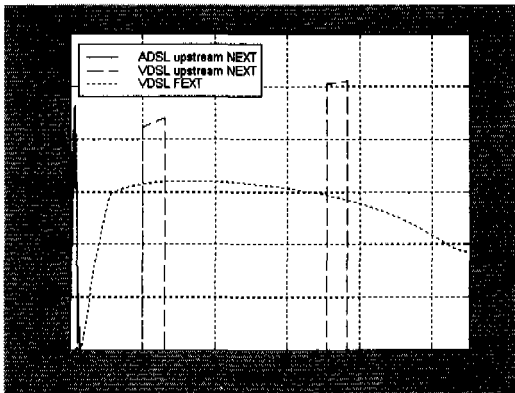
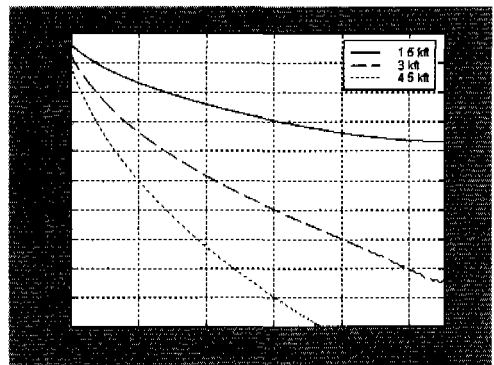


그림 6. 모의실험에 사용된 crosstalk 잡음의 PSD

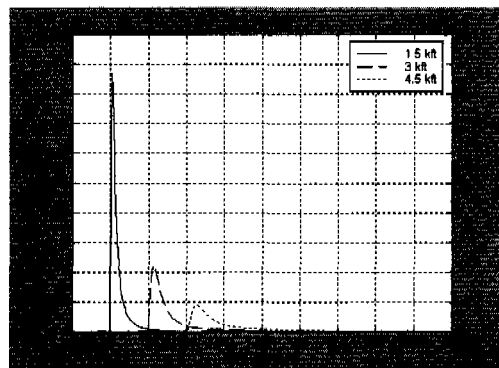
표 3. 모의실험에 사용된 VDSL 시스템 파라미터

	기존방식 (CP+CS)	제안된 방식 (CS1+CS2)
No. of subcarrier	2048	2048
System margin	$\gamma_{margin} = 6dB$	$\gamma_{margin} = 6dB$
Coding gain	$\gamma_{coding} = 3dB$	$\gamma_{coding} = 3dB$
SNR-gap	$\Gamma = 9.8dB$	$\Gamma = 9.8dB$
Sampling frequency	22.08MHz	22.08MHz
Used bandwidth	300kHz ~ 11.04MHz	300kHz ~ 11.04MHz
Cable type	TP1	TP1
Length of CP	100 samples	0 samples
Length of CS	220 samples (2000m)	320 samples (2000m)
Background noise	AWGN, NEXT, FEXT, and RFI	AWGN, NEXT, FEXT, and RFI

표 3은 모의 실험에 사용된 VDSL 시스템 파라미터를 요약하여 보여준다. 동기식의 경우, 기존 방식에서는 채널의 늘어짐을 고려하여 CP의 길이를 100으로 하고 2000m 채널을 기준으로 CS의 길이를 220으로 하였으며, 제안된 방식에서는 이와 동일한 상황에서 성능을 확인하기 위하여 CS1의 길이를 100으로 하고 CS2의 길이를 220으로 하였다. 즉, 제안된 방식에서는 CP를 사용하지 않고 길이 320개의 CS만을 사용하였다. 비동기식의 경우에는 각 채널의 길이에 따라 지연이 다르기 때문에 주어진 채널의 지연에 따라 CS의 길이를 다르게 결정하였다. 또한, BER이 10^{-7} 을 만족하는 SNR-gap을 사용하였고, 잡음으로는 20-ADSL NEXT, 25-VDSL NEXT, 20-VDSL FEXT, RFI가 사용되었다. RFI의 중심주파수는 1.89MHz, 1.92MHz, 3.53MHz, 3.69MHz, 3.90MHz, 7.03MHz, 7.07MHz, 7.10MHz가 사용되었다. 그림 7은 모의 실험에 사용된 TP1-1.5kft, 3kft, 4.5kft 채널의 삽입 손실과 시간영역에서의 임펄스 응답을 보여준다.



(a) insertion loss



(b) impulse response

그림 7. 모의실험에 사용된 TP1-1.5kft, 3kft, 4.5kft채널

그림 8은 AWGN, NEXT, FEXT가 존재하는 TP1 채널에서 기존의 CP와 CS를 사용하는 방식과 CS만을 사용하는 제안된 방식을 사용하였을 경우 SNR에 따른 비트 할당(bit loading) 이후의 전송능력을 비교하여 보여준다. 이 그림으로부터 두 방식이 구별할 수 없을 정도로 동일한 성능을 갖는 것을 알 수 있다. 전 절에서 기술한 바와 같이 기존의 방식과 제안된 방식이 성능면에서는 차이가 거의 없기 때문에 다음의 그림부터는 제안된 방식을 사용한 결과만을 보인다. 그림 9와 10은 제안된 방식을 사용하였을 경우 TP1-3kft 채널에서 동기식과 비동기식에 따른 SNR과 전송능력을 보여준다. 또한 그림 10에서는 비동기식에서 pulse shaping과 windowing를 사용하였을 경우와 사용하지 않았을 경우의 전송능력을 길이에 변화에 따라 보여준다. 그림 10으로부터 비동기식에서 pulse shaping과 windowing를 사용하였을 경우 사용하지 않았을 경우에 비해 크게 성능을 향상시킬 수 있으며 동기식과 유사한 성능을 얻을 수 있음을 알 수 있다. 또한 이 그림으로부터 짧은 채널에서는 비동기식의 성능이 우수함을 알 수 있는데 이는 긴 채널에 비해 짧은 채널에서는 FEXT 잡음으로 인해 NEXT에 의한 영향이 무시되고, cyclic extension의 길이 또한 작게 할 수 있으므로 efficiency가 높아지기 때문이다. 그림 9는 동기식과 pulse shaping과 windowing를 사용한 비동기식의 경우 각 부 반송파별로 SNR을 보여 주는데, 모서리 부분을 제외하고 비동기식의 SNR 손실이 크게 없음을 알 수 있다. 그림 11은 RFI가 유입되었을 경우 제안된 cyclic extension을 사용한 Zipper 방식의 VDSL 시스템의 전송능력을 채널의 길이에 따라 보여준다. 이 그림으로부터

windowing을 사용할 경우 RFI가 전송능력에 큰 영향을 주지 못하는 것을 알 수 있다. 표 4는 여러 환경에서 제안된(또는 기존의) Zipper 방식을 사용한 VDSL 시스템의 전송능력과 BER을 보여준다.

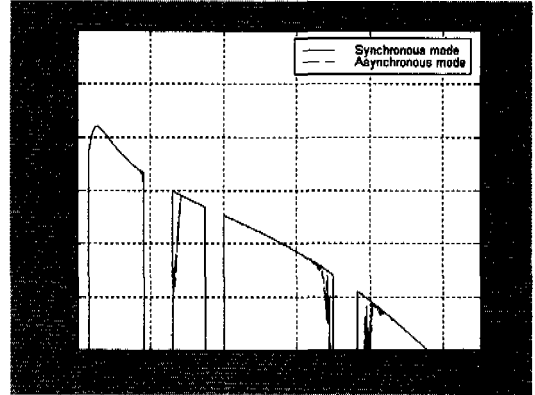


그림 9. 동기식과 비동기식 Zipper 방식의 SNR 비교

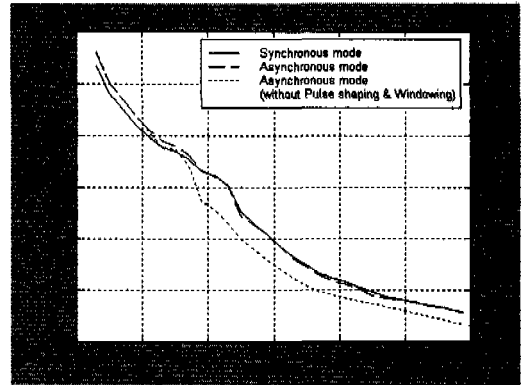


그림 10. 동기식과 비동기식 Zipper 방식의 전송능력

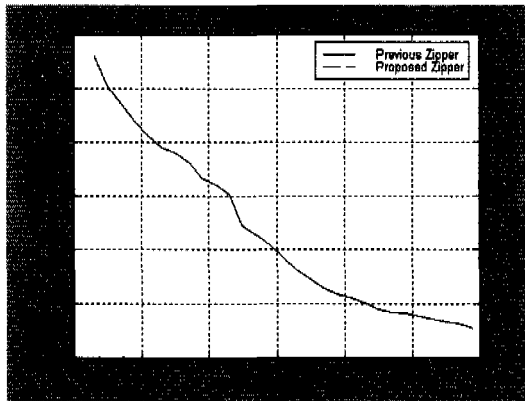


그림 8. 기존방식과 제안된 방식의 전송능력 (AWGN, NEXT, FEXT 존재시)

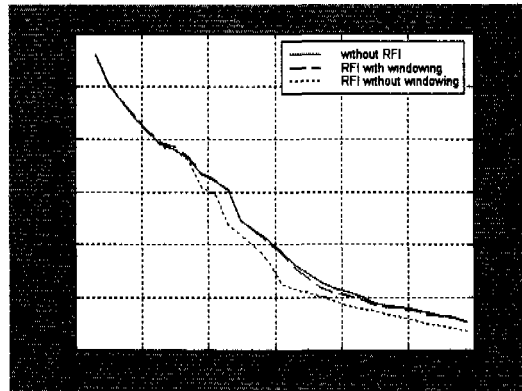


그림 11. RFI 존재시 Zipper 방식의 전송능력

표 4. 여러 환경에서 Zipper 방식을 사용한 VDSL 시스템의 전송능력

	RFI	Downstream bit rate (Mbps)			BER 10^{-7}
		1kft	3kft	4.5kft	
Sync. mode	X	41.5	20.2	8.5	0
	O	41.5	19.4	7.8	0
Async. mode	X	41.6	19.8	8.3	0
	O	41.6	19.0	7.7	0

V. 결론

본 논문에서는 Zipper 방식의 VDSL 시스템에서 cyclic extension을 최소의 하드웨어로 구현할 수 있는 기법을 제안하고, 전형적인 전화채널 환경 하에서 기존의 방식과 성능을 비교하였다. 기존의 Zipper 방식에서는 CP와 CS가 함께 사용되는데, 송신단에서 CP를 구현하기 위해서는 추가적인 하드웨어(4096 버퍼)와 처리지연(4096)이 발생하게 된다. 본 논문에서는 CP를 구현하는데 요구되는 하드웨어와 처리지연을 줄이기 위하여 CS 만을 사용하는 Zipper 방식의 VDSL 시스템을 제안하였다. 제안된 방식이 기존 Zipper 방식의 VDSL 시스템과 비교하여 매우 적은 하드웨어(320 버퍼)와 처리지연(0)를 갖게 됨에도 불구하고 전형적인 채널환경 하에서 기존의 방식과 동일한 전송능력을 갖게 됨을 컴퓨터 모의실험을 통하여 확인하였다. 또한 제안된 방식을 비동기식으로 사용할 경우에도 기존 Zipper 방식의 VDSL 시스템과 마찬가지로 pulse shaping 과 windowing을 사용하여 그 성능을 동기식과 유사하게 향상시킬 수 있으며, windowing을 사용하여 RFI 잡음의 영향을 크게 감소할 수 있음을 확인하였다. 마지막으로 다양한 채널환경에서 제안된(또는 기존의) Zipper 방식을 사용한 VDSL 시스템의 전송능력과 이 때의 BER을 확인하였다.

참고 문헌

[1] F. Sjoberg, M.Isaksson, R. Nilsson, P. Odling, and S.K. Wilson, "Zipper:A Duplex Method for VDSL Based on DMT," *IEEE Tran. on Commun.*, vol. 47, no. 8, pp.1245-1252, Aug. 1999.

[2] M. Isaksson, F. Sjoberg, R. Nilsson, P. Odling,

D. Bengtsson, and D. Mestdagh, "Pulse Shaping with Zipper - Spectral Compatibility and Asynchrony," *ANSI T1E1.4/98-041*, Austin, Texas, Mar. 1998.

[3] M. Isaksson, D. Bengtsson, P. Deutgen, M. Sandell, F. Sjoberg, P. Odling, and H. Ohman, "Zipper - a duplex scheme for VDSL based on DMT," *ANSI T1E1.4/97/016*, Austin, Texas, Feb. 1997.

[4] ANSI, "VDSL Alliance DMT VDSL Draft Standard Proposal," Tech. Rep. *T1E1.4/98-337*, Dallas, TX, Nov. 1998.

[5] J. A.C. Bingham, *ADSL, VDSL, and Multicarrier Modulation*, John Wiley & Sons, pp. 211-221, 2000.

[6] M. Isaksson, P. Deutgen, F. Sjoberg, S. K. Wilson, P. Odling, and P. O. Borjesson, "Zipper - a flexible duplex method for VDSL," *Telia Research AB, Aurorum 6, SE-977 75, Lulea, Sweden*, 1997.

[7] ANSI, "Very-high-speed Digital Subscriber Lines - System Requirements, Technical Document," *T1E1.4/98-043R8*, Plano, TX, Nov. 1999.

위 정 욱(Jung-Wook Wee)

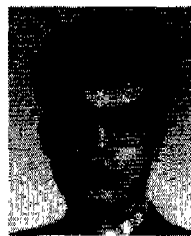
정희원



1999년 2월 : 중앙대학교
전기공학과 졸업
1999년 3월~현재 : 중앙대학교
전자전기공학부
석사과정
<주관심 분야> 디지털 통신시
스템, 디지털 신호처리

양 원 영(Won-Young Yang)

정희원



1971년 3월~1975년 2월 :
서울대학교 공과대학
전기공학학사
1981년 9월~1986년 8월 :
Univ. of Southern
California
전기공학 박사
1986년 9월~현재 : 중앙대학교 전자전기 공학부 교수
<주관심 분야> 디지털 통신시스템, 디지털 신호처리

백 증 호(Jong-Ho Paik)

정회원



1994년 8월 : 중앙대학교
전기공학과 졸업
1997년 2월 : 중앙대학교
전기공학과 석사
1997년 3월~현재 : 전자부품
연구원 전임연구원

<주관심 분야> xDSL 시스템, 무선 PAN 통신 시스템, D-TV 기술

유 영 환(Young-Hwan You)

정회원

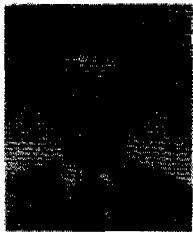


1993년 2월 : 연세대학교
전자공학과 졸업
1995년 2월 : 연세대학교
전자공학과 석사
1999년 2월 : 연세대학교
전자공학과 박사

1999년 3월~현재 : 전자부품 연구원 선임연구원
<주관심 분야> xDSL 시스템, 무선 PAN 통신 시스템, SDR 기술

조 진 응(Jin-Woong Cho)

정회원



1986년 2월 : 광운대학교
전자통신공학과 졸업
1997년 2월 : 광운대학교
전자통신공학과 석사
1999년 8월 : 광운대학교
전자통신공학과

박사수료

1989년 8월~1993년 6월 : 동양정밀(OPC) 중앙연구소

1999년 1월~1999년 12월 : (日本) Electrotechnical Lab.(電子總合 技術研究所) STA Fellow 초빙연구원

1993년 7월~현재 : 전자부품 연구원 책임연구원
<주관심 분야> Multicarrier 통신 시스템, 무선 PAN 통신 시스템

조 용 수(Yong-Soo Cho)

정회원



1984년 2월 : 중앙대학교
전자공학과 졸업
1984년 1월~1984년 7월 :
금성 전기(주) 연구원
1987년 2월 : 연세대학교
전자공학과 석사

1991년 5월 : The University of Texas at Austin, Dept. of Electrical and Computer Eng. (Ph.D)

1992년 3월~현재 : 중앙대학교 전자공학과 부교수
<주관심 분야> 통신 신호처리, 고속 유·무선 모델, OFDM/DMT 모델