

IMT-2000 고출력 전력전폭기의 GaAs MMIC화 및 전송결합기 설계 구현에 관한 연구

정회원 정 명 남*, 이 윤 현**

Design and fabrication of GaAs MMIC high power amplifier and microstrip combiner for IMT-2000 handset

Jung Myung Nam*, Lee Yun Hyun** *Regular Members*

요 약

본 고에서는 한국통신(Korea Telecom) IMT-2000 시험시스템(이하: "Trial system"라고 함) 단말기용 전력증폭단으로 적용하기 위한 다단구동증폭기 및 전력증폭기를 GaAs MMIC로 설계·구현하는 기술을 제시하였다.

설계된 구동증폭기는 3단으로 구성하여 RF(Radio Frequency) 송신신호(1955 ± 70MHz)대역에서 2단(중간단)의 이득 조정범위가 40 dB이상이 될 수 있도록 능동부품인 MESFET를 Cascade형으로 구성하고 MESFET의 게이트(gate)에 조정전압을 인가하는 증폭기를 설계하여 GaAs MMIC화 1칩(크기 4×5mm)으로 제작하였다.

아울러, 본 논문에서 제시한 구동증폭기는 동작주파수 대역폭 범위가 3.5배이고 출력전력은 15dBm이며, 출력전력이득이 25~27dB이고 반사계수는 -15~-20dB이며 이득평탄도는 3dB(동작주파수 대역폭내)로써 Trial system용 단말기의 최종단인 전력증폭단의 출력단 특성을 효과적으로 나타내었다.

그리고, 전력증폭기는 2개의 입력단에서 출력되는 신호를 분배하는 전력분배기와 병렬구조인 4개의 증폭단에서 출력되는 출력신호를 외부에서 접속하는 전력결합기를 접속하여 구성하였으며 RF(Radio Frequency) 주파수(1955 ± 70MHz)에서 대역폭을 4배로 설계하여 광대역인 대역폭을 구현하였고 출력전력은 570mW이며, 출력부가효율(PAE: Power Added Efficiency)가 -15±20dB이고, 이득 평탄도(Gain flatness)는 동작주파수 대역내에서 0.5dB이고 입출력 전압정재파비(Input & Output VSWR)가 1.3이하인 고출력 전력증폭기를 GaAs MMIC화 1칩(크기: 3×4mm)으로 제작하였다.

ABSTRACT

In this paper, the design of an MMIC driving amplifier(chip size is 4×5mm) is considered for KT IMT-2000 Trial system(below: Trial system) handsets with VGA(Variable Gain Amplifier) to linearly controlled output gain level over 40dB in the operating frequencies(1,955 ± 70MHz) in the second of three stages. Cascade circuit using MESFET's as active devices was used for this purpose.

The 3-times broader bandwidth than the actually needed bandwidth, a high output power of about 15 dBm, a nice matching characteristic of -15~20dB, and a 3 dB gain flatness in operating frequencies make this amplifier a good candidate for the driving amplifier for Trial system handset.

GaAs MMIC power amplifier is considered for IMT-2000 test-bed(below: "Trial system") handsets. The high power amplifier is realized to broaden 4 times RF bandwidth(1,955 ± 70MHz) and lower input & output VSWR below 1.3 at operating frequency, 0.5 dB gain flatness, -15~-20dB reflection coefficient, 41% power efficiency and 570 mW output power levels for MMIC 1-chip(size: 3×4mm) high power amplifier were obtained.

* 한국통신 연구개발본부 가입자망연구소

** 한국항공대학교 교수

논문번호: 00163-0509, 접수일자: 2000년 5월 9일

※ 본 논문은 한국통신 연구과제(과제번호: AN1999TA20, 연구기간: '99.1~'2000.12) 수행중 연구결과물의 일부이며, 국내특허출원(총 6 건: 97-65884, 97-27709, 98-21547, 98-61517, 98-61518, 98-61519)된 사항이다.

I. 서론

이동통신 서비스의 발전에 따라 무선신호를 이용하여 음성, 고속데이터 및 동화상 정보를 멀티미디어 서비스로 제공하기 위한 표준화 및 서비스 개발이 미국, 일본, 유럽 등의 무선통신관련 선진국들에서 지속적인 기술적 우위를 확보하기 위하여 생산업체별들과 협력 및 경쟁을 통하여 국제통신연합(ITU)의 3GPP(3rd Generation Partnership Project), 3GPP2에서 이루어지고 있으며^[1], 한국통신에서도 차세대이동통신 시스템의 Trial system을 이용한 상용화(2002년 목표) 연구가 이루어지고 있다. 한편, IMT-2000 단말기의 RF송신부용 전력증폭기는 단말기에서 기지국으로 무선신호를 전송하는 RF신호 전력을 공급하는 부품으로서, 단말기 내의 전력소모 중 가장 큰 비중을 차지하고 있으며 전력증폭기의 RF입력신호를 저전력에서도 높은 출력전력이 되도록 공급할 수 있어야 한다^[2]. 즉, 전력증폭기의 부가 전력효율(PAE : Power Added Efficiency)과 증폭율을 높이는 것은 축전지의 수명을 늘리는 것과 직결되며, 이것은 결국 단말기의 수명을 늘린다고 할 수 있으므로 전단에 구동증폭기에서 입력되는 RF신호를 전력증폭기에서 고부가효율 및 고증폭율이 되도록 그 출력이득과 출력전력을 선형적으로 증폭시키는 것이 필수적이라고 하겠다.

종래의 고효율증폭소자를 이용한 전력증폭기 설계방식은 출력신호의 대역폭이 넓어지고 증폭기의 출력전력특성이 안정된다는 장점이 있는 반면에, 잡음지수에 의해 출력전력 증폭도를 저감시킬 뿐만 아니라, 전단에서 공급되는 입력 RF신호를 증폭하면서 원하지 않는 고조파 성분을 발생시키는 등의 문제점이 있었다.

높은 출력이득과 출력전력을 얻기 위한 방법 중 대표적인 것으로는 회로의 수동 및 능동성분에 따른 선형 및 비선형 이득특성을 이용하여 증폭용 트랜지스터에서 출력되는 전력의 이득을 안정화시키는 방법과 비선형 회로의 고조파 성분을 해석하고 대신호와 소신호증폭소자와 성분을 분석하는 것이다.

아울러, 대출력을 얻기 위해서는 단말기 RF송신부의 주파수혼합기로부터 입력되는 무선신호가 미약(≈ 0 dB)한 것임을 감안하여 구동증폭기능을 접속하고 전력증폭기의 적절한 입력신호로 증폭시켜 주어야 하며, 전력증폭기의 증폭단을 다단 병렬구조로

구성하는 것이 요구되고, 전력증폭단의 입력신호를 증가시킬 수 있도록 분배기를 접속하여 병렬구조로 증폭하며, 증폭된 RF신호전력을 외부에서 접속하는 병렬구조의 전력결합기에서 결합함으로써 출력 특성을 최적화하는 것이다.

따라서, 본 연구에서는 이러한 문제점을 개선하기 위하여 다단(3단)증폭기능의 특성을 갖는 구동증폭기를 삽입하고, 전력증폭기의 입력단 전력분배기 및 다단 병렬구조의 증폭단을 접속하므로써 출력 전력 증폭특성을 최대화하여 최종 출력단의 외부에서 접속하는 전송선 출력전력결합기를 구성하여, RF(Radio Frequency)주파수(1955 \pm 70 MHz)에서 동작 주파수 대역폭 범위가 3.5배이고 출력전력은 15 dBm이며, 출력전력이득이 25~27 dB 이고 반사계수는 -15 ~ -20 dB 이며 이득평탄도는 3 dB(동작 주파수 대역폭내)로 구동증폭기를 구현하였고, 전력증폭기는 대역폭이 4배 이고 출력전력은 570 mW 이며, 출력부가효율은 -15~20 dB 이고, 이득 평탄도는 동작주파수 대역내에서 0.5 dB 이며 입출력 전압정재파비가 13 이하인 특성을 나타내도록 GaAs MMIC화 칩으로 설계·구현하였다.

II. 전력증폭단 회로 구성 및 특성 설계

본 장에서는 구현코져 하는 칩의 설계를 위해 구동증폭기의 회로 모델을 설정하고, 구현한 부계환회로는 다단 구동증폭기의 중간단 VGA 회로에 적용하고, 출력특성이 조정전압에 따라 변화되도록 구상하여, 이에따른 VGA 회로 구성 및 특성을 설계하고 분석하여 모델링된 구동증폭기와 전력증폭기에 대한 회로 실험과 분석을 MDS(Microwave Development System)를 이용하여 설계된 회로를 중심으로 분석하도록 한다.

1. 구동증폭기 회로 구성 및 특성 설계

1.1 구동증폭기의 회로 모델

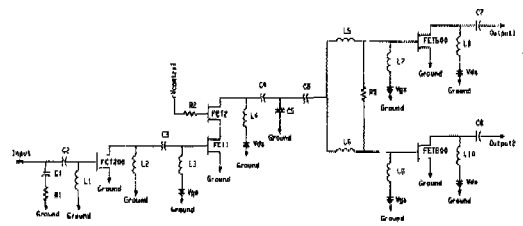


그림 1.1.1 다단 구동증폭기의 회로도

1.1.1 회로 구성 및 블록의 설계와 특성

Trial system 단말기 RF송신부의 출력단 전력제어용 다단 구동증폭기가 제어신호에 따라서 증폭이득 특성을 선형적으로 변화시킬 수 있도록 출력특성을 조정하는 설계기술이 요구되므로 가변이득증폭기능을 보유한 회로를 그림 1.1.2과 같이 구성하였다. [7],[8]

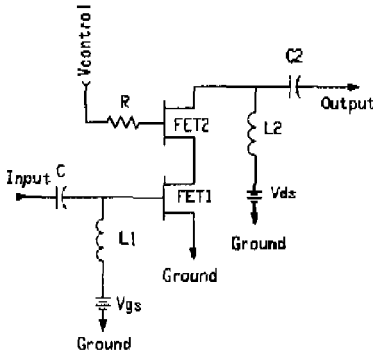


그림 1.1.2 캐스캐드 구동증폭기의 회로도

특히, 무선 멀티미디어 시스템 서비스상에서 무선 통신 채널은 거리에 따른 전파의 감쇄 및 단말기의 이동성으로 인한 도플러 페이딩과 전파그늘 등에 의한 감쇄가 발생하므로, 출력전력 제어가 최적화되어야 한다. 따라서, 단말기의 출력전력 이득을 선형으로 제어하도록 입력단은 증폭기로 동작시키며, 중간단은 2개의 FET를 캐스캐드 방식으로 접속한 VGA회로를 이용해 증폭전력 이득을 조정할 수 있도록 하고, 최종에는 전단의 선형화된 출력신호를 출력전력 분배기를 삽입하여, 종단 증폭부 및 부하단 출력 임피던스 정합을 하는 구동증폭기의 회로를 다단으로 구성한 것이다.

한편, 구동증폭단의 미약한 RF출력신호(≒ 0.5 dBm)는 전력증폭기에서 증폭을 위한 입력신호로 인가되어 증폭되므로, 그 증폭소자(FET)의 1 dB compression point를 고려한 적정레벨로 미리 증폭해야 하며, 단말기 출력전력제어가 가능하도록 증폭 전력신호 전력특성을 조정할 수 있어야 하고, 전체 구동증폭기의 구성도인 그림 1.1의 각 구성블록 설계와 특성은 아래의 각항과 같다.

1.1.2 다단(3단) 구동증폭기부

다단 구동증폭기(그림 1.1.1)의 초단(1단)은 게이트 폭이 300 μm 인 FET(영국소재 foundry library 회사인 GEC-Marconi의 GaAs MMIC library사용)를 이용해서 설계하였으며, 이 단의 증폭부에서는

입력단 잡음을 고려하여 약 10 ~ 15dB 의 입력전력을 증폭하고, 중간단(2단)의 이득조정범위가 약 22~24 dB가 되도록, 두 개의 전계효과트랜지스터(FET)를 캐스캐드형으로 연결한 이득조정용 FET의 게이트에 접속된 10 Ω 이하의 저항을 통하여 조정 전압이 인가될 수 있도록 하였으며, 최종단(3단)에서는 윌킨슨(Wilkinson) 분배기를 이용하여 수동소자(저항, 캐패시터, 인덕터)만으로 구현한 전력분배기 및 그 분배된 각 포트의 출력을 약 10 dBm(≒ 11.5 dB) 이상의 출력전력으로 증폭하는 종단 증폭기로 구성되었다.

이와같이, 증폭기를 다단으로 구성한 것은 선형이득 출력을 조정하고 고출력의 증폭이득을 얻기위한 것이며 각단의 입출력 정합회로는 최대 출력전력이득을 얻을 수 있도록 입력측 반사계수 $\Gamma_s = S_{11}$ 및 출력측 반사계수 $\Gamma_L = S_{22}$ 로 공액복소수(complex conjugate) 정합시키고, 일방적인 출력전력이득 G_{av} 을 식(1.1)과 같이 모델링하고 설계하였다.

$$G_{av} = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} = g_s g_L = G_s + G_r + G_t \quad (1.1)$$

여기서, $g_s = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2}$, $g_L = |S_{21}|^2$,
 $g_t = \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2}$

1.1.3 구동증폭기 초단(1단)부

단말기 RF송신부 주파수혼합기의 QPSK 변조된 기저대역신호 및 무선주파수(1955 ± 70 MHz)로 혼합된 미약한 입력신호를 증폭시키는 블럭으로써, 입력단의 임피던스 정합은 파이(π)형으로 구성된 럼프트 소자인 캐패시터(C1, C2)와 인덕터(L1)를 이용하여 증폭기(FET) 입력단과 상호 임피던스 정합(interstage impedance matching)을 하였으며, 저항(R1)은 3단으로 구성된 전체 다단 구동증폭기의 출력 대역폭 특성을 평탄하고 광대역인 특성이 되도록 입력단에 임피던스 정합용으로 설계된 것이다.

증폭용 FET의 드레인-소스간 구동 직류전압의 피딩과 출력단 정합을 위하여 인덕턴스를 사용하여 그림 1.1.3과 같이 설계하였다.

<표 1.>는 설계된 회로를 흉내내기한 결과로써, 입력반사계수 $S_{11} \approx -15.10$ dB, 출력반사계수 S_{22}

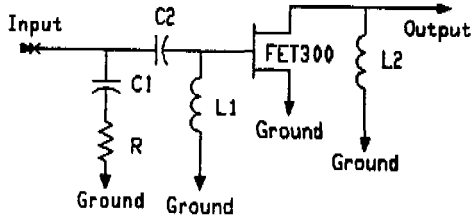


그림 1.1.3 구동증폭기 초단부

≈ -14.71 dB 이며 출력이득반사계수 $S_{21} \approx 22.71$ dB 로서 RF송신부 혼합기에서 입력되는 ≈ 0.5 dBm 인 RF입력신호 전력을 약 14 dBm 으로 증폭시켰다.

표 1. 구동증폭기 초단부의 흉내내기 결과

주파수	S_{11} (dB)	S_{21} (dB)	S_{12} (dB)	S_{22} (dB)
1.900E+09	-14.22	16.64	-23.14	-10.08
1.925E+09	-15.82	15.05	-24.63	-15.43
1.945E+09	-16.30	13.97	-25.61	-17.17
1.955E+09	-16.37	13.48	-26.05	-16.66
1.965E+09	-16.36	13.03	-26.46	-15.74
1.985E+09	-16.20	12.21	-27.20	-13.80
2.000E+09	-16.03	11.65	-27.69	-12.59

1.1.4 VGA 구동증폭부

첫단과 종단간 상호 임피던스 정합이 되도록 그림 1.1.2 과 같이 2개의 FET를 캐스캐드형으로 접속하고 제어용 FET의 게이트에 직렬 저항을 통하여 공급되는 제어전압에 따라 출력이득특성이 선형화되도록 하였다. 설계된 증폭기의 전기적 특성과 구성소자들의 기능은 아래와 같으며, 시뮬레이션 결과는 <표 2.>와 같이 나타났다.

표 2. VGA 구동증폭부의 흉내내기 결과

주파수	S_{11} (dB)	S_{21} (dB)	S_{22} (dB)	S_{22} (dB)
1.865E+09	-10.47	23.31	-54.47	-14.11
1.895E+09	-11.79	23.42	-54.08	-15.37
1.925E+09	-13.49	23.22	-54.00	-15.48
1.955E+09	-15.10	22.71	-54.24	-14.71
1.985E+09	-15.77	21.97	-54.71	-13.74

캐패시터(C1), 인덕터(L1)는 FET1의 입력단에 연결되어 직류 블로킹(DC blocking) 및 직류 피더(DC feeder) 역할을 하며 중간단에 출력되는 이득이 최대화가 되도록 최적화하여 크기를 결정하였고, 캐패시터(C2), 인덕터(L2)는 FET2의 출력단에 연결되어 입력단과 같은 전기적 역할을 하며 상호임피

던스 정합기능을 갖도록 하였다. 한편, FET1의 드레인에 인가되는 바이어스 전압(V_{ds})은 FET1, 2 에 나누어 인가되는 데 조정전압 V_{cm1} 이 -2 V에서 0 V로 높은 전압으로 변화(증가)될 수록 FET1의 드레인-소스간 바이어스 전압 V_{ds1} 은 증가되고, FET2의 V_{ds2} 은 감소하게 되므로, 조정전압(V_{cm1})이 작으면 FET2가 핀치오프(pinch-off) 상태가 되고 드레인 전류가 흐르지 않는 상태가 되어 이득이 낮아지게 되며, V_{cm1} 이 큰 값으로 증가함에 따라서 게이트-소스간 바이어스 전압 V_{gs2} 도 증가하게 되어 드레인 전류가 큰 값으로 커지므로 이득 특성이 선형성으로 증가하게 된다.

1.1.5 구동증폭기 분배부

럼프드 소자인 인덕턴스(L1, L2)와 캐패시터(C1, C2) 및 저항(R)을 이용하여 윌킨슨 분배기 구조인 분배기를 그림 1.1.4 과 같이 입출력단 임피던스정합에 의하여 구현하였다.

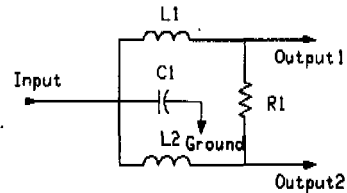


그림 1.1.4 구동증폭기 분배부 회로도

그림 1.1.4의 각 출력포트는 동일한 위상과 광대역인 대역폭을 제공할 수 있고 각각의 $\frac{1}{4}$ 전송선은 $\sqrt{2}Z_0$ 의 특성임피던스를 갖고며 출력은 $2Z_0$ 저항에 의해서 두 개의 출력단이 결합되고 부하임피던스는 $Z_0(50 \Omega)$ 이 되며, 출력포트는 서로 대칭이므로 분배기의 부하임피던스가 50Ω 이라면, 길이가 $\frac{1}{4}$ 인 전송선의 특성임피던스는 $Z_{(\frac{1}{4})} = 70.7 \Omega$ 과 같이 된다.

1.1.6 구동증폭기 종단부

구동증폭기를 구성하는 종단 증폭기로서 전력증폭기에 전달하는 최대전력레벨이 되도록 출력전력을 고려하였으며, 인덕턴스(L1)는 게이트 폭이 $600 \mu m$ 인 FET600의 입력단에 연결되어 DC feeder 역할을 하며, 캐패시터(C1), 인덕턴스(L2)는 FET600의 출력단에 연결되어 직류차단과 피더 기능을 수행하고, 저항(R)은 본절 (4)항의 저항(R1)과 마찬가지로

전체 다단 구동증폭기의 출력단에서 임피던스 정합 역할을 하도록 하여 그림 1.1.6과 같이 구현하였고, MDS를 이용한 흉내내기 결과에서 증폭이득은 10 dB(≈ 11.5 dB) 이상이며, 입력측 및 출력측 반사계수 파라미터 S11 및 S22 과 S33는 각각 S11 ≈ -19 dB, S22, S33 ≈ -21 dB 과 S21, S31 ≈ 21 dB 및 S12, S13 ≈ -86 dB로 설계 되었다.

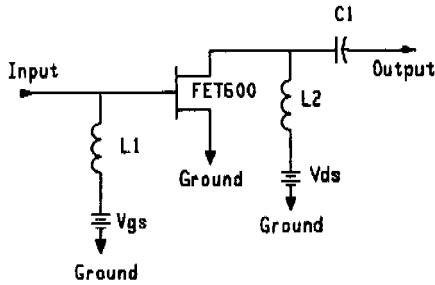
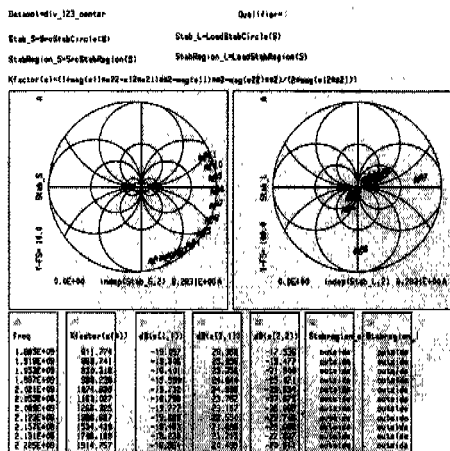


그림 1.1.6 구동증폭기 종단부

1.1.7 다단 구동증폭기의 안정도

Trial system의 RF송신부를 상용화할 경우 필수적인 설계 파라미터인 안정도는 전압전류분포와 반사계수의 변화에 대한 크랑크(clank) 도는 전압대 반사계수 ($|V(s)| \propto |1 + \Gamma(s)|$)의 비와 전류대 반사계수 ($|I(s)| \propto |1 - \Gamma(s)|$)의 비로 알 수 있으나, 본 연구에서는 결합계수(K)가 <표 4.>에 나타난 바와같이 K = 1 이상이 되어 전압정재파비(VSWR)가 스미스 도표(Smith chart)의 발전영역(inside)이 아닌 안정영역(outside)에서 임출력 부하임피던스가 정합되어 안정화된 설계회로임을 확인할 수 있다.

표 4. 다단 구동증폭기 안정도 흉내내기 결과



1.1.8 제환(feedback)회로를 이용한 구동증폭기의 VGA 회로구조 및 출력특성

종래의 전류-병렬 제환방식에 의한 VGA 회로 구성은 그림 1.1.7과 같으며, 제환회로를 구성하는 FET의 게이트에 인가되는 전압을 조정하여 제환되는 FET의 드레인-소오스간의 제환 임피던스를 변화시키면서 출력증폭 이득을 조정하는 구조를 갖는다.

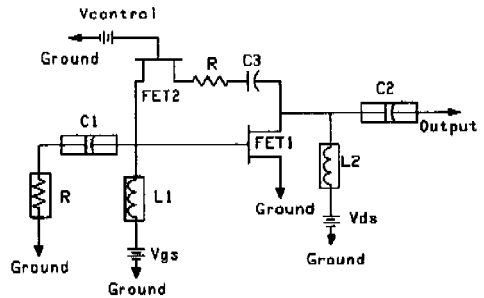


그림 1.1.7 제환(feedback)회로를 이용한 구동증폭기의 VGA 회로

그림 1.1.7의 주파수 대역에 따른 이득변화 특성은 그림 1.1.8과 같으며, 주파수 대역에 따른 이득 조정 특성은 그림 1.1.9과 같이 나타난다.

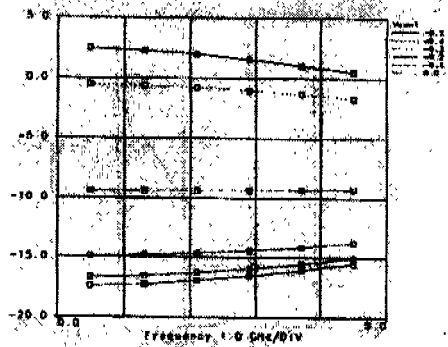


그림 1.1.8 주파수 대역에 따른 이득변화 특성

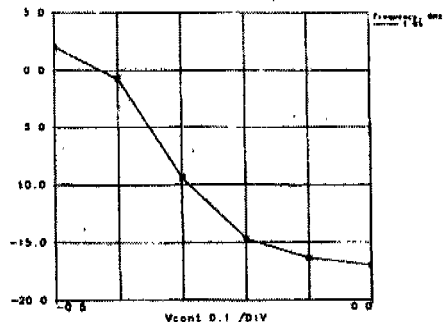


그림 1.1.9 주파수 대역에 따른 이득조정 특성

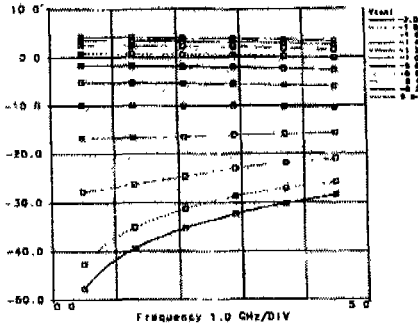


그림 1.1.10 주파수 대역에 따른 이득변화 특성

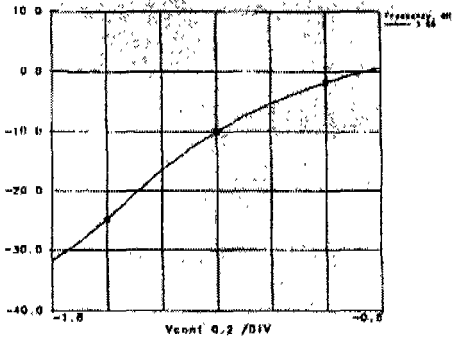


그림 1.1.11 주파수 대역에 따른 이득조정 특성

1.2 전력증폭기의 회로 구성 및 특성 설계

본 항에서는 전력증폭기의 출력특성을 고출력 전력이고 고출력부가효율이 될 수 있도록 증폭소자로 게이트 길이는 $0.5 \mu\text{m}$ 이고 게이트 폭이 $900 \mu\text{m}$ 인 전계효과 트랜지스터(MESFET) 능동소자 및 인덕터(L), 커패시터(C)와 전송선 등의 수동소자를 직·병렬구조로 구성하여 출력특성을 최적화 시켰으며 외부에서 접속하는 전송선으로 구성된 출력전력결합기를 이용하여 병렬로 구성된 각 출력포트의 RF 신호 증폭출력전력을 결합하는 설계 기술^[9]을 이용하여 설계하였다.

1.2.1 입력단 전력분배기(Input power divider)⁽¹⁰⁾

전력증폭기의 입력단은 윌킨슨 분배기 구조를 이용하여 수동소자(저항, 커패시터, 인덕터)만으로 최적화하여 구현한 입력전력분배기로 구성하였다.

이와같이, 전력증폭기의 입력단을 분배기로 구성한 것은 병렬구조로 설계한 증폭기에서 고출력의 증폭이득을 얻기위한 것이며 입력단의 입출력 정합 회로는 최대 출력전력이득을 얻을 수 있도록 입력측 반사계수 $\Gamma_s = S_{11}^*$ 및 출력측 반사계수 $\Gamma_t = S_{22}$

로 공액복소수(complex conjugate) 적으로 정합시키고, 일반적인 출력전력이득 G_{tu} 을 식(2.1)과 같이 모델링(schematic)하여 설계하였다.

$$G_{tu} = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_t|^2}{|1 - S_{22}\Gamma_t|^2}$$

$$= g_s g_f g_t \quad (\text{수식적값})$$

$$= G_s + G_f + G_t \quad \text{dB} \quad (2.1)$$

여기서, $g_s = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2}$, $g_f = |S_{21}|^2$,

$g_t = \frac{1 - |\Gamma_t|^2}{|1 - S_{22}\Gamma_t|^2}$ 이다.

이에따라, 일반적인 최대출력전력이득 $G_{tu\text{max}}$ 을 얻기 위하여 그림 1.2.1에 나타낸 바와 같이 $\Gamma_s = S_{11}^*$, $Z_s = Z_0$, $\Gamma_t = S_{22}^*$ 및 $Z_t = Z_0$ 의 관계식으로 설계한 다단 구동증폭기에 대하여 임피던스 정합을 시켰으며, 식(2.1)은 식(2.2)과 같이 나타낼 수 있다.

$$G_{tu\text{max}} = \frac{1}{|1 - S_{11}|^2} |S_{21}|^2 \frac{1}{|1 - S_{22}|^2}$$

$$= g_{s\text{max}} g_f g_{t\text{max}} \quad (\text{수식적값})$$

$$= G_{s\text{max}} + G_f + G_{t\text{max}} \quad \text{dB} \quad (2.2)$$

여기서, $g_{s\text{max}} = \frac{1}{|1 - S_{11}|^2}$

$g_f = |S_{21}|^2$

$g_{t\text{max}} = \frac{1}{|1 - S_{22}|^2}$

이다.

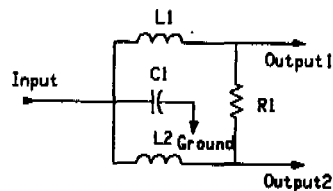


그림 1.2.1 전력증폭기의 입력단 전력분배기

또한, 단말기의 RF송신부 구동증폭기에서 출력되는 RF신호를 공급받아 식(2.3) 및 식(2.4)과 같이 동일한 크기의 출력레벨로 각각의 출력포트에 인가되며 GaAs MMIC On-chip으로 구동증폭기와 동일

한 GEC-Marconi library를^[11] 이용하였고 출력포트에 연결되는 전력증폭기 입력단과의 임피던스 정합을 고려하여 설계·구현하였으며 구성소자들의 기능과 특성은 아래와 같다.

$$R_2 = \frac{2Z_1Z_2}{[(Z_1Z_2)(Z_2 - Z_1 \cot^2 \theta)]^{\frac{1}{2}}} \quad (2.3)$$

$$R_1 = \frac{2R_2(Z_1 + Z_2)}{R_2(Z_1 + Z_2) - 2Z_2} \quad (2.4)$$

여기서,

$$\theta = \frac{\pi}{2} \left[1 - 0.707 \left(\frac{f_2 - f_1}{f_2 + f_1} \right) \right]$$

그림 1.2.1 회로에서 럼프드 소자로 구성된 커패시터(C1), 인덕터(L1)은 각각 직류차폐 및 직류피더의 전기적 기능을 하며 분배기의 입력단으로써 인덕터(L2), 커패시터(C2) 및 저항(R1)과 더불어 임피던스 정합시키는 역할을 한다. 그리고, 인덕터(L2), 커패시터(C2, C3) 및 저항(R1)은 전력분배기 출력단으로, 입력단에서 분배되는 RF신호 전력레벨을 통상적인 감쇄(≈3 dB)만을 나타내도록 정합시켜, 이상적인 윌킨슨분배기의 임피던스 정합회로와 동일한 역할을 한다.

한편, 저항(R2)은 입력단에 미소한 손실을 주면서 임피던스 정합대역을 넓혀주는 역할을 하는 데, 손실을 최소화하고 출력단 접속 전력증폭기의 증폭소자 MESFET의 구동 바이어스 전압에 영향을 주지 않도록 가능한 한 큰 값(≈300 Ω)을 가져야 한다.

1.2.2 병렬로 연결된 FET 증폭기 블록^[12]

능동소자인 한 개의 FET가 증폭할 수 있는 전력은 게이트 폭의 크기(300, 400μm, ..) 및 1 dB compression point 와 제작된 매질의 불순물(GaAs, Si, ...) 등에 의해 제한되어 있으므로 충분한 출력 전력을 얻기 위해서 병렬구조의 증폭기로 입력전력을 분산시켜 증폭시키는 설계기법을 이용하였으며, 그림 1.2.2과 같이 설계하였고, 병렬구조로 구성된 각각의 증폭기는 동일한 전기적 특성을 갖으며, 구성소자들의 기능과 특성은 아래와 같다.

그림 1.2.3에서, 커패시터(C1), 인덕터(L1)은 각각 직류차폐 및 직류피더의 역할을 하며 외부접속 구조인 출력단의 결합기와 더불어 증폭기 FET900의 드레인 측을 부하저항 50 Ω에 임피던스 정합이 되도록 하고, 최적화된 출력전력과 출력부가효율을 얻

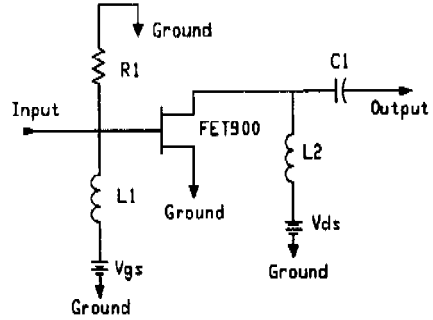


그림 1.2.2 전력증폭기의 증폭기 회로

기 위하여 설계된 드레인에서 출력단측을 들여다 본 부하저항은 13~15 Ω 정도가 되며, 부하의 리액턴스는 거의 0(영)에 가깝게 된다. 그리고, 저항(R1)은 입력단에서의 저항(R2)의 역할과 마찬가지로 출력단의 임피던스 정합에 의해 주파수 대역폭을 넓게 할 수 있도록 하는 데, 손실을 줄이고 게이트-소스간 바이어스 전압에 따른 직류전압 성분이 인입되지 않도록 가능한 한 큰 저항성분을 갖어야 한다.

1.2.3 외부접속구조의 출력단 결합기

병렬구조의 전력증폭기 회로에서 발생하는 각각의 출력전력을 수동소자인 저항, 인덕터, 커패시터 및 전송선으로 삽입손실이 ≈3 dB인 윌킨슨 전력결합기를 구성하여 임피던스 정합을 이루고 각각의 출력포트에서 출력되는 전력이득을 결합시키는 역할을 한다.

그림 1.2.3과 같이 설계한 회로의 구조 및 구성소자들의 전기적특성 및 설계 레이아웃(layout)에 따라서 전체적인 전력증폭기의 출력이득전력 및 출력부가효율과 증폭이득의 주파수 대역에 대한 선형성에 직접적인 영향을 준다.

아울러, 그림 1.2.3 회로의 기능과 특성은 아래와 같다.

전송선(TL1, 2)와 저항(R1)은 GaAs MMIC 1칩화한 병렬구조의 전력증폭기 출력단과 외부접속구조의 출력단 결합기간에 임피던스 정합을 이루고 윌킨슨 결합기 구조가 되도록 최적화 시킨 분배기의 입력단이며 그림 1.2.3에서와 같이 두(2)개 입력포트의 입력전력을 결합시키는 역할을 한다. 또한, 전송선(TL3, 4)와 저항(R2)은 결합기 포트 3, 4에서 결합되어 입력되는 RF신호를 결합시켜서 부하측 저항 50 Ω 단으로 전달해 주는 역할을 한다.

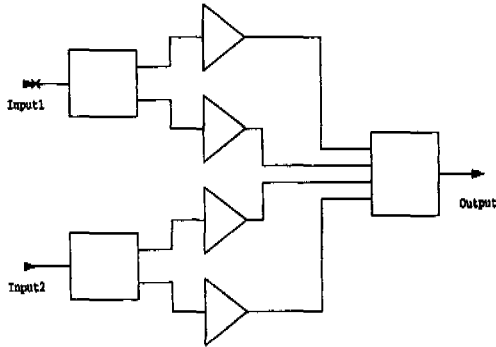


그림 1.2.3 전력증폭기의 외부접속구조 출력단 결합기

III. 전력증폭단 설계 결과

1.3.1 구동증폭기 설계결과

Trial system용 단말기 RF송신부의 주파수혼합기로부터 출력(≒ 0 dB)된 다단 구동증폭기의 RF입력신호를 입력단(초단 증폭부)에서 출력증폭신호가 10~15 dB의 전력이 될 수 있도록 GaAs MESFET300 μm를 이용하여 설계하였다.

그리고, 중간단에서는 출력 증폭 이득을 선형적으로 변화시킬 수 있도록 캐스케드방식으로 FET Q1, Q2를 접속하여 Q2의 게이트에 저항(10 Ω)을 연결하고 제어신호를 직류 -2.0 V~0.0 V로 인가하여 제어전압에 따라서 그림 1.3.1과 같이 출력전력이득이 선형으로 변화되는 것을 확인하였으며, Trial system용 단말기 송신주파수 1955 MHz ± 70 MHz(중심주파수 대역)에서 선형적인 결과를 측정하였다.

아울러, 중간단에서 출력된 선형이득 RF신호는 병렬 전력분배단을 통하여 동일한 위상과 레벨로 나누어 출력되도록 럼프드 소자인 저항, 인덕턴스, 캐패시터 및 전송선을 이용하여, 각 포트의 출력측 S21, S31 파라미터의 이득을 각각 -3.097 dB로 하고 입력측 반사파 파라미터 S11 = -17.044 및 출력측 반사파 파라미터 S22, S33 = -23.776를 설계하여 이상적인 월킨슨 분배기가 되도록 최적화 시켰다.

그리고, 최종단에서는 상기와 같이 분배된 선형증폭이득 신호를 MESFET 600 μm를 이용하여 게이트-소스간 바이어스 인가 전압(Vgs)은 -1.0 V, 드레인-소스간 바이어스 인가 전압(Vdd)도 -1.0 V를 공급하여 출력증폭신호가 ≒ 10 dB 이상이 되도록 하였다.

1.3.2 전력증폭기 설계결과

임의적인 목적으로 설계한 전력증폭기에서 최종적으로 출력되는 전력을 최대 300 mW라고 할 때 결합기의 손실을 최대 1 dB라고 가정하면, 대략 400 mW의 전력을 증폭용 소자인 FET 4개로부터 얻어야 하므로 한 개의 FET에서 출력되는 전력은 약 100 mW가 된다. 이러한 상태에서 FET의 드레인 바이어스 전압을 5 V라고 가정하면 드레인-소스간 전류는 40 mA가 필요하게 되므로 드레인-소스간의 전류가 만족될 수 있도록 게이트-소스간 바이어스 전압을 -0.8 V로 설계하면 2차 고조파 왜곡을 최대한 감소시켜서 원하는 출력을 얻을 수 있었다.

이와 같이 증폭기의 출력이득 선형성과 출력 전력 및 출력 증폭 부가효율은 서로 상반되는 관계에 있는 데, 출력을 크게하기 위하여 입력전력을 증가시키면, 출력 및 효율이 증가하는 반면 2차 고조파 왜곡이 많이 발생되게 된다.

이에 따라 본 고에서는 설계 파라미터 간의 서로 상반된 관계를 정합시켜 얻은 최대출력(570 mW)에서도 전력증폭기의 출력단 2톤 3차 고조파 간섭점(2-tone 3'rd order Intercept Point)의 값이 1 dB compression point 일 때 보다 30 dB 이상으로 높게 얻을 수 있었다.

그리고, 이와 같은 출력 전력을 얻었을 때의 입력단 정합특성 S 파라미터 S22, S33는 -10 dB 이하에서 점유 대역폭이 800 MHz 이고, 출력단 정합특성 S11은 -10 dB 이하에서 점유 대역폭이 600 MHz 이상으로 나타났다.

IV. 전력증폭단 회로설계 및 측정결과

1.4.1 구동증폭기 회로 실험 및 분석

증폭회로의 이득을 조정전압에 따라 선형으로 변화시킬 수 있도록 구성한 그림 1.1.2의 출력특성은 그림 1.1.10 및 그림 1.1.11과 같이 효과적으로 나타났다. 종래의 케환회로를 이용한 구동증폭기의 VGA회로 구조인 그림 1.1.7의 출력특성은 그림 1.1.8 및 그림 1.1.9과 같이 비선형인 특성을 나타내어, 본 연구에서 설계한 가변이득증폭기를 삽입하여 설계한 구동증폭기의 특성이 Trial system용 단말기의 RF송신부 최종단인 전력증폭기에 선형증폭 신호인 전력이득을 공급할 수 있는 최적의 적용기 술임을 확인할 수 있다.

한편, 그림 1.1.2의 입출력특성에서 입력반사파 S 파라미터 S11는 -17 dB 이고, 각각의 출력포트 반사파 S22 파라미터 및 S33 파라미터는 -24 dB로 입출력단의 임피던스 정합이 안정하며, 각각의 출력 포트 출력이득 S21 파라미터 및 S31 파라미터는 이상적인 월킨슨 전력분배기의 기본적인 분배손실 -3.097 dB을 제외한 각각의 전력으로 분배되도록 최적화 설계하고 구현하였다.

그리고, 설계된 구동증폭기는 갈륨비소(GaAs) 반도체 화합물을 이용하여 그림 1.4.1과 같은 송신변환기(Up-converter)에 전압조정발진기(VCO)와 주파수혼합기(Up Mixer)를 MMIC 1칩화하였으며, 4 x 5 mm의 크기내에 1칩화하였다.

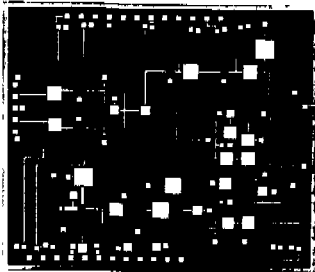


그림 1.4.1 IMT-2000 송신부 변환기 레이아웃내 구동증폭기

1.4.2 전력증폭기 회로 실험 및 분석

전송선으로 구성된 그림 1.4.3의 결합기를 이용한 출력특성은 <표 1.>와 같이 나타났으며, 결합기를 구성한 그림 1.4.2에서는 출력단 결합기로 컵프드 R, L, C 소자를 이용하여 구성하였으며 소자들의 크기는 결합기의 특성에 적합하도록 최적화 시켜서 원하는 출력 및 효율을 얻을 수 있도록 구현한 것이다. 그 결과 <표 1.>와 같이 출력특성은 전송선을 이용하여 설계한 값과 비슷한 결과를 얻을 수 있었다.

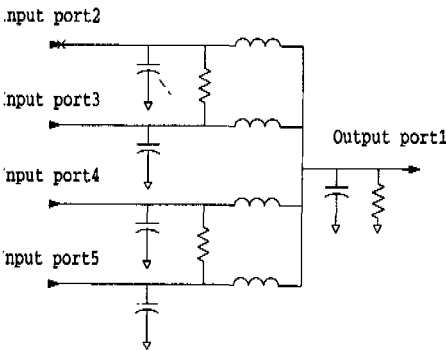


그림 1.4.2 전력증폭기의 출력단 컵프드 결합기

또한 이상적인 전송선 결합기^{[13][14]}를 구성한 그림 1.4.3에서는 <표 1.>와 같은 출력효율과 출력전력을 나타내어, 최적화된 전송선을 결합한 증폭기의 출력 특성과 비교할 때 가장 낮은 결과 값을 얻을 수 있었다.

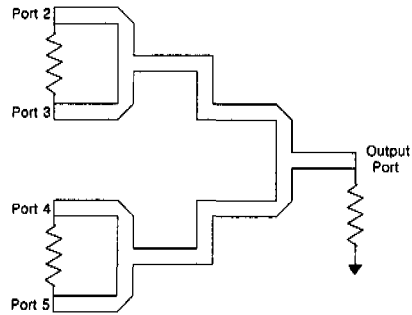


그림 1.4.3 전력증폭기의 전송선 결합기

이상과 같이 3가지의 결합기 설계방법에 따른 출력 특성은 1) 최적화된 전송선을 결합한 증폭기, 2) 컵프드 소자로 구성하여 최적화 시킨 결합기를 접속한 증폭기, 3) 이상적인 전송선 결합기를 이용하여 접속한 전력증폭기의 출력 특성은 <표 1.>와 같다.

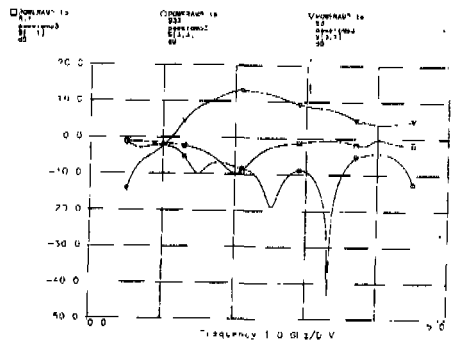


그림 1.4.4 최적화된 Lumped 소자로 결합한 증폭기의 입출력 특성

한편, 그림 1.4.1의 입출력특성인 그림 1.4.3의 반사계수 S11 파라미터는 -10 dB 정도로 입출력단의 임피던스 정합이 불안정하여 반사파에 의한 출력 전력의 감쇄가 예상되나, 그림 1.4.2의 입출력특성인 그림 1.4.4의 반사계수 S11 파라미터는 -15 dB 이상이 되어 입출력단의 임피던스 정합이 정상적으로 이루어짐에 따라 반사파에 의한 출력전력의 감쇄를 효과적으로 차단할 수 있게 되었다.

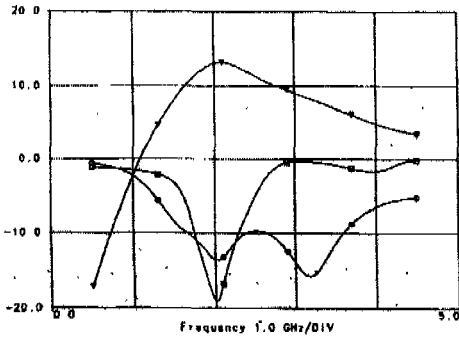


그림 1.4.5 전송선으로 결합한 증폭기의 입력력 특성

표 1. 이(異)종 결합기로 구성된 전력증폭기의 출력 특성

측정내용	최적화된 전송선을 결합한 증폭기	최적화된 럼프드소자를 결합한 증폭기	이상적인 전송선 결합기를 접속한 증폭기
출력부가이득 효율[%]	41	37.9	31.7
출력전력[mW]	570	539	483

그리고, 설계된 전력증폭기는 갈륨비소(GaAs) 반도체 공정기술을 이용하여 그림 1.4.6과 같이 1칩화하였으며, 3 mm × 4 mm 의 크기로 구현하였다.

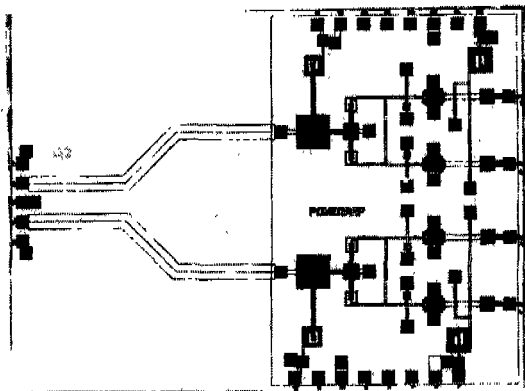


그림 1.4.6 IMT-2000 송신부 Power Amplifier 레이아웃

V. 결론

무선멀티미디어통신서비스 시스템인 IMT-2000 시험시스템(Trial system)용 휴대전화기에 사용할 수 있도록 단말기 RF송신부 전력증폭단인 구동증폭기와 병렬증폭기 구조를 갖는 전력증폭기를 각각 MMIC화 1칩으로 설계 및 구현하고 분석하였다.

설계된 구동증폭기 출력이득은 전전지(battery)에

서 공급되는 조정전압에 따라 -2~0 V의 낮은 전압이 공급되어도 제어를 통하여 선형화된 이득으로 변화시킬 수 있는 가변이득증폭기를 삽입한 다단 구동증폭기이며, 이를 GaAs MMIC로 RF송신부변환기와 함께 1칩화하여 설계한 것이다.

또한, 구동증폭기는 3단으로 구성되어 ITU-R에서 할당된 RF주파수 범위내인 1955±70 MHz에서 1단 증폭기의 전력이득은 10 dB 이상이고 2단 증폭부의 이득조정범위가 25~30 dB 이상이 되며 전력분배기와 최종단 증폭기에서 10 dB이상의 출력이득이 되도록 설계하므로써 전체적인 출력이득범위가 ≈ 40 dB 이상이 되도록 하는 설계방법을 제시하였으며, 이것은 종래의 캐환회로 방식으로 설계된 가변이득증폭기를 이용한 출력이득의 비선형성 및 조정범위를 선형성이며 광대역인 조정범위로 개선한 것이다.

한편, FET를 캐스케드형으로 VGA를 구성할 때 조정전압이 인가되는 FET의 게이트 단자에 10Ω의 작은 저항을 접속하여 출력이득특성을 낮은 제어전압(-2 ~ 0 V)에 따라 선형화되는 것을 알 수 있다.

따라서, 본고에서 제시한 다단 구동증폭기는 RF 신호 동작주파수 대역폭의 범위가 490 MHz 이고 각각의 출력포트 전력은 15 dBm 이며, 출력전력 이득은 25~27 dB 이고 반사계수는 -15~-20 dB 이며 이득평탄도는 동작주파수 대역폭 내에서 3 dB로써 최종단인 전력증폭기의 출력단 특성을 효과적으로 얻을 수 있도록 그 증폭기에 입력되는 RF신호에 대하여 선형화된 이득을 조정하고 증폭하여 공급하는 설계·구현방법을 제시한 것이다.

그리고, 설계된 전력증폭기는 A 급으로 구성하여 RF 주파수가 1,955 ± 70 MHz 일 때 570 mW 인 출력과 출력부가이득 효율이 약 41%인 전력증폭기를 구현하였으며, 이것은 일반적인 럼프드 소자 및 이상적인 전송선 결합기를 사용하여 출력단을 결합한 것에 비하여 출력전력과 출력부가이득 효율에서 각각 31 mW, 3.0 % 및 87 mW, 9.3 % 가 개선된 결과를 나타 내었다.

따라서, 본 고에서 제시한 전력증폭기는 동작주파수 대역폭 범위가 560 MHz(대역폭의 4배)이고 반사계수가 -15~-20 dB 이며, 이득 평탄도는 동작주파수 대역내에서 0.5 dB 이고, 입출력 전압정재비가 1.3 이하인 특성을 나타내었다.

참 고 문 헌

[1] 이우용 외 1명, 차세대 이동통신(IMT-2000)의 핵심기술과 표준화 동향(I, II), 한국전자통신연구원 주간기술동향, 1999.6.30

[2] 강민호외 21명, "전자통신핸드북 제 2편, 회로·제어이론," 다리원, pp.117~118, 1988.3.

[3] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design", Prentice-Hall, pp.139~187, 1984.

[4] I.D. Robertson, "MMIC Design", IEE Circuits and Systems Series 7, The Institution of Electrical Engineers, pp.133~189, 1995.

[5] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design", Prentice-Hall, pp.139~187, 1984.

[6] I.D. Robertson, "MMIC Design", IEE Circuits and Systems Series 7, The Institution of Electrical Engineers, pp.133~189, 1995.

[7] 개인통신서비스용 단말기(MS) 기술요구서(초안), 한국통신 연구개발원 무선통신개발단, 9월 1995.

[8] Inder Bahl, Prakash Bhartia, "Microwave Solid State Circuit Design", WILEY, pp.173~236, 1988.

[9] DAVIC M, SNIDER, "A Theoretical Analysis and Experimental Confirmation of the Optimally Loaded and Overdriven RF Power Amplifier", IEEE Transactions on Electron Device, Vol. ED-14, No.12, December, 1967.

[10] Inder Bahl, Prakash Bhartia, "Microwave Theory Tech.", Vol. MIT-16, pp.110~118, Jan., 1968.

[11] Stuart Cornelius, "GaAs IC Foundry Design Manual-Process F20/F14", GEC Marconi Materials Technology, Caswell Towcester Northants. 1995.

[12] Stephen A. Mass, "Nonlinear Microwave Circuits", Artech House, pp.81~ 246, 1988.

[13] Wilkinson, E., "An N-way Hybrid Power Divider," IEEE Trans. Microwave Theory Tech., Vol. MTT-8, pp.116-118, Jan. 1960.

[14] Inder Bahl, Prakash Bhartia, Microwave Theory Tech., Vol.MTT-16, pp.110-118, Feb. 1968.

접 명 남(Jung Myung Nam)

1980년 2월 : 단국대학교 전자공학과(공학사)
 1982년 2월 : 단국대학교 전자공학과(공학석사)
 1986년 2월~현재 : 한국통신 연구개발본부 가입자망 연구소 차세대무선연구팀 선임연구원
 1998년 : 한국항공대학교 대학원 통신정보공학과 수료
 <주관심 분야> 초고주파 회로 설계, 무선통신, 광통신 시스템

이 윤 현(Lee Yun Hyun)

1965년 2월 : 한국항공대학교 전자공학과(공학석사)
 1985년 2월 : 경희대학교 대학원 전자공학과(공학박사)
 1975년 9월 : 통신기술사
 1988년 7월 : New York State University at Buffalo 교환교수
 1980년 3월~현재 : 한국항공대학교 교수
 <주관심 분야> 초고주파 회로 설계, 마이크로파통신