

MDSP의 경계 주사 기법 및 자체 테스트 기법 구현에 관한 연구

정희원 양선웅*, 장훈**, 송오영***

A Study on Implementation of Boundary SCAN and BIST for MDSP

Sunwoong Yang*, Hoon Chang**, Ohyoung Song*** *Regular Members*

요 약

본 논문에서는 휴대 멀티미디어 응용을 위한 MDSP(Multimedia Fixed Point DSP) 칩의 내장 메모리 테스트와 기관 수준의 테스트를 지원하기 위해 내장 메모리 테스트를 위한 자체 테스트 기법, 기관 수준의 테스트 지원 및 내장 메모리를 위한 자체 테스트 회로를 제어하기 위한 경계 주사 기법을 구현하였다. 본 논문에서 구현한 기법들은 Verilog HDL을 이용하여 회로들을 설계하였으며, Synopsys 툴과 현대 hcb60 라이브러리를 이용하여 합성하였다. 그리고 회로 검증을 위한 시뮬레이터는 Cadence사의 VerilogXL을 사용하였다.

ABSTRACT

In this paper, we adopt BIST (Built-In Self-Test) for embedded memories. Also, boundary scan has been implemented for board level testing and for controlling memory BIST circuits. The implemented circuits are designed using Verilog-HDL, and simulation and synthesis are performed using Cadence Verilog-XL and Synopsys Design-Analyzer.

I. 서 론

최근 들어 하나의 칩에 대한 회로의 집적도는 시스템의 고성능화, 고기능화 및 소형화 요구와 함께 설계, 공정 기술의 발달에 힘입어 급속하게 증가되고 있다. 이에 따라 제한된 면적 안에 더 많은 소자를 집적시킬 수 있게 되었으며, 칩의 기능을 더욱 향상시키기 위해 예전에는 칩 외부에 배치되었던 메모리 같은 모듈들도 이제는 하나의 칩에 내장되는 추세이다. 이와 같이 복잡해진 칩의 테스트는 갈수록 어려운 문제가 되어가고 있으며, 이로 인해 제품 가격에서 테스트 비용이 차지하는 비율이 계속해서 증가하고 있다.

특히, 칩의 집적도가 증가함과 동시에 메모리 자체의 집적도도 증가함에 따라 메모리 셀들은 더욱 가깝게 위치하게 되었다. 이로 말미암아 이웃 셀의 영향에 의한 고장 발생 가능성 때문에 조합회로 (combinational logic)에서 사용되는 고착 고장 (stuck-at-fault) 모델만으로는 테스트하기가 어렵고, 내장된 메모리의 입출력 신호를 칩의 외부에서 제어하거나 관찰하기 어렵기 때문에 칩의 테스트에 있어서 가장 어려운 부분의 하나로 여겨진다^{1,2)}. 이러한 문제점을 해결하기 위해 가장 널리 사용되는 방법은 내장된 자체 테스트 기법(BIST: Built-In Self Test)을 사용하는 것이다. 내장된 자체 테스트 기법은 칩의 내부에 테스트 회로를 내장하여 자체

* 숭실대학교 대학원 컴퓨터공학과 컴퓨터구조연구실(swyang@watt.ssu.ac.kr)

** 숭실대학교 컴퓨터학부 (hoon@computing.ssu.ac.kr)

*** 중앙대학교 제어계측학과 (song@jupiter.cic.cau.ac.kr)

논문번호 : 00231-0623, 접수일자 : 2000년 6월 23일

※ 본 연구는 산업자원부와 과학기술부 및 정보통신부에서 시행하는 주류형 반도체 개발사업의 지원을 받아 수행되었습니다. 본 연구에 사용된 H/W 및 S/W는 부분적으로 IDEC의 지원에 의한 것입니다

적으로 테스트를 수행하는 기법이다. 자체 테스트 회로가 내장된 칩은 부수적으로 면적의 증가 등과 같은 오버헤드를 갖게 되지만, 다음과 같은 장점들을 갖게된다^[3].

- 각 모듈별로 자체적인 테스트가 이루어지므로 전체 시스템의 테스트에 있어서 테스트의 복잡도가 크게 줄어든다.
- 각 모듈별로 적절한 BIST 회로가 내장되므로 모듈별로 가장 적합한 방식의 테스트가 가능하다.
- 고가의 외부 테스트 장비를 사용하지 않고도 빠른 시간에 테스트 수행할 수 있다.

이런 장점들로 인하여 내장된 메모리의 테스트에 있어서는 BIST 회로의 사용이 확산되고 있다. 더욱이 내장된 메모리의 크기가 점차 커져감에 따라 BIST의 단점인 면적 오버헤드가 상대적으로 크게 감소하게 되므로 그 장점이 더욱 부각되고 있다.

본 논문에서는 MDSP의 내장 메모리인 프로그램 메모리와 데이터 메모리의 테스트를 위한 자체 테스트 기법과 기판 수준의 테스트 및 내장 메모리 테스트회로를 제어할 수 있는 표준안을 확장한 경계 주사 기법을 구현 및 적용하였다. 그림 1에 MDSP에 적용된 내장된 자체 테스트 기법이 나타내었다.

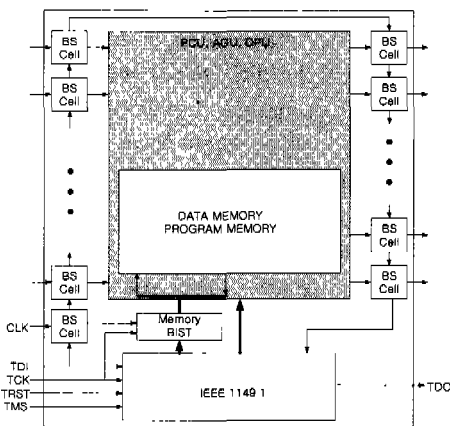


그림 1. MDSP에 적용된 테스트 용이화 기법

본 논문은 다음과 같이 구성되어 있다. 2장에서는 MDSP의 구조에 대하여 설명하고, 3장에서는

MDSP에 적용된 경계 주사 기법에 관하여 설명한다. 4장에서는 내장 메모리를 위한 자체 테스트 기법에 관하여 설명한다.

II. MDSP의 구조

MDSP는 휴대 멀티미디어 응용에 적합한 저전력형 고정 소수점 프로세서로 음성 신호 압축, 채널 코딩 등 디지털 이동 통신에서 사용하는 알고리즘 뿐 아니라 MPEG 디코딩/인코딩 등 멀티미디어 알고리즘을 효율적으로 처리하도록 설계되었다.

MDSP 코어는 크게 5개의 블록으로 구성된다. 이 블록들은 전체 코어의 동작과 명령어 패치 등을 제어하는 PCU(Program Control Unit), 주소를 계산하는 AGU(Address Generation Unit), 코어의 주요 연산 처리부인 DPU(Data Processing Unit)로 구성된다. 그리고, 내장된 자체 테스트가 적용된 프로그램 메모리(Program Memory)와 데이터 메모리(Data Memory)가 있다. 그림 2는 MDSP 코어의 구조를 보여준다.

MDSP는 외부로부터 공급되는 4개의 클럭인 clk, PCI_CLK, TCK, test_clk를 포함한다. clk는 MDSP의 전체적인 구동을 담당하고, PCI_CLK는 PCI 인터페이스 부분의 구동을 위해 사용된다. TCK는 경계 주사 회로의 구동과 메모리 테스트 회로를 구동시키기 위한 클럭이다. test_clk는 MDSP의 코어의 테스트를 위해 삽입된 scan을 동작시키는 클럭이다. clk는 그림 3에서 보는 바와 같이 PLL과 clock block을 통해 다시 core_clk와 peri_clk로 나누어진다.

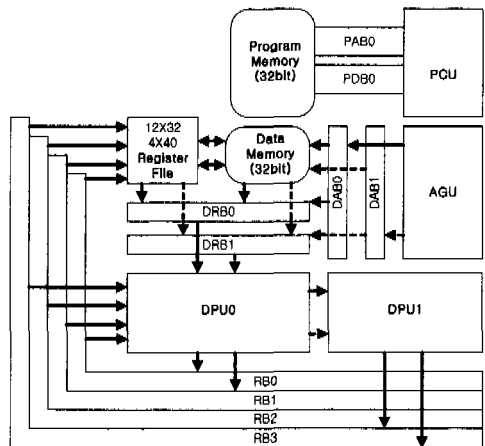


그림 2. MDSP 코어 구조

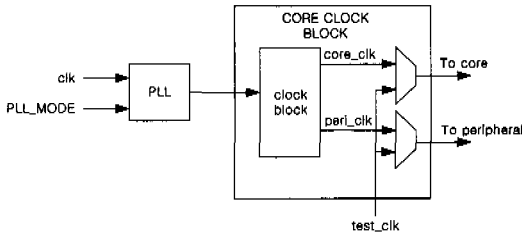


그림 3. MDSP의 클럭 모듈

III. 경계주사기법

경계 주사 기법은 기관 수준의 테스트를 지원하기 위해 IEEE에 의해 IEEE 1149.1 표준안으로 제정되었다. 이 기법은 상용화에 성공한 거의 모든 칩에 적용되고 있으며, PCI 버스에서도 경계 주사 기법을 지원하기 위한 신호를 포함하고 있다⁴⁾. 경계 주사 기법은 5개의 입출력 핀(TAP: Test Access Port)으로 TDI(Test Data Input), TDO(Test Data Output), TCK(Test Clock), TMS(Test Mode Select), TRST(Test Reset) 핀을 가지고 있다. 각 핀의 기능은 표1에 나와있다.

경계 주사 회로는 TAP 제어기, 명령어 레지스터, 테스트 데이터 레지스터, 명령어 디코더, 그리고 기타 회로들로 구성되어 있다^{5,6)}. TAP 제어기는 TMS와 TCK에 의해 동작하는 동기 유한 상태기로서 경계 주사 회로의 동작에 필요한 여러 제어 신호들을 생성한다. 명령어 레지스터는 TDI 포트를 통하여

표 1. TAP의 종류 및 기능

핀 이름	기능
TDI	테스트 데이터와 명령어를 인가하기 위한 핀으로 TDI로 인가되는 값은 TCK의 rising edge에서 유효하다.
TDO	테스트된 결과나 TDI로 인가되는 값을 출력하기 위한 핀으로 TCK의 falling edge에서 유효하다.
TCK	IEEE 1149.1에서 정의한 테스트 회로에 클럭을 인가하기 위한 핀이다.
TMS	테스트 동작을 제어하는 TAP 제어기의 상태 제어 신호를 인가하기 위한 핀으로 TMS 포트에 인가되는 값은 TCK의 rising edge에서 유효하다.
TRST	TAP 제어기의 비동기 초기화를 위한 optional 핀으로 TRST에 논리 0이 인가 되면 TAP 제어기는 Test-Logic-Reset 상태가 된다.

입력되는 경계 주사 회로를 위한 명령어를 래치하는 레지스터이다. 테스트 데이터 레지스터에는 TDI와 TDO 사이의 최단 경로를 제공하여 기관 수준의 테스트에서 테스트 시간을 줄일 수 있게 해주는 bypass 레지스터, 시스템 핀과 회로 사이에 존재하여 시스템 핀의 상태를 관측하고 시스템 회로로 입출력되는 값을 조절하거나 관측하는 경계 주사 레지스터가 있다. 그리고 32비트 크기를 갖고 버전, 부품 번호, 제조업체 식별에 관한 정보를 갖고 있는 디바이스 식별 레지스터와 사용자가 정의한 레지스터를 필요에 따라 추가할 수 있다. 이를 정리하면 그림 4와 같다.

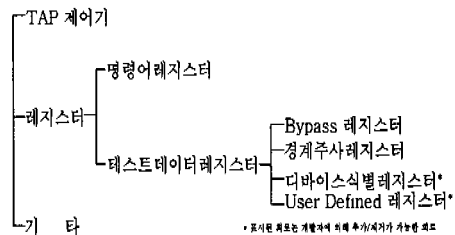


그림 4. 경계 주사 기법의 구성 요소

경계 주사 기법에서 지원하는 명령어는 public 명령어와 private 명령어로 구분할 수 있다. Public 명령어는 표준안에서 지원하도록 지정한 명령어이고, private 명령어는 사용자에게 의해 추가되는 명령어를 말한다. Public 명령어에는 BYPASS, SAMPLE/PRELOAD, EXTEST가 있으며, 선택사항으로 IDCODE, USERCODE가 있다. 그리고 권장 명령어로 INTEST가 있다.

본 논문에서 구현된 경계 주사 기법은 내장 메모리 자체 테스트 회로를 위한 제어기의 기능을 수행할 수 있도록 확장되었다. 구현된 경계 주사 기법의 명령어 레지스터는 5비트 크기를 갖고 있으며, 내장 데이터 메모리를 위한 명령어로 DMemBIST와 PMemBIST 명령어를 추가하였다. 표 2에 구현된 명령어를 정리하였다.

표 2. 경계 주사 기법의 명령어

명령어	코드
BYPASS	5'b11111
SAMPLE/PRELOAD	5'b00001
EXTEST	5'b00000
DMemBIST	5'b00100
PMemBIST	5'b01000

입출력 핀을 위한 경계 주사 레지스터에는 여러 종류가 있지만 MDSP에는 단방향 핀을 위한 경계 주사 레지스터만을 사용하였다. 이를 위하여 MDSP에 존재하는 다수의 양방향 핀에 대하여 그림 5와 같이 경계 주사 레지스터를 적용하였다. 그림에서 BS는 경계 주사 레지스터를 의미한다. 칩이 정상 동작을 할 경우에 Tri-state 버퍼의 제어 신호는 입출력 모드에 따라 칩 내부의 제어 로직에서 생성되고, 테스트 모드에서는 제어 신호선에 연결된 경계 주사 레지스터에 TDI 포트를 통해 원하는 값을 적재함으로써 입력 또는 출력 모드로 동작을 시킨다

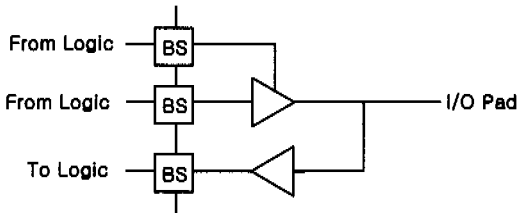


그림 5. 양방향 핀을 위한 경계주사레지스터의 적용

IV. 내장 메모리를 위한 자체 테스트 기법

MDSP는 내장 메모리로 8K(2K x 32)의 데이터 메모리와 4K(1K x 32)의 프로그램 메모리를 가지고 있으며, 이들을 테스트하기 위하여 13N March 테스트 알고리즘을 회로로 구현하였다. 구현된 알고리즘은 주소 디코더 고장(ADF: Address Decoder Fault), 고착 고장(SF: Stuck-at Fault), 천이 고장(TF: Transition Fault), 결합 고장(CF: Coupling Fault)을 완벽하게 검출할 수 있다. 또한 MDSP의 메모리는 워드 단위로 읽기와 쓰기가 일어나기 때문에 워드 내에서 발생할 수 있는 error masking 문제를 고려하여 배경 데이터라고 불리는 비트 패턴을 사용하였다^[7,8,9].

자체 테스트 회로로 인한 오버헤드를 최소화하기 위하여 다음과 같은 방법으로 자체 테스트 회로를 적용하였다. 데이터 메모리와 프로그램 메모리가 크기만 다르고 제어 신호의 타이밍이 같다는 점에 착안하여 동일한 자체 테스트 회로를 이용하여 프로그램 메모리와 데이터 메모리를 테스트 할 수 있게 하였으며, 구현된 자체 테스트의 제어기를 따로 구현하지 않고 경계 주사 회로에 내장 메모리 테스트를 위한 명령어를 추가함으로써 면적 오버헤드를 최소화하였다. 또한 내장 메모리 테스트를 위한 핀

을 별도로 사용하지 않고, 반드시 사용하도록 되어 있는 경계 주사 회로의 TDO 포트로 테스트 결과를 출력할 수 있게 함으로써 테스트용 핀의 추가를 없게 하였다.

1. 내장 메모리를 위한 자체 테스트 회로의 구조

본 논문에서 내장 메모리 테스트를 위해 구현된 자체 테스트 회로는 제어회로(CL: Control Logic), 주소생성회로(AGL: Address Generation Logic), 데이터생성회로(DGL: Data Generation Logic), 데이터비교회로(DCL: Data Comparison Logic)로 구성되어 있으며, 그림6은 자체 테스트 회로의 구조도이다.

- 제어회로 : 내장 메모리 테스트가 진행되는 동안에 적절한 데이터와 주소가 생성될 수 있도록 제어신호를 DGL과 AGL에 보내주고, 테스트 결과를 압축할 수 있도록 DCL에 제어신호를 보내준다.

- 데이터생성회로 : 내장 메모리 테스트를 위한 배경 데이터를 생성하는 모듈이다.

- 주소생성회로 : 내장 메모리를 주소를 생성하는 모듈로 주소의 증가는 카운터를 이용하여 구현하였다. 그리고 주소의 감소는 카운터의 출력 값을 반전시켜 사용하였다.

- 데이터비교회로 : 메모리에서 읽은 값과 예상되는 값을 비교하여 메모리의 고장 여부를 판단하는 회로이다. 각각의 테스트 패턴에 대한 테스트 결과는 플립플롭에 저장하고, 모든 테스트 패턴이 인가된 후에 경계 주사 회로의 TDO 포트를 통해 칩 외부로 출력한다.

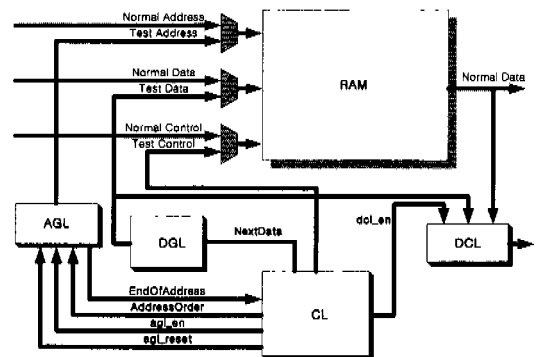


그림 6. 메모리 자체 테스트 회로의 구조

그림에서 EndOfAddress 신호는 주소 생성기가 증가 또는 감소 방향으로 모든 주소를 생성한 후에 발생하는 신호이다. AddressOrder 신호는 주소를

증가시킬 것인지, 아니면 감소시킬 것인지를 알려주는 신호이다. *agl_en* 신호는 주소생성회로에서 주소를 변화시키기 위한 제어 신호이다. *agl_reset* 신호는 주소생성기 모듈의 초기화를 위한 신호이다. *dcl_en* 신호는 데이터비교회로에서 테스트 결과를 저장하기 위한 신호이다.

2. MDSP의 내장 메모리 구조

MDSP에 사용된 내장 메모리는 데이터 메모리의 경우 2-읽기 1-쓰기가 가능한 이중 포트 메모리이고, 프로그램 메모리의 경우는 1-읽기 1-쓰기가 가능한 단일 포트 메모리이다. 데이터 메모리는 2K의 주소 공간과 32bits의 데이터 폭을 갖는 메모리이고, 프로그램 메모리는 1K의 주소 공간과 32bits의 데이터 폭을 갖는 메모리이다.

2.1 데이터 메모리

그림 7은 데이터 메모리의 구조를 보여주고 있다. MDSP의 데이터 메모리는 2-포트(0포트, 1포트) 메모리이다. *d0a*는 0포트를 위한 주소이고, *d1a*는 1포트를 위한 주소이다. *D0Web*는 1 값을 가질 때에만 메모리에 쓰기 동작을 할 수 있다. *D0Oe* 및 *D1Oe*는 1 값을 가질 때에만 읽기를 할 수 있다. *D0Ceb*와 *D1Ceb*는 각각 1 값을 가질 때 선택된 메모리의 0포트 또는 1포트를 이용할 수 있다. 주소는 12비트로 되어있으며, 최상위 비트가 0이면 *RAM8_LA* 메모리 블록이 선택이 되고, 1이면 *RAM8_HA* 메모리 블록이 선택된다. 예를 들면 *d0a*의 12번째 비트가 1이고 *d1a*의 12번째 비트가 0이면 *D0Ce_HA*, *D1Ce_LA* 신호가 발생된다. 즉 *RAM0_LA*의 1 포트와 *RAM1_HA*의 0포트에 대해 읽기/쓰기 동작이 가능하다.

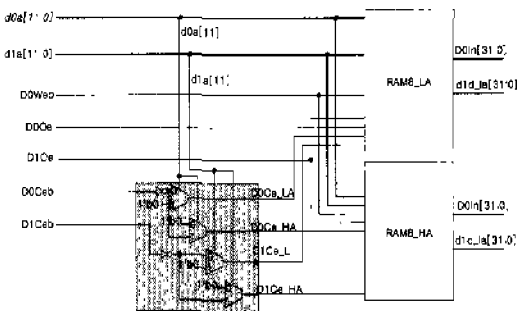


그림 7. 데이터 메모리의 구조

2.2 프로그램 메모리

그림 8은 프로그램 메모리의 구조를 보여주고 있

다. MDSP의 프로그램 메모리는 1-포트 메모리로 제어 신호에 대한 동작 원리는 데이터 메모리와 동일하다. 11비트의 주소에서 최상위 비트인 11번째 비트의 값에 따라 *PMem_l* 블록 또는 *PMem_h* 블록에 대해 읽기/쓰기 동작이 수행된다.

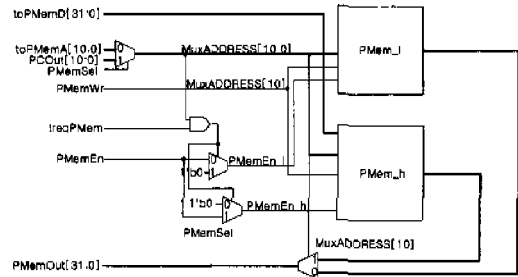


그림 8. 프로그램 메모리 구조

3. 내장 메모리를 위한 자체 테스트 회로의 적용

3.1. 데이터 메모리

그림 9는 내장 메모리 테스트를 위한 자체 테스트 회로와의 인터페이스를 위해 변경된 데이터 메모리의 구조를 보여준다. 그림에서 음영이 들어간 부분이 테스트를 위해 추가된 회로이다. 테스트 모드에서는 테스트 패턴의 인가 및 메모리 내용 읽기를 위해 *RAM8_LA*의 최하위 주소부터 *RAM8_HA*의 최상위 주소까지 순차적으로 접근하며, 0포트와 1포트로 동일한 주소의 내용을 읽도록 하였다. 이를 위해 0포트와 1포트에 동일한 주소 *ADDRESS*가 인가된다. 그리고 *D0Web* 신호 대신에 자체 테스트 회로에서 생성한 *WE* 신호가 인가된다. 0포트와 1포트를 위한 *D0Oe*, *D1Oe* 신호와 *D0Ce*, *D1Ce* 신호 대신에 자체 테스트 회로에서 생성한 *OE* 신호와 *CE* 신호가 인가된다.

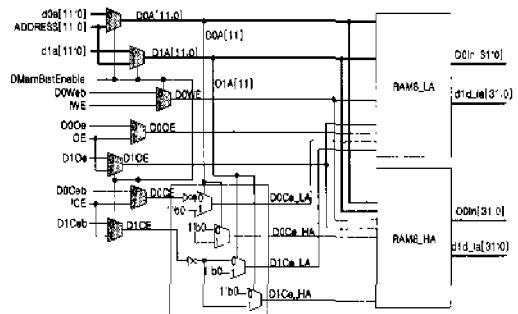


그림 9. 자체 테스트를 위해 변경된 데이터 메모리

3.2. 프로그램 메모리

그림10은 내장 메모리의 자체 테스트를 위해 변경된 프로그램 메모리의 구조를 보여준다. 그림에서 음영이 들어간 부분이 테스트 모드시에 정상 데이터 대신에 테스트 데이터를 인가하기 위해 추간된 회로이다. 데이터 메모리와 마찬가지로 테스트 모드에서는 자체 테스트 회로에서 생성한 제어 신호, 주소, 데이터가 메모리에 인가되도록 하였다.

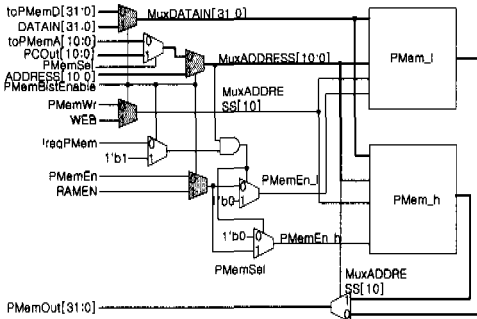


그림 10. 자체 테스트를 위해 변경된 프로그램 메모리

V. 실험결과

본 논문에서 구현된 테스트 관련 회로들은 Verilog HDL로 설계하였으며, Synopsys를 이용하여 현대 hcb60 라이브러리로 합성하였다. 회로 검증 중을 위한 시뮬레이터는 Cadence사의 VerilogXL을 사용하였다.

그림 11은 경계 주사 회로의 합성한 그림이다. 그림에서 tdrMux는 여러 개의 테스트 데이터 레지

스터의 출력 중에 하나를 선택하여 출력하는 mux이다. 그리고 tdirMux는 tdrMux의 출력이나 명령어 레지스터의 출력 중에 하나를 선택하여 출력하는 mux이다. 메모리의 테스트의 결과는 MemBistOut이라는 포트를 통해 tdrMux로 연결이 되고 tdo 포트를 통해 칩 외부로 출력된다.

그림 12는 경계 주사 회로 자체의 동작을 검증한 시뮬레이션 중에 명령어 레지스터를 위한 TAP 제어기의 동작을 캡처한 그림이다.

그림 13은 내장 메모리를 위한 자체 테스트 회로를 합성한 그림이다. 그림에서 MemBistEnable 신호는 경계 주사 회로의 DMemBistEnable과 PMemBistEnable 신호를 or 연산해서 연결한 포트로 데이터 메모리 또는 프로그램 메모리 테스트를 위해 사용될 수 있다. ADDRESS 포트는 테스트 패턴을 쓰거나 읽을 주소를 쓰는 포트로 크기는 12비트이다. 데이터 메모리의 경우 두 개의 뱅크 중에 하나를 선택하기 위해서 12번째 비트가 사용되며, 프로그램 메모리의 경우 [10:0]의 비트가 사용된다. 이를 위해 AGL 모듈에서는 데이터 메모리를 테스트하는 모드인지, 프로그램 메모리를 테스트하는 모드인지를 경계 주사 회로에서 생성되는 신호에 따라 구별하여 적절한 주소를 생성한다. Synopsys의 면적 레포트 기능을 이용하여 생성한 메모리를 위한 자체 테스트 회로의 면적은 CL 모듈이 189, AGL 모듈이 346, DGL 모듈이 158, DCL 모듈이 717이다.

그림14는 메모리 테스트를 위한 자체 테스트 회로의 최상위 주소를 3번지로 줄여서 시뮬레이션한 결과이다. 그림에서 1단계, 2단계, 3단계, 그리고 4 단계는 각각 하나의 배경 데이터에 대해 13N

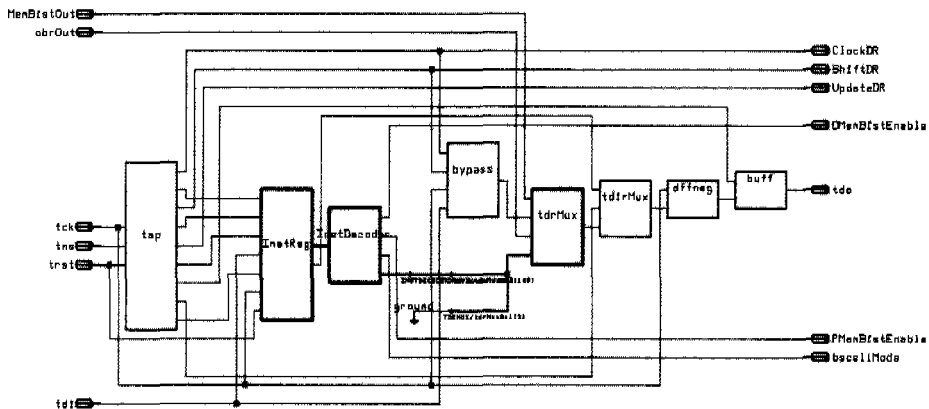


그림 11. 경계 주사 회로의 합성

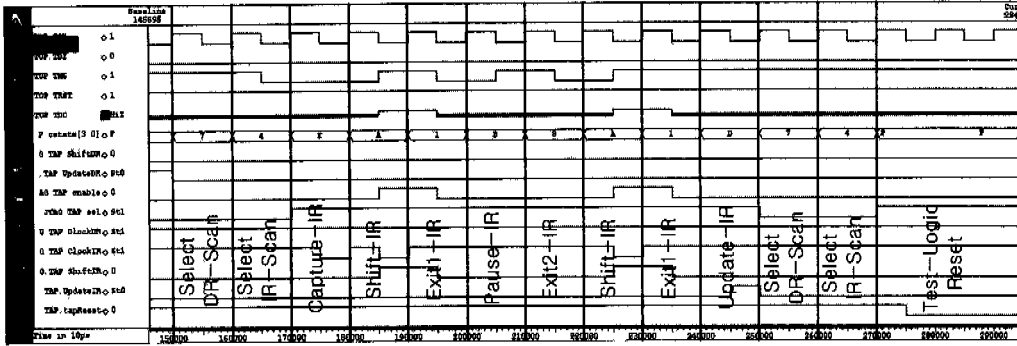


그림 12. 명령어 레지스터를 위한 TAP 제어기의 동작

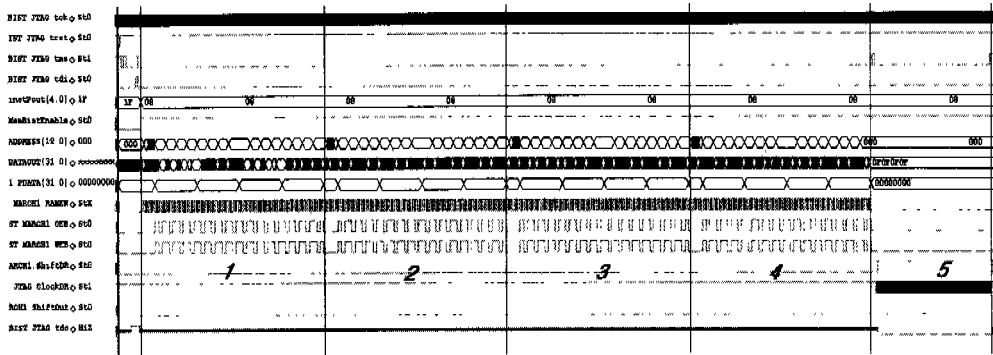


그림 13. 내장 메모리 테스트를 위한 자체 테스트회로의 동작

March 테스트 알고리즘이 적용되는 단계이다. 5단계는 자체 테스트 회로에 저장되어있는 테스트 결과가 경계 주사 회로의 tdo 포트를 통해 칩 외부로 출력되는 단계이다.

그림 15는 floorplan의 결과이다. Die 크기는 7mm X 7mm이다. Data Memory와 Program Memory는 Memory Control 모듈에 포함된 자체 테스트 회로에 의해 테스트가 수행된다. 그리고 JTAG BSC 모듈은 경계 주사 회로가 위치한 모듈이다.

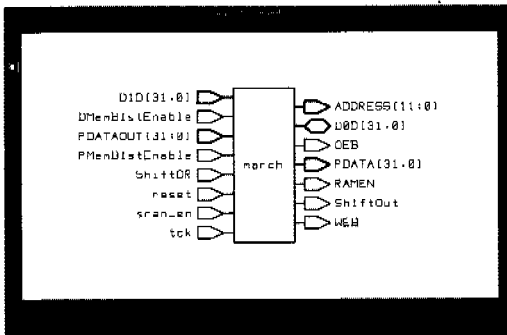


그림 14. 내장 메모리 테스트를 위한 자체 테스트 회로

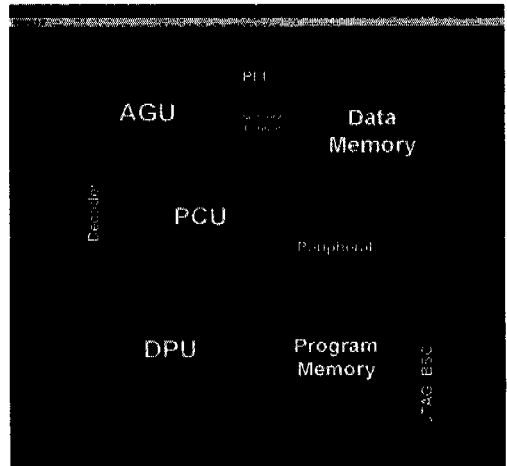


그림 15. MDSP의 floorplan의 결과

VI. 결론

본 논문에서는 휴대용 멀티미디어 시스템, 휴대용 HDTV 분야 등 다양한 분야에서 활용할 수 있는 고정소수점 DSP 코어인 MDSP의 내장 메모리의

테스트를 위한 자체 테스트 기법과 기관 수준의 테스트 지원 및 자체 테스트 회로의 제어를 위하여 IEEE 1149.1 표준안을 확장 구현하였다. 구현된 자체 테스트 회로는 내장 메모리인 데이터 메모리와 프로그램 메모리의 테스트를 위해 13N March 테스트 알고리즘을 구현하였다. 또한 데이터 메모리와 프로그램 메모리를 테스트할 때, 자체 테스트 회로를 공유하게 함으로써 면적 오버헤드를 최소화하였다. 또한 메모리 테스트 제어 신호의 생성을 경계 주사 회로의 명령어에 추가함으로써 회로 내부에서 생성하게 하였으며, 테스트 결과 출력을 경계 주사 회로의 tdo 포트를 이용함으로써 메모리 테스트를 위한 핀의 추가가 필요하지 않았다.

본 논문에서 구현된 내장 메모리 테스트를 위한 자체 테스트 회로와 경계 주사 회로는 재사용이 가능하므로 다른 칩에 적용할 경우 테스트 관련 회로의 설계에 필요한 시간을 단축시키는 효과가 있을 것이다.

참 고 문 헌

[1] M. Abramovici, M. A. Breuer and A. D. Friedman, "Digital system testing and testable design," Computer Science Press, 1990,
 [2] R. Rajsuman, "Digital Hardware Testing : Transistor-Level Fault Modeling and Testing," Artech House Boston London, 1992.
 [3] 김대우, 배성기, 이창기, 이상진, 전병실, "메모리 테스트를 위한 BIST 기술," 전자공학회지, 제22권, 제 12호, 1995년 12월.
 [4] 박선희, "PCI 버스 해설과 인터페이스 카드 설계," 국제테크노정보연구소, 1999.
 [5] Test Technology Standards Committee, "IEEE Standard Test Access Port and Boundary Scan Architecture," IEEE Computer Society Press, 1990.
 [6] 홍성제, 강성호, 박은세, 장훈, 최호용, "테스팅 및 테스팅을 고려한 설계," 반도체 설계 교육 센터, 1997.
 [7] A. J. Goor, "Testing Semiconductor Memories: Theory and Practice," John Wiley & Sons Ltd., 1991.
 [8] R. Dekker, F. Beenker, and L. Thijseen, "A Realistic Self-Test Machine for Static Random Access Memories," IEEE International Test

Conference, 1988.

[9] Pinamki Mazumder and Kanad Chakraborty, "Testing and Testable of High-Density Random-Access Memories," Kluwer Academic Publishers, 1996.

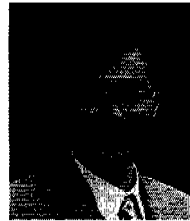
양 선 응(Sunwoong Yang) 정회원



1996년 2월 : 숭실대학교
전자계산학과 졸업
1998년 2월 : 숭실대학교
전자계산학과 석사
1998년 3월~현재 : 숭실대학교
컴퓨터공학과 박사과정

<주관심 분야> 컴퓨터구조, VLSI 설계 및 테스팅, CAD

장 훈(Hoon Chang) 정회원



1987년 2월 : 서울대학교
전자공학학과 졸업
1989년 2월 : 서울대학교
전자계산학과 석사
1993년 : University of Texas
at Austin 박사

1991년 : IBM Inc.
1993년 : Motorola Inc. Senior Member of Technical Staff
1994년~현재 : 숭실대학교 컴퓨터학부 조교수
<주관심 분야> 컴퓨터 시스템, VLSI 설계, VLSI 테스팅

송 오 영(Ohyoung Song) 정회원



1980년 2월 : 서울대학교
전기공학과 학사
1982년 2월 : 한국과학기술원
전기 및 전자 공학과
석사

1992년 2월 : University of Massachusetts at Amehst, 전기 및 컴퓨터공학과 박사
1982년 3월~1985년 5월 : 국방부 기술연구 사무관
1991년 9월~1992년 10월 : Intergraph Corp. Electronics 수석연구원

1992년 1월~1993년 11월 : IBM Microelectronics

수석연구원

1994년 1월~1994년 8월 : 삼성전자 LSI사업부 수석

연구원

1994년 9월~현재 : 중앙대학교 전자전기공학부 부교수

<주관심 분야> VLSI시스템 설계 및 테스트