

효율적인 구조의 다단계 영상 웨이블릿 인코우더의 설계

정희원 이경구*, 송낙운*

Design of multilevel Image Wavelet Encoder with Efficient Architecture

Kyungkoo Lee*, Nagun Song* *Regular Members*

요 약

본 논문에서는 실시간 영상처리를 위한 효율적인 구조의 2차원 웨이블릿 인코우더를 설계하였다. 제안된 아키텍처는 이차원 separable 계수방식을 채택하였으며, 병렬필터와 입력제어유닛과 주소제어유닛으로 구성하였고, 아울러 3개의 저장모듈을 사용하여 이에 따른 제어유닛을 단순화하였다. 한편, 영상의 완전복원을 위한 경계선 데이터유닛을 사용하였으며, 스케줄링 방법을 사용하여 제한된 하드웨어를 효율적으로 제어하도록 하였다. 설계된 인코우더는 C와 VHDL을 이용한 시뮬레이션으로 적절한 결과를 확인할수 있었다.

ABSTRACT

In this paper, two-dimensional wavelet encoder with efficient architecture for real-time image processing is designed. Suggested architecture, where separable coefficient methods are adopted, consists of parallel filter, input control unit and address control unit, and three storage module is used to simplify related control units. Whereas, boundary data unit is made for perfect image decoding and scheduling method is adopted to control restricted hardware efficiently. The designed encoder is simulated by C and VHDL language, where reasonable result is confirmed.

I. 서론

최근 멀티미디어 통신은 급속한 발달을 하고 있으며, 이의 핵심인 영상정보는 그 데이터의 크기를 줄이기 위해 다양한 압축기법 연구가 행해지고 있다. 많은 영상압축 방식중, JPEG 2000의 표준화 작업이 진행중인 2차원 이산 웨이블릿변환(2D DWT: two-dimensional discrete wavelet transform)은 가장 중요한 방법으로 차세대 영상압축방식으로 각광 받고 있다^[1]. 아울러 이 방식은 영상, 음성외의 압축뿐만 아니라 컴퓨터그래픽, 패턴인식에도 다양하게 적용되고 있다^[2].

20세기 초, Harr^[3]에 의해 처음 제안된 웨이블릿 변환은, 80년대에 들어 Mallat^[4]이 MRA(Multi-Resolution Analysis)로 PA(Pyramid Algorithm)과

직교웨이블릿의 상관관계를 밝혀냈으며, Daubechies 등^[5]에 의해 수학적으로 정리되었다. 이는 한편으로는 Vetterli^[6], Woods^[7] 등에 의해 SBC(subband coding)으로 발전되어 왔으며, 90년대에 들어 다양한 웨이블릿변환 관련 연구들이 수행되고 있다. 1D DWT에 비해, 2D DWT에서는 수평, 수직방향의 필터링이 필요하기 때문에 속도를 높이며 면적을 줄이는 효율적인 구조의 설계에 관해 많은 연구가 있어왔다.

Lewis et al.^[8]은 4-tap Daubechies 계수를 사용하고 곱셈기가 없는 구조를 갖는 2D 구조를 제안하였으며, Parhi et al.^[9,11]은 folded와 digital-serial의 구조를 제안했다. Chakarabarti et al.^[12]은 다양한 구조, 즉 병렬필터, SIMD 어레이 등 여러 구조를 제안했으며, 또한 Vishwanath는 두 개의 씨스플리

* 홍익대학교 전자공학과
논문번호: 00251-0704, 접수일자: 2000년 7월 4일

어레이필터와 두 개의 병렬필터로 2D DWT를 구현하였다^[13,14]. Chen et al.^[15]은 스케일가능한 씨스틀릭 어레이구조를 제안하는 등 다양한 구조들이 발표되고 있다.

2차원 DWT의 분류방식 중 대표적인 것은 수직, 수평계수의 처리방식에 의한 seperable, nonseperable 방식을 들 수가 있다^[12-16]. 이들은 주로 MRPA (Modified Recursive Pyramid Algorithm)^[12]를 기본으로 하여 연산을 수행하게 되는데, 1D DWT를 기본으로 하는 seperable 방식의 경우, nonseperable 방식에 비해 일반적으로 구현방식이 용이하며 연산 하드웨어가 줄어드는 대신에, latency가 늘어나며 저장하드웨어가 늘어나는 단점이 있다. 따라서 이를 개선하기 위한 다양한 구조가 제안되었다. 그 중, Vishwanath^[13]는 seperable 2D DWT 방식인 씨스틀릭, 병렬구조를 제안하였으며, 이 연장선상에서 다시 Yu^[16]는 이의 미흡한 제어부분을 개선한 구조를 제시하였다. 즉, 일반적인 병렬필터와 달리 3개의 병렬필터로 스케줄링방법을 사용하여, 하드웨어 크기를 줄였으며 비교적 간단한 제어회로와 적은 저장매체를 사용하여 영상처리를 하는 구조를 제안하였다. 그러나 이러한 많은 구조에 관한 연구에도 불구하고 다단계(multi-level) 웨이블릿 인코더의 실제적인 설계구현에 관한 연구는 극히 미미한 편이다.

이를 위하여 본 논문에서는 레이턴시, 메모리와 제어부분의 성능이 비교적 효율적으로 개선된 Yu^[16]가 제안한 구조를 근간으로 하여 2D DWT 인코더의 아키텍처를 제안하고 이를 설계구현하였다. 이때 병렬필터와 메모리유닛이외에 필요한 여러 제어 유닛을 설계하여 스케줄링방법을 사용하여 데이터를 효율적으로 처리하도록 하였으며, 영상의 완전복원을 위한 경계선 데이터유닛을 설계하였으며 제안구조는 C와 VHDL을 이용하여 시뮬레이션을 수행하여 검토하였다. 본 논문의 구성은 다음 2장에 이론 배경(알고리즘과 아키텍처)을, 3장에서는 제안된 아키텍처의 블록별 구성을 기술하였으며, 4장에서는 제안된 구조의 시뮬레이션과 이의 결과검토를 수행하였으며, 5장에 결론을 기술하였다.

II. 이론 배경

2.1 알고리즘

웨이블릿변환은 다운샘플 필터링으로 이루어지며, 원래의 신호를 LPF(low pass filter)와 HPF(high

pass filter)를 이용하여 분해한다. 분리된 2개의 신호중 원하는 부분을 다시 필터링하여 저주파성분과 고주파성분으로 나누는데, 이러한 과정을 반복하면 원하는 대역의 주파수성분을 알 수 있다. 영상에서도 1차원과 마찬가지로 원하는 주파수 대역으로 나누는데, non-separable 필터를 사용하는 경우 비교적 필터의 설계와 구현이 어렵고 계산이 복잡하여, 일반적으로 seperable 방식에 의하여 1차원 필터를 수직과 수평으로 한번씩 분리하여 필터링한다^[2].

웨이블릿변환의 필터링의 식은 다음과 같다.

$$y(n) = \sum_{k=-N/2}^{(N/2)-1} h(k)x(n-k) \quad (1)$$

이때 구현된 Daubechies 필터계수는 대칭이므로 위 식을 다음과 같이 변환할 수 있다.

$$y(n) = h(0) \times x(n) + \sum_{k=1}^{(N/2)-1} h(k)[x(n-k) + x(n+k)] \quad (2)$$

한편 식 (2)에 의하여 곱셈기의 수를 반으로 줄일 수 있으며, 이는 LPF와 HPF에 모두 적용되며, 또한 수평방향과 수직방향을 같은 필터를 사용한다. 영상을 대역분할할 때 수평방향과 수직방향을 필터링한 후 해상도는 낮으나 영상의 대부분의 에너지를 갖는 저대역구간에서 수평 수직 필터링을 반복하는 MRA 방법중 옥타브 분해방법이 일반적으로 사용된다.

디코딩 부분에서는 인코더 부분에서 샘플링된 데이터를 제로확장을 하여, 인코더와 같은 방법으로 필터링하여 복원한다. 이때 필터 계수에 따라 orthogonal, biorthogonal 필터 등으로 나뉜다. 이를 다음 그림 1에 나타내었다.

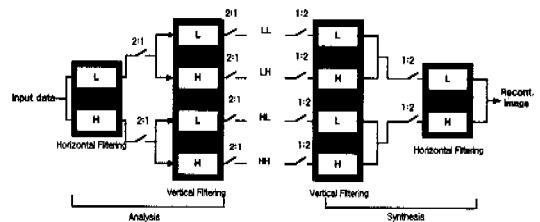


그림 1. 2차원 웨이블릿 분해

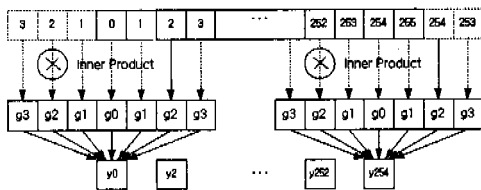
2.2 아키텍처

상기 알고리즘에서, 필터의 연산시 multiply-add 연산이 계속 나오므로, 이를 제한된 하드웨어로 효율적으로 수행하기 위하여 일반적으로 폴딩(folding) 기법과, 스케줄링기법을 사용되고 있으며, 시스템릭

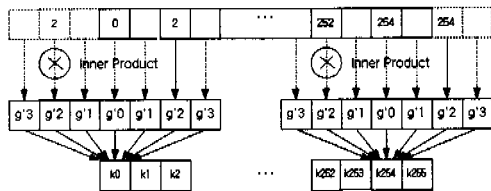
구조를 포함한 다양한 어레이구조와 파이프라인 및 병렬구조가 연구되고있다. 일반적으로 폴딩은 multiplexing의 개념으로 하드웨어 공유시의 개념인데, 본 연구에서 이를 경계선 폴딩에 국한하였으며, 맥스형태의 공유개념은 스케줄링에 대체포함시켜 전체적으로 적용되었다. 한편, Daubechies 필터계수는 부동소숫점을 생성하며, 이를 구현하기 위하여 CSD(Canonical Signed Digit) 알고리즘 등이 널리 적용되고 있다. 우선 본 논문에 적용한 폴딩(여기서는, 경계선 데이터 폴딩)기법을 검토한다.

2.2.1 경계선 데이터 폴딩

영상의 웨이블릿변환에서는 수평, 수직 경계선에 데이터를 필터링하기 위해서는 데이터를 재배열하는 폴딩부분이 필요하다. 이중, 경계선데이터를 처리하기 위해서는 주기적 확장, 좌우대칭 확장, 경계선 함수에 의한 확장 등이 있으나, 이중 구현이 용이한 좌우대칭 확장방법은 다음과 같다.



(a) 분해영역에서 홀수번째 이미지의 좌우대칭확장



(b) 합성영역에서 홀수번째 이미지의 좌우대칭확장

그림 2. 모서리 데이터의 대칭확장

그림에 나오듯이 완전복원을 하기 위해서는 분해 영역에서 좌우대칭 방법으로 확장했을 경우, 합성 단계에서는 왼쪽 모서리는 그대로 좌우대칭방법으로 확장하지만, 오른쪽 모서리에서는 데이터를 한번 더 써주고 확장시키는데, 이는 영상이 짝수 이미지이고, decimation 과정을 거치기 때문이다.

2.2.2 스케줄링

아키텍처 설계에서 스케줄링 기법은 시간, 면적

등의 제약을 갖는 조건하에서 주어진 자원의 공유 등 효율적인 사용을 위해 중요한 방법이며 이들 데이터패스와 제어블록의 최적설계 및 합성에 중요한 역할을 하게된다^[17]. 본 논문에서는 이를 2D DWT에 적용하였으며 구체적인 방법을 3.3절에 기술하였다.

III. 제안된 아키텍처의 설계

설계된 인코더의 전체적인 하드웨어 구조는 그림 3과 같다. 여기서 병렬필터는 입력을 재배열하는 부분과 필터링하는 부분이며, 각각 LPF, HPF 필터를 포함하고 있다. 구현된 인코더는 저주파수 영역을 다시 분해하는 3단계 옥타브 분해방식으로 구현되었다. 전체적으로 병렬필터를 3개를 사용하였으며, 이는 첫 단계에서 나누어진 영상의 하이패스된 부분과 로우패스된 부분을 동시에 처리하기 위해 3개를 사용하였으며, 입력 제어유닛은 짝수 클록마다 계산되는 첫 단계의 수평방향의 폴딩과 수직방향의 필터링후 들어오는 영상의 폴딩을 담당하기 위해 2개로 설계되었다.

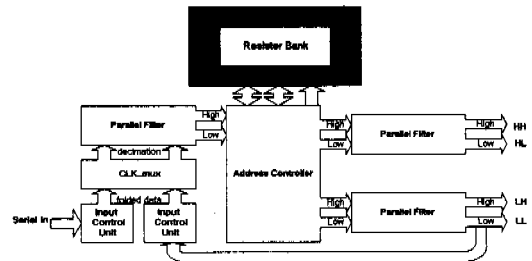


그림 3. 2차원 DWT 인코더의 구조

실제 구현된 구조는 스케줄링기법을 사용하여 약 N^2 의 클록주기동안 계산되어 실시간처리가 가능하도록 하였다. 다음에 이의 각 블록의 구성과 동작을 기술한다.

3.1 병렬필터

구현된 필터는 biorthogonal 필터인 Daubechies 9x7 필터계수를 가지고 설계하였으며, 필터계수는 각각 식(2)에 의해 대칭성을 고려하여 설계하였다. 입력값을 선처리과정으로 (1+9, 2+8, 3+7)하여 이를 필터링하여 9개의 곱셈을 5개로 줄여 계산하였다. 또한 7탭을 9탭으로 확장시키기 위해 뒤에 00을 붙였으며 이는 하드웨어로 입력은 받지만 값을 연결시키지 않는 방법으로 설계하였다. 각각의 필터는 7탭을 00을 추가하여 9탭으로 확장시켜 설계

하여, 같은 폴딩유닛을 사용할수 있도록 하였으며, 필터링 유닛도 같은 하드웨어 알고리즘을 적용시킬 수 있도록 하였다. 사용된 곱셈기는 속도가 빠르고, 크기가 비교적 적으며, 구현이 간단한 CSD 곱셈기를 사용하였다. 이때 덧셈기는 다중 덧셈이 가능하고 캐리전달이 되는 CSA(carry save adder)로 설계하였다. 즉, 입력 데이터를 덧셈기로 재배열하여 곱셈처리한후 다시 덧셈기로 합하는 병렬필터 구조를 갖는다.

3.2 제어유닛

본 논문에서는 두 개의 입력 제어유닛과 하나의 주소 제어유닛을 사용했다. 두 개의 입력 제어유닛은 같은 구조를 가지고 있으나, 스케줄링 방법을 사용하기 위해 나누어 놓았다. 제어유닛은 기본적으로 직렬로 들어오는 데이터를 병렬필터 입력에 적합하도록 재배열하고, 이를 폴딩하기 위해 사용하나, 두 제어유닛은 이를 제어하는 방법이 다소 다르다. 한편 가장자리, 에지부분의 처리도 전체적인 폴딩의 일환으로 하였다.

3.2.1 입력 제어유닛

입력 제어유닛(그림 4)은 들어오는 연속적인 영상 데이터를 병렬의 입력에 적합하도록 하며, 짝수 클럭을 구분하여 자연적으로 샘플링할수 있도록 하는 SIPO(Serial In Parallel Out) 구조를 기본으로 하고있다. 또한 완전복원이 가능하도록, 모서리부분의 데이터를 폴딩하는 부분과, 이를 제어하는 카운터가 달린 제어부분으로 구성된다. 이때 좌우 모서리부분을 제어하는 카운터를 두어 두 개의 카운터로 구현하였으며, 카운터는 같은 N 주기를 반복하지만, 이 주기를 제어하여, 한 단계 올라가 다운샘플링되었을 경우 주기를 반으로 하는 값은 입력신호에서 받도록 간단히 하였다. 여기서 카운터는 필

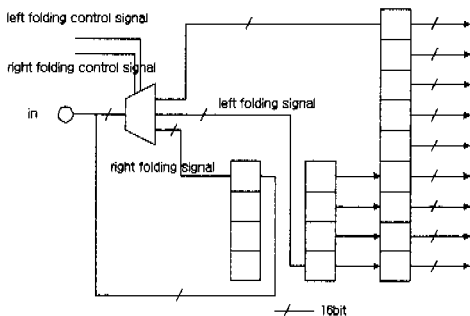


그림 4. 입력 제어유닛

터가 9탭이므로 4클럭을 하이로 지속하며, 폴딩부분에서는 유지되는 클럭타임으로 4값에서 1값까지 계산하게된다.

3.2.2 주소 제어유닛

주소 제어유닛(그림 5)은 폴딩을 할때 입력 제어유닛과는 달리, 카운터에 의한 제어신호를 받지않고 주소발생기에서 레지스터 뱅크에 어드레스를 주고 데이터를 받아드릴 때, 이 주소 값에서 특정 주소값 자체를 제어신호로 받아드린다. 입력 제어유닛과 마찬가지로 4클럭을 유지시키며 클럭개수로 1-4개의 데이터를 폴딩시킨다. 위 모서리와 아래 모서리를 처리하는 주소가 다른 특징으로 구현하였다. RAM 제어유닛은 레벨이 변하여도 일정한 값을 주소로 주도록 하여 항상 일정한 순서의 주소를 주고 받도록 하여 이를 제어신호로 사용할수 있도록 하였다. 예를 들면 주소로 0000_0000_0000_0001값이 주어지고, /read_enable 신호가 로우로 쓰면, 위 모서리 폴딩신호를 하이로 띄어 4 클럭을 유지시키는 방법으로 사용하였다. 주소발생기에서 주소를 받아 단지 RAM에 데이터를 read/write시키는 역할을 하는 일반적인 RAM 제어기 두 개에 같은 주소를 갈도록 하는 구조이다. 로우 레지스터 뱅크와 하이 레지스터 뱅크는 같은 주소를 받기 때문에 정확히 두 개의 폴딩유닛은 같은 구조를 갖는다.

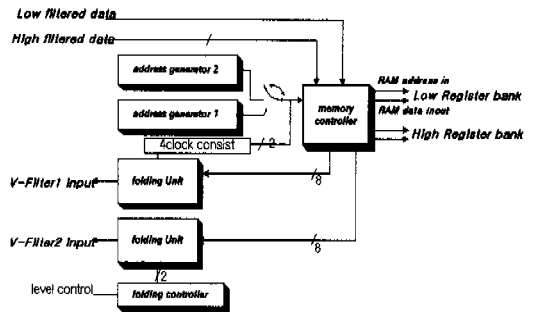


그림 5. 주소 제어유닛

3.3 스케줄링 설계

본 구조에서처럼 필터링을 3개를 두어 이를 이용하면 1단계의 수평필터링이 진행되는 동안에 1단계 수직필터링, 2단계 수평, 수직필터링, 3단계 수평, 수직필터링을 할 수가 있다. 이러한 스케줄링 방법을 다음 그림 6에 보였는데, 이렇게 하면 샘플링과 정에서 생긴 빈 클럭 시간동안 단계 2, 3을 필터링 하기 때문에 direct 방법^[13]보다 훨씬 적은 약 1/3가

량의 레이턴시를 가지며, 메모리 유닛을 줄일수 있는 효과적인 웨이블릿변환을 할수 있으며, 적은 레이턴시를 이용하여 실시간 영상처리를 가능하도록 해 준다. 그림에 보듯 빈 클럭시간동안 4, 5단계, 또는 그 이상까지도 늘릴수 있다.

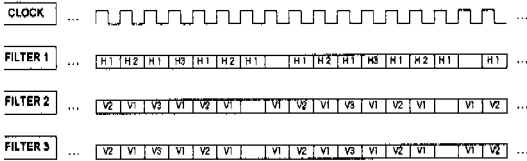


그림 6. 필터에 대한 처리 시간 스케줄링

한편 본 구조에서는, 필터링에서 샘플링에 의해 나누어진 여분의 시간에 다음 단계의 값을 필터링하도록 설계하였으며, 이는 전 단의 입력값보다 2배의 값으로 들어오며, 그 다음 단계는 8배의 값으로 들어오도록 설계하였다. 구현된 값처럼 단계 3까지 처리하도록 만들었지만, 이는 5, 7 단계까지도 확장할수 있다. 이렇게 만들기 위해 램 부분을 제어하는 부분이 복잡해지는 단점이 있으나 페이지모드 램과 같은 여러 다른 램을 사용하며, 보다 간단해 질수 있을 것이다. 실제 램은 /read 주기와 /write 주기가 필요하므로 주소 제어유닛에서는 메일 클럭보다 1/2 주기가 필요하게된다. 이제 그림 2의 전체구조에 대한 수평, 수직 스케줄링을 다음 그림 7에 보였다.

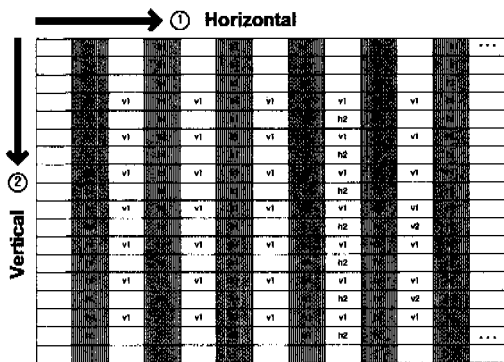


그림 7. 이차원 필터 스케줄링

IV. 시뮬레이션 및 결과검토

전체적인 웨이블릿 인코더를 C언어를 이용하여 검증하였고, 이를 VHDL을 이용하여 설계하였다. 관련 로직합성과 검증은 Synopsys사의 설계 킷파일

러를 이용하였으며, 시뮬레이션은 Cadence툴을 이용하였다. 그림 8은 제안된 구조의 VHDL에 의한 로직합성 결과이다. 이는 그림 3에서의 구조와 유사하며 좌에서부터 입력제어유닛, 클럭머스, 병렬필터, 제어유닛, 병렬필터로 이루어졌다.

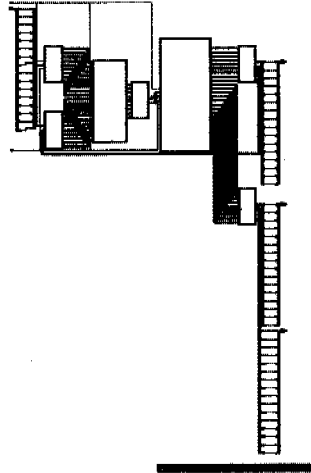
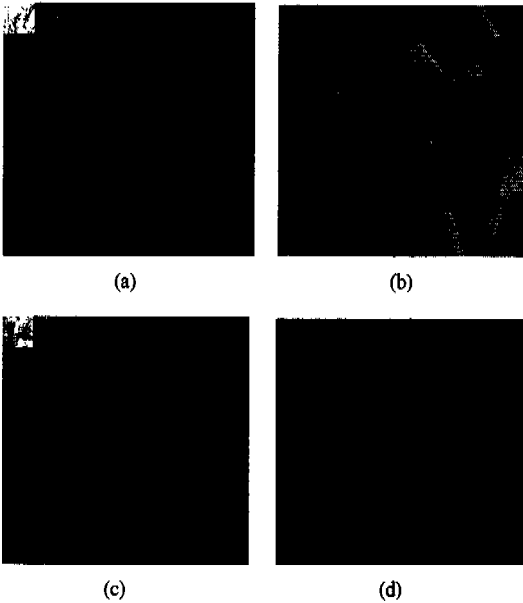


그림 8. 웨이블릿 인코더의 로직합성 결과

시뮬레이션에서는 실제 나오는 데이터스트림을 저장한 후, C언어를 이용하여 디코딩하여 검증하였다. 여기에서 레지스터 뱅크는 read access time이 20ns인 Cypress사의 RAM VHDL모델을 이용하였으며, RAM 모듈을 뺀 나머지 부분을 시스템클럭은 50ns(20 Mhz)에서 동작되도록 하였다. 그림 9.a는 비교검증하기 위해 같은 필터로 Lena 영상을 C로 인코딩하여 옥타브 분해형태로 구성한 그림이며, 그림 9.b는 실제 Lena 영상을 VHDL 시뮬레이션 후 나오는 데이터들을 C로 디코딩해서 재구성해 검증한 그림이다. 같은 방법에 의한 부부(couple) 영상 결과를 그림 9.c,d에 보였다.

결과에 의하면 PSNR의 경우 각각 30.6, 31.2db 가 나왔는데 영상이 다소 어둡게 나타났다. 이는 그림 9의 시뮬레이션 결과를 보면 필터가 완전복원이 되는 것을 사용했으나, 실제 아키텍처에서는 제한된 16비트(내부에서는 28 비트까지 확장시킴)로 플로팅 포인트 콤팩션을 하고, 3단계가 수평수직 필터링을 하는 과정에서 오차가 발생한 것으로 사료되며 이는 내부비트를 높임으로써 개선될수 있으리라 본다.

앞서의 기능 시뮬레이션에 대하여, 다음에 라이브러리를 사용하여 로직합성한 회로에 관한 타이밍(시간) 시뮬레이션을 수행하였다. 그림 10은 제안된 2차원 웨이블릿 인코더의 시뮬레이션 결과이며 이들



(a,c) C 언어로 인코딩한 3 level 영상
(b,d) VHDL 시뮬레이션후 디코딩한 영상

그림 9. 시뮬레이션 결과 (Lena: a,b , Couple; c,d)

을 통해 그림 9에서의 결과와 동일함을 확인하였다. 합성시의 라이브러리는 IDEC standard cell 0.65um 공정으로 주기가 20MHz로 다소 느리게 나왔다.

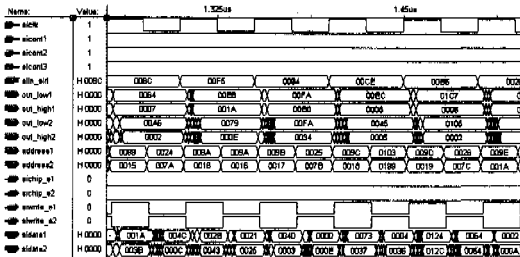


그림 10. 제안된 웨이블릿 인코더의 시간 시뮬레이션 결과 예

이제 다양한 구조의 2D DWT에서의 성능 비교 결과를 다음 표에 보인다^{[14],[16]}.

표 1. 이차원 웨이블릿 인코더의 성능비교 (NxN: 이미지크기, L: 필터크기)

아키텍처	Direct [13]	Parallel [14]	Yu [16]	본논문
곱셈기	L	4L	3L	3L
레지스터	N ²	2LN+N	2LN-2N	3LN
주기	4N ²	N ² +N	N ²	N ² +5N

Yu^[16]의 결과가 주기, 하드웨어 측면에서 앞서의 두 방법보다 개선된 결과를 보이고 있으나, 본 논문에서의 구체적인 구조설계에 의하면 추가적으로 소요되는 하드웨어에 의해 Yu의 결과보다는 약간 성능의 저하가 일어남을 발견할수 있었다.

V. 결론

본 연구에서는 비교적 적은 하드웨어로 속도가 빠른 효율적인 구조의 다단 웨이블릿 인코더 구조를 제안하여 이를 설계구현하였다. 이의 아키텍처는, 폴딩을 사용하는 두 개의 입력제어유닛과, 주소 제어유닛, 그리고 세개의 병렬필터를 사용하여 구현하였다. 이때, 완전복원을 위한 경계선폴딩 기법을 적용하여 연산하였으며, 영상의 필터링순서를 효율적으로 하고 하드웨어를 효과적으로 공유하기 위해 스케줄링 방법을 사용하였다. 일차원 병렬 웨이블릿 필터 बैं크의 기본이 되는 곱셈기는 CSD 방식을 이용하여 구현하였으며, 필터는 좌우대칭 biorthogonal Daubechies 필터를 이용하였다.

설계된 아키텍처의 C와 VHDL을 이용한 시뮬레이션에서는 정상적인 복원을 확인할수 있었으며, 화질저하는 곱셈기 내부에 제한된 비트에 의한 오차로 사료되며 이는 내부비트를 높임으로써 개선될수 있으리라 본다. 한편, 클럭주기와 하드웨어 측면에서 기존 인코더보다 비교적 효율적인 구조를 있음을 확인할수 있었다. 회로합성시의 라이브러리를 개선하여 동작 클럭주기를 보다 높일수 있을것으로 보며, 실제 시뮬레이션은 RAM으로 하여 램 access time보다 2배 이상되는 클럭주기로 설계하였는데, 이를 레지스터 बैं크로 만들어 원칙으로 설계하거나 멀티 데이터처리가 가능한 램을 사용한다면, 더 빠른 클럭주기로 처리될수 있으리라 본다.

현재 구현된 아키텍처에 연속된 영상처리를 위한 간단한 제어유닛과 버퍼등을 이용한 동영상처리에도 의 확장연구가 가능하리라 보며, 또한 필터계수를 Daubechies 필터계수로 고정했으나 차후 이를 ROM에 넣어 다양한 필터계수를 넣은 가변적인 구조를 연구중이다. 아울러 효율적인 구조의 웨이블릿 변환 디코더의 아키텍처 설계연구를 진행중이다.

참고 문헌

[1] ISO/IEC JTC 1/SC 29/WG 1(ITU SG8), Coding of still picture: JPEG 2000 verification

- Mode Version 3.0(B), Dec. 1998.
- [2] M. Rao et al., 'Wavelet Transforms', AW 1998.
- [3] A. Haar, "Zur theorie der orthogonalen funktionen systeme," Math. Annal., v. 69, pp. 331-371, 1910.
- [4] S. Mallat, "Multiresolution approximations and wavelet orthonormal bases of $L_2(\mathbb{R})$," Trans. Amer. Math. Soc., 315:69-87, Sept. 1989.
- [5] I. Daubechies, "Ten lectures on Wavelets," SIAM Press, Philadelphia, Pennsylvania, 1992.
- [6] M. Vetterli, "Multidimensional subband coding," Signal processing, v. 6, pp. 97-112, Apr. 1984.
- [7] J. W. Woods and S. D. O'Neil, "Subband coding of images," IEEE T-ASSP, v. 34, n. 5, pp. 1278-1288, Oct. 1986.
- [8] A. S. Lewis and G. Knowles, "VLSI architecture for 2-D Daubechies wavelet transform without multipliers," Electronics Lett., v. 1, n. 2, pp. 171-173, Jan. 1991.
- [9] K. K. Parhi et al., "Synthesis of control circuits in folded pipelined DSP architectures," IEEE JSSC, v. 27, n. 1, pp. 20-43, Jan. 1992.
- [10] K. K. Parhi et al., "VLSI architecture for discrete wavelet transforms," IEEE Trans. VLSI systems, v. 1, n. 2, pp. 191-202, June 1993.
- [11] V. Sundararajan et al., "Synthesis of Folded, Pipelined architectures for Multi-Dimensional Multirate systems" IEEE International Conference on Acoustics, Speech, and Signal Processing, v. 5, pp. 3089-3092, May 1998.
- [12] C. Chakrabarti et al., "Efficient Realizations of the Discrete and Continuous Wavelet Transforms: From single chip mapping Implementations to Mappings on SIMD Array computers," IEEE Transactions on signal processing, v. 43, n. 3, pp. 759-771, March, 1995.
- [13] M. Vishwanath et al., "VLSI Architectures for the Discrete Wavelet Transform," IEEE T-CAS-II analog and digital signal processing, v. 42, n. 5, pp. 305-316, May, 1995.
- [14] C. Chakrabarti et al., "Architectures for wavelet transforms: A survey," J. VLSI SP, v. 14-192, KAP, Nov. 1996.
- [15] J. Chen et al., "A scalable systolic array architecture for 2-D discrete wavelet transforms," Proc. IEEE VLSI signal processing workshop, pp. 303-312, 1995.
- [16] C. Yu et al., "Design of an efficient VLSI architecture for 2-D discrete wavelet transform," IEEE Transactions on Consumer Electronics, v. 45, n. 1, pp. 135-140, Feb. 1999.
- [17] G. D. Micheli, 'Synthesis and optimization of digital circuits,' ch. 5, MH 1994.

이 경 구(Kyungkoo Lee)

2000년 2월 : 홍익대학교 대학원 석사

현재 : 한국엑시스 근무

<주관심 분야> 정보통신, VLSI 설계

송 낙 운(Nagun Song)

1989년 9월 ~ 현재 : 홍익대학교 전자공학과 교수

<주관심 분야> 정보통신, VLSI 설계