

# 부동 소수점 DSP 프로세서의 테스트 용이 설계

정회원 윤대한\*, 송오영\*, 장훈\*\*

## Design-for-Testability of The Floating-Point DSP Processor

Daehan Yun\*, Ohyoung Song\*, Hoon Chang\*\* *Regular Members*

### 요 약

본 논문은 4 단계 파이프 라인과 VLIW (Very Long Instruction Word) 구조를 갖는 FLOVA라는 DSP 프로세서의 테스트 용이 설계 기법을 다룬다. Full-scan design, BIST(Built-In-Self-Test), IEEE 1149.1의 기법들이 플립플롭과 floating point unit, 내장된 메모리, I/O cell등에 각각 적용되었다. 이러한 기법들은 테스트 용이도의 관점에서 FLOVA의 구조에 적절하게 적용되었다. 본 논문에서는 이와 같이 FLOVA에 적용된 테스트 용이 설계의 특징들을 중심으로 상세하게 기술한다.

### ABSTRACT

This paper describes design-for-testability of the floating point digital signal processor, called FLOVA, which is based on VLIW architecture with 4 stage pipeline operation. Full-scan design, BIST(Built-In-Self-Test), and IEEE 1149.1 boundary-scan are applied to the flip-flops, the floating point processing units/the embedded memory units, and the I/O cells, respectively. The features of design-for-testability for FLOVA will be described with the detailed methods.

### I. 서 론

반도체 설계 기술과 공정 기술의 발달로 회로의 고집적화가 가능하게 되었다. 하지만 이러한 집적도의 증가는 상대적으로 회로에 대한 테스트를 더욱 어렵게 만들었고, 시장 경쟁력 있는 칩을 만들기 위해서 설계 단계에서부터 테스트를 고려한 설계는 필수적이 되었다. 실제 많은 상용칩들이 설계 단계에서부터 테스트를 고려하여 설계를 하고 있다<sup>[5,6,7]</sup>.

본 논문은 FLOVA[1,8,9]를 설계할 때 사용된 테스트 용이 설계의 특징에 대해서 설명한다. FLOVA는 VLIW 구조로 구현된 고성능 부동 소수점 DSP 프로세서이다. FLOVA의 총 게이트 수는 30만 개 정도이며 240핀 MQAD 형태의 패키징을 가진다. 실제 테스트를 하기 위해 패턴을 생성할 때 가장 문제가 되는 부분은 메모리 소자에 기인한다. 그러

므로 FLOVA의 테스트 시에는 이런 메모리 소자에 의한 순차성을 최소화 하기 위하여 기본적으로 완전 스캔 기법[2,3]을 적용하였다. 하지만 스캔 기법을 적용하기 힘든 경우, 또는 스캔 기법 이외의 테스트 기법이 적용된 모듈에는 모듈 사이의 플립플롭 위치 파악에 의해 일부 메모리 소자에 스캔 기법을 사용하지 않고도 거의 동일한 고장 검출율을 가질 수 있는 방법을 사용하였다. 이러한 방법은 적은 오버헤드로 높은 고장 검출율을 얻을 수 있다는 장점이 있다. 또한 일부 블록의 고장 검출율을 높이기 위해 특별한 형태의 테스트 용이 설계가 적용된 부분도 있다. 또한 FLOVA에는 기관 수준의 테스트를 위하여 IEEE 1149.1도 적용되었다. 이러한 모든 테스트 용이 설계 기법들은 FLOVA의 고장 검출율을 높이기 위하여 사용되었을 지라도 본문에서 소개된 구조와 같은 형태로 구현된 회로라면 일반적인 회로에도 적용이 가능하다.

\* 중앙대학교

\*\* 숭실대학교 컴퓨터학부

논문접수번호 : 00414-1023, 접수일자 : 2000년 10월 23일

\* 본 연구는 산업자원부와 과학기술부 및 정보통신부에서 시행하는 주문형 반도체 개발사업의 지원을 받아 수행되었습니다. 본 연구에 사용된 H/W 및 S/W는 부분적으로 IDEC의 지원에 의한 것입니다

소절 II에서는 FLOVA의 구조에 관하여 간략히 설명하고, 소절 III에서는 FLOVA에 적용된 주요한 테스트 용이 설계의 특징들을 상세하게 보여줄 것이다. 소절 IV에서는 그 밖에 사용된 여러 가지 테스트 용이 설계의 특징을 설명한다. 마지막 소절에서는 실험 결과를 보여주고 결론을 맺는다.

## II. FLOVA의 구조

FLOVA는 3D 그래픽의 기하학 계산을 가속하기 위해 설계된 고성능 VLIW 구조를 갖는 DSP 프로세서이다. FLOVA는 한 사이클당 4개의 명령어를 수행하며, 35개의 SIMD 명령어를 포함하여 총 136개의 명령어를 지원한다. 이 프로세서는 정확도의 손상이 거의 없이 2개의 부동소수점 숫자의 지수 계산을 오직 4개의 클럭 사이클 동안 계산할 수 있다. 그림 1에 보이는 것처럼, FLOVA는 VLIW core, 명령어 캐쉬, 테이타 메모리, 주변 블럭 등으로 구성된다. FLOVA의 VLIW core는 다음과 같이 13개의 함수 기능 유닛(functional unit)으로 구성되어 있다: 3개의 정수 ALU, 1개의 정수 곱셈기, 1개의 Packed ALU, 1개의 Packed 곱셈기, 1개의 부동소수점 ALU, 1개의 부동 소수점 곱셈기, 1개의 부동 소수점 역수기(Floating-point reciprocal unit), 1개의 Shifter, 2개의 적재/저장기, 1개의 브랜치 제어기.

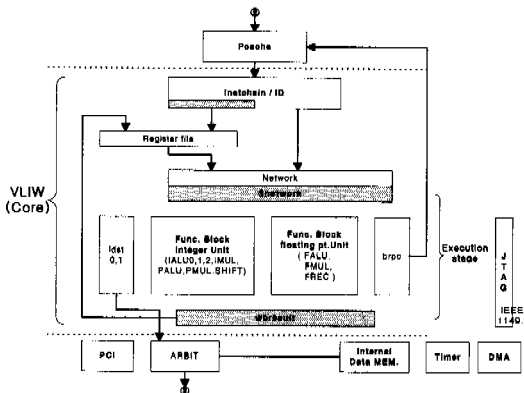


그림 1. FLOVA의 구조

FLOVA의 주변 블럭은 JTAG, PCI블럭, DMA블럭, EMIF(External Memory Interface)를 포함한다. JTAG은 디버깅 접속, 테스트 접근 포트(TAP: Test Access Port), FPU블럭/테이타 메모리/프로그램 메모리를 테스트하는 BIST블럭 등을 제어한다. PCI블

럭과 DMA블럭은 고속 테이타 전송을 지원한다. EMIF는 SDRAM과 SRAM등의 접속을 제어하는 모듈이다. 오퍼랜드 분배기(Operand Distributer)는 레지스터 파일로부터 함수 기능 유닛으로 혹은 그 반대 방향으로 소스 오퍼랜드(Source Operand)를 옮긴다. 레지스터 파일은 32비트 크기로 된 64개의 레지스터를 포함하고 있다. 레지스터 파일은 8개의 읽기 포트와 4개의 쓰기 포트를 갖고 있다. FLOVA구조는 프로세서의 성능을 상당히 개선할 수 있는 SIMD를 지원한다[9,10]. 이 프로세서는 현대 0.35 $\mu$  CMOS technology를 사용하여 제조되었고, MQUAD 패키징 기술을 사용하였다. 표 1은 제조 및 패키징 기술에 관한 요약을 보여 준다. 그림 2는 FLOVA die의 사진이다.

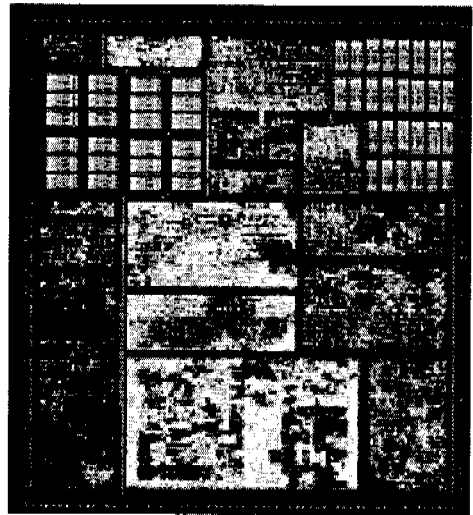


그림 2. FLOVA die의 사진

표 1. FLOVA의 특징개요

|                  |               |
|------------------|---------------|
| Die size         | 10mm 10mm     |
| Transistor count | 0.65million   |
| Technology       | Hyundai 0.35m |
| Speed            | 100MHZ        |
| Voltage          | 3.3v          |
| Package          | MQUAD         |

## III. FLOVA의 주요한 테스트 용이 설계 특징

FLOVA의 중요한 테스트 용이 설계 특징은 embedded clock control, full-scan 설계, FPU

(Floating Point Unit)/프로그램 메모리/데이터 메모리를 테스트하는 BIST (Built-In-Self-Test), 보드를 테스트하고 디버깅 기능을 지원하기 위한 IEEE1149.1 (JTAG)경계주사등이다.

**Embedded Clock Control와 Full-Scan설계**

그림 4에서 보여지는 것처럼 FLOVA는 정상적인 동작을 위해 6개의 주요 클럭을 사용한다. 테스트 목적으로 하나의 테스트 클럭에 의해서 이러한 6개의 주요 클럭을 완전하게 제어하기 위해서 그림 5에 보여지는 것과 같이 클럭 로직에 2-입력 mux를 추가하여 클럭 로직을 수정하였다. 정상적인 동작에서는 TEST\_MODE 신호는 '0'로 유지되어 PLL\_CLK 신호가 Clock Generation Logic으로 인가된다. Clock Generation Logic은 6개의 다른 주요 클럭을 생성시켜 DSP Core Logic에 공급한다. 테스트 동작에서 TEST\_MODE 신호는 '1'로 유지되어 외부의 테스트로부터 인가되는 TEST\_CLK 신호가 Clock Generation Logic에 공급된다. Clock Generator Logic은 TEST\_CLK 신호를 6개의 주요 클럭 신호선에 분배하여 DSP Core Logic이 TEST\_CLK에 동기되어 동작하도록 한다.

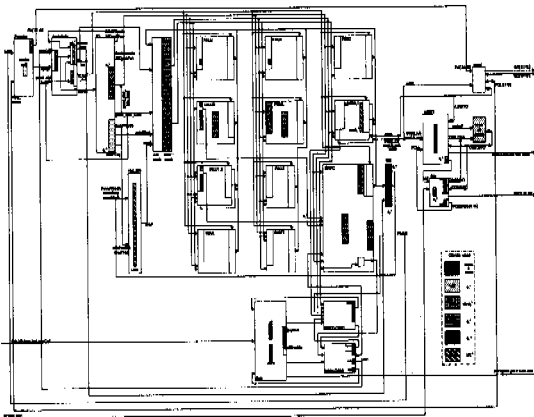


그림 3. FLOVA에 있는 기억소자들의 분포

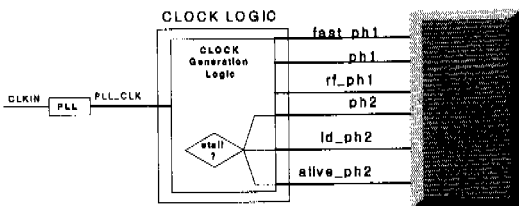


그림 4. 정상동작에서 사용되는 클럭들

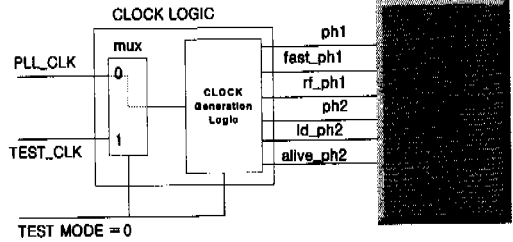


그림 5. Embedded clock controller

일반적으로 칩 내부의 플립플롭과 래치들과 같은 기억 소자들은 높은 고장 검출율을 갖는 테스트 패턴을 생성시키는 것을 매우 어렵게 한다. FLOVA에 존재하는 기억 소자들의 분포는 그림 3에 보여진다. 이 프로세서의 테스트 용이도를 최대한으로 증가시키기 위해서 모든 플립플롭들을 스캔이 가능하도록 스캔체인 형태로 설계하였다. 모든 플립플롭들은 다음의 규칙에 따라서 여러 개의 스캔체인으로 할당된다.

- (1) 각각의 스캔체인에 속한 스캔 가능한 플립플롭의 수가 비슷하도록 할당한다. 이는 테스트 시의 테스트 패턴 적용 시간을 줄일 수 있다.
- (2) 동일한 클럭을 사용하는 스캔 플립플롭을 동일한 스캔체인에 구성한다. 일반적으로 동일한 클럭을 사용하는 스캔 플립플롭은 같은 클럭 트리로부터 공급되는 클럭 신호선에 연결되어 있다. 이는 정상 동작과 테스트 동작 시에 클럭 스큐 문제를 감소시켜 준다.
- (3) 동일한 패리티(falling edge triggering 혹은 rising edge triggering)를 갖는 스캔 플립플롭은 동일한 스캔 체인에 형성시킨다.
- (4) 동일한 스캔 체인에서 스캔 플립플롭 사이에 클럭 스큐가 발생할 때는 더 큰 지연을 갖는 클럭 신호선에 연결된 스캔 플립플롭을 스캔체인의 입력 쪽에 더 가깝게 배치한다.
- (5) 동일한 블록에 있는 스캔 플립플롭은 동일한 스캔체인에 묶는다. 이는 라우팅 문제를 경감시킨다.

규칙(2), (3), (4)는 클럭 스큐 문제를 해결할 수 있게 해준다. FLOVA에서는 테스트를 위해 사용할 수 있는 핀들의 수와 언급한 규칙을 고려한 결과로 26개의 스캔체인을 구성하였다.

**FPU를 위한 BIST**

FLOVA에 있는 FPU는 FALU(Floating-point

ALU), FMUL(Floating-point Multiplier), FREC(Floating-point Reciprocal)등의 3개의 블록으로 구성된다. FMUL과 FALU는 32비트 데이터를 처리할 수 있는 상위 서브블럭과 하위 서브블럭으로 구성되어 있다. 두 개의 서브블럭의 구조는 동일하다. 그림 6은 FALU블럭의 상위 서브블럭을 보여준다. FMUL, FALU, FREC블럭들은 Pipeline1과 Pipeline2라 불리는 두 단계의 파이프라인 레지스터들을 갖고 있다. Pipeline1은 Pipeline2의 앞쪽에 위치한다. 그림 7에서 보여 지는 것과 같이 테스트 목적상 테스트 동작 시에 Pipeline1과 Pipeline2는 각각 PRPG(Pseudo Random Pattern Generator)와 MISR(Multiple Input Signature Register) 기능을 할 수 있도록 설계되었다.

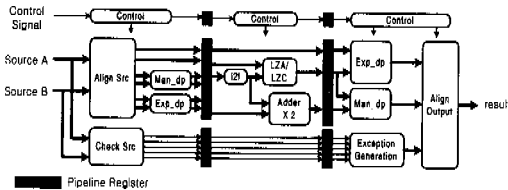


그림 6. FALU의 상위 서브블럭

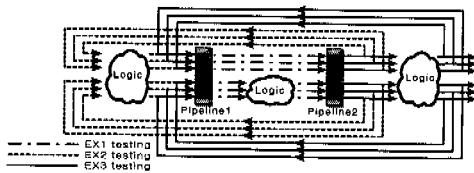


그림 7. BIST가 추가된 FPU

테스트 동작 시에는 3번째 단계 로직의 출력신호 선들은 Pipeline1의 입력신호선들에 연결된다. Pipeline2의 출력신호선들은 1번째 단계 로직의 입력신호선에 연결된다. 1번째 단계로직이나 3번째 단계 로직이 테스트될 때 Pipeline2는 그 로직의 PRPG로 사용되고 Pipeline1은 MISR로 사용된다. 그와는 반대로 2번째 단계 로직을 테스트할 때는 Pipeline1은 PRPG로 사용되고 Pipeline2는 MISR로 사용되도록 설계되었다. PRPG의 seed번호는 외부 레지스터로부터 인가될 수 있도록 설계하였다. 테스트에 유용한 테스트 패턴들이 벡터 공간에서 여러 개의 클러스터를 형성할 경우에는 seed번호를 테스트에 적절히 외부에서 공급함으로써 효율적으로 클러스터에 접근할 수 있어서 고장 검출율을 높일 수 있게

한다.

### 메모리를 위한 BIST

FLOVA는 16KB 크기의 데이터 메모리와 8KB 크기의 프로그램 메모리를 포함한다. 데이터 메모리는 2개의 बैं크로 구성되어 있고 각 बैं크는 2K어드레스×32비트의 크기를 갖으며 실질적인 구조는 4개의 메모리 셀(각 메모리 셀의 크기는 2K어드레스×8비트)로 구성되어 있다. 프로그램 메모리는 태그 필드와 프로그램 필드로 구성되어 있다. 데이터 메모리와 프로그램 메모리는 크기가 다른 점을 제외하고는 동작하는 방식은 정확히 동일하다. 그래서 오직 한 개의 BIST 블록으로 두 개의 메모리를 테스트할 수 있도록 설계하였다. BIST 블록은 13N March 알고리즘을 기본으로 구현하였다. 이 알고리즘은 고착 고장(stuck-at faults), 천이 고장(transient faults), 커플링 고장(coupling faults), 열림 고장(stuck-open faults), 주소 해석 고장(address decoder faults) 등을 검출할 수 있다. BIST 블록은 그림 8에 보여지는 것과 같이 CL(Control Logic), DCL(Data Comparison Logic) 등으로 구성된다.

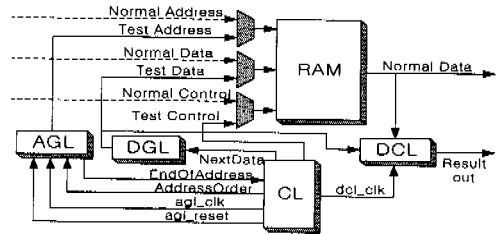


그림 8. 데이터 메모리와 프로그램메모리를 위한 BIST 구조

### IEEE 1149.1 경계주사

FLOVA에는 테스트 및 디버깅을 위한 약간의 전용 핀을 제외하고 모든 입, 출력핀에 대해서 IEEE1149.1 경계주사가 설계되어 있다. 이 프로세서에 있는 TAP은 BIST 블럭을 제어할 수 있도록 기능이 확장되었다. 15비트 크기의 명령어 레지스터는 4개의 공용 명령어(Public Instruction)와 16개의 사용 명령어(Private Instruction)을 지원한다. 4개의 공용 명령어는 BYPASS, SAMPLE/PRELOAD, EXTEST 등이다. 16개의 사용 명령어는 표 2에 보여진다. 각 명령어의 하위 6비트만이 표 2에 보여진다. 그 명령어의 상위 10비트는 모두 0이다. Seed로 시작하는 명령어는 Seed를 적재(load)하며, BIST로 시작하는 명령어는 해당 BIST 블록에서 테스트

패턴 생성을 시작하게 한다.

표 2. BIST 블록제어를 위한 사용 명령어

| Instruction | Binary code | Test                |
|-------------|-------------|---------------------|
| SeedFaluEx1 | 11101       | FALU module test    |
| BistFaluEx1 | 11001       |                     |
| SeedFaluEx2 | 11110       |                     |
| BistFaluEx2 | 11010       |                     |
| SeedFaluEx3 | 11111       |                     |
| BistFaluEx3 | 11011       |                     |
| SeedFmulEx1 | 10101       | FMUL module test    |
| BistFmulEx1 | 10001       |                     |
| SeedFmulEx2 | 10110       |                     |
| BistFmulEx2 | 10010       |                     |
| SeedFmulEx3 | 10111       |                     |
| BistFmulEx3 | 10011       |                     |
| SeedFrec    | 01101       | FREC module test    |
| BistFrec    | 01001       |                     |
| BistMem     | 00110       | data memory test    |
| BistPmem    | 00111       | Program memory test |

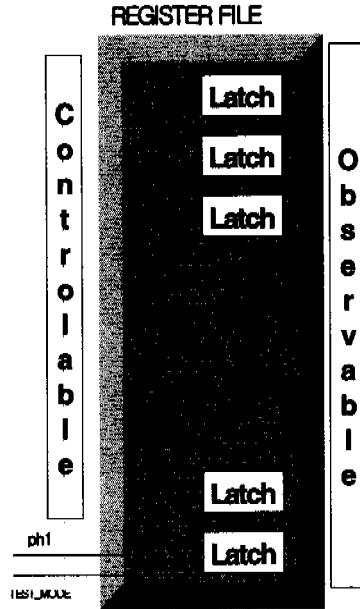


그림 9. 레지스터파일의 테스트용이설계

#### IV. FLOVA의 다른 테스트 용이 설계 특징

레지스터 파일을 위한 테스트 용이 설계

FLOVA에 있는 레지스터 파일은 1,984개의 래치로 구성되어 있다. 만약 이러한 래치들을 LSSD (Level Sensitive Scan Design) 래치로 테스트 용이 설계를 한다면 상당히 큰 면적 및 시간 지연을 야기할 수 있다. 레지스터 파일의 입, 출력은 스캔체인 상의 스캔 플립플롭에 둘러 싸여 있다. 테스트 관점에서 볼 때 레지스터 파일은 완전히 고립되어 있다. 그것의 테스트 용이도를 높이기 위해, 그림 9에 보이는 것과 같이, 2개의 입력(ph1, TEST\_MODE)을 갖는 OR 게이트를 추가하였다. 정상적인 동작에서는 TEST\_MODE는 '0'으로 유지되고 ph1 신호는 OR 게이트에 인가되어 래치를 제어한다. 테스트 동작에서는 TEST\_MODE는 '1'로 유지되고 레지스터 파일 내의 모든 래치는 버퍼처럼 동작하게 된다. 이는 고장들의 효과가 입력 부분으로부터 출력 부분으로 전송될 수 있게 한다. 이 기법은 오직 1개의 OR 게이트를 제외하고는 어떤 추가의 오버헤드를 야기하지 않는다.

메모리를 위한 옵저버 로직

고장들이 메모리의 입력 부분에 인접한 로직으로부터 메모리로 전파되어 메모리의 출력 부분까지 전송되기는 일반적으로 매우 어렵다. 따라서 메모리의 입력 부분에 인접한 로직은 매우 낮은 고장 관

찰도(Observability)를 갖게 된다. 그러한 문제를 풀기 위해서 그림 10에 보이는 것처럼 그 로직과 메모리 사이에 있는 각각의 신호선에 병렬로 스캔 플립플롭을 연결하였다. 메모리로 전파되는 고장들이 이 스캔 플립플롭을 통해서 관찰된다.

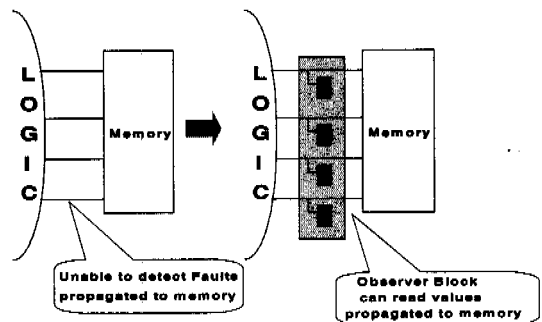


그림 10. 관찰도를 높이기 위한 F/F 추가

비동기 리셋로직을 게이팅 회로로 전환

일반적으로 테스트 벡터는 랜덤하다. 이는 테스트 동작시에 비동기 리셋 로직(asynchronous reset logic)을 동작시켜서 스캔 플립플롭을 예기치 않게 리셋할 가능성이 있다. 이럴 경우 테스트는 기대했던 결과를 얻을 수 없게 된다. 이러한 문제를 피하기 위해서 그림 11에 보이는 것처럼 하나의 OR 게

이트가 그 로직에 추가되었다. 테스트 동작 시에는 TEST\_MODE 신호가 '1'로 유지되어서 어떠한 리셋도 비동기 리셋로직을 통해서 동작할 수 없도록 하였다.

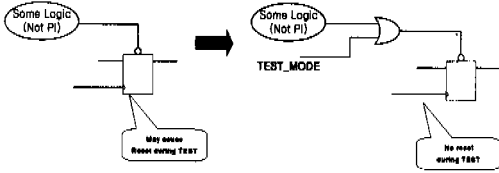


그림 11. 비동기리셋으로 부터의 보호

**테스트 핀과 공유**

FLOVA는 26개의 스캔 체인을 갖고 있다. 이는 26개의 스캔 입력과 26개의 스캔 출력을 필요로 한다. 26개의 스캔 출력은 다른 정상적인 출력과 출력 핀을 공유하도록 하였다. 26개의 스캔 입력을 위해서는 26개의 전용 핀이 할당되었다. SCAN\_EN과 TEST\_MODE 신호선은 스캔 동작을 제어하기 위해서 전용 핀에 할당되었다. 다음의 5개의 전용 핀들이 경계 스캔을 위해 할당되었다: TDI, TDO, TMS, TCK, TRST.

**동작 모드 제어**

FLOVA는 다음의 4개 동작 모드를 갖고 있다: 정상 모드, BIST 모드, 스캔 테스트 모드, 스캔 쉬프트 모드. 각각의 모드는 표 3에 보이는 것처럼 TEST\_MODE와 SCAN\_EN에 의해서 제어된다. 정상적인 동작을 위해서는 그 2개의 신호선이 ground에 연결된다. BIST동작을 시키기 위해서는 SCAN\_EN 신호선만 '1'로 유지한다. 스캔 테스트 동작을 위해서는 TEST\_MODE만을 '1'로 유지한다. 스캔 쉬프트 동작을 시키기 위해서는 SCAN\_EN과 TEST\_MODE을 '1'로 유지한다. 스캔 쉬프트 동작이 끝났을 때는 SCAN\_EN이 0으로 바뀌어야 한다.

표 3. FLOVA의 동작 모드

|           | Normal | BIST | Scan Test | Scan Shift |
|-----------|--------|------|-----------|------------|
| TEST_MODE | 0      | 0    | 1         | 1          |
| SCAN_EN   | 0      | 1    | 0         | 1          |

**V. 결과 및 결론**

본 연구에서는 Synopsys TestGen이 사용되었다.

고장 모델은 단일 고착 고장(single stuck-at fault)을 사용하였다. 표 4에 ATPG(Automatic Test Pattern Generation)의 결과가 실려있다. 생성된 테스트 벡터의 수는 7,408개이다. 고장의 총 합계는 680,516이다. 그 고장 중에 20,538개의 고장이 검출되지 않았다. 고장 검출율은 95.95%이다. FLOVA에서 테스트 용이 설계로 인한 면적 오버헤드는 7.65%이다.

표 4. ATPG 결과

|                        |        |
|------------------------|--------|
| Total faults           | 680516 |
| Detected faults        | 652961 |
| Undetected faults      | 20538  |
| Untestable faults      | 7017   |
| 1. ATG_Untestable      | 1563   |
| 2. Unobserv_Untestable | 1312   |
| 3.Uncontrl_Untestable  | 4142   |
| Fault coverage         | 95.95% |

본 논문은 FLOVA의 테스트 용이 설계의 특징에 관해서 서술하였다. 그 테스트 용이 설계 기법들은 full-scan 설계, 임베디드 메모리 테스트를 위한 BIST, FPU의 테스트를 위한 BIST, IEEE1149.1 경계주사 등이다. 또한 IEEE1149.1 경계주사는 BIST 블록을 제어하기 위한 기능이 추가 되었다. 프로그램과 테이타 메모리를 위한 BIST에는 13N March 알고리즘이 구현되었다. Full-Scan 설계를 안전하게 지원하고 고장 검출률을 증가시키기 위해 그 밖의 여러 가지 테스트 용이 설계가 수행되었다.

**참고 문헌**

- [1] 한국과학기술원 VLSI system lab, “부동소수 점 DSP Core 아키텍처 및 칩 설계 기술개발에 관한 연구(최종보고서),” 산업자원부, 과학기술부, 정보통신부, 2000.
- [2] Hideo Fujiwara, “Logic Testing and Design for Testability,” The MIT Press, 1985.
- [3] Miron Abramovici, Melvin A. Breuer, Author D. Friedman, “Digital Systems Testing and Testable Design,” IEEE Press, 1990.
- [4] “TestGen Reference Manual,” Synopsys, Inc., 1997.
- [5] R. Patel, K. Yarlagadda, “Testability Feature of the SuperSPARC Microprocessor,” Proc.

- of Test Conf., pp. 773-781, 1993.
- [6] F. Abu-Nofal, et al, "The SuperSPARC Microprocessor," *Proc. of 1992 International Solid State Circuit Conference.*, Feb. 1992.
- [7] W. Needham and N. Gollakota, "DFT Strategy for Intel Microprocessors," *International Test Conf.*, pp. 396-399, 1996.
- [8] S.J. Nam, B.W. Kim, Y.H. Im, Y.S. Kwon, K.G. Kang, J.H. Lee and C.M. Kyung, "VLIW Geometry Processor for 3D Graphics Acceleration", *Cool Chips II*, 1999, 4.
- [9] S.J. Nam, B.W. Kim, Y.H. Im, Y.S. Kwon, K.K. Kang, and C.M. Kyung, "FLOVA: A Four-issue Media Processor with 3D Geometry Acceleration Units," 10th International Conference on Signal Processing Application and Technology (ICSPAT), Nov. 1999
- [10] R.B. Lee and M.D. Smith, *Media Processing: A New Design Target*, *IEEE Micro*, Vol.16, No.4, pp.6-9, Aug. 1996.

1994년 1월~1994년 8월 : 삼성전자 LSI사업부  
수석연구원  
1994년 9월~현재 : 중앙대학교 전자전기공학부  
부교수

<주관심 분야> VLSI시스템설계 및 테스트

장 훈(Hoon Chang)



1987년 2월 : 서울대학교  
전자공학학과 졸업

1989년 2월 : 서울대학교  
전자계산학과 석사

1993년 : University of Texas  
at Austin 박사

1991년 : IBM Inc.

1993년 : Motorola Inc. Senior Member of  
Technical Staff

1994년~현재 : 숭실대학교 컴퓨터학부 조교수

<주관심 분야> 컴퓨터 시스템, VLSI 설계, VLSI  
테스팅

윤 대 한(Dachan Yun)

정회원



1999년 2월 : 중앙대학교 제어  
계측공학과 학사

2001년 2월 : 중앙대학교 제어  
계측공학과 석사

<주관심 분야> VLSI시스템설  
계 및 테스트

송 오 영(Ohyoung Song)

정회원



1980년 2월 : 서울대학교 전기  
공학과 학사

1982년 2월 : 한국과학기술원  
전기 및 전자공학과 석사

1992년 2월 : University of  
Massachusetts at Amherst,  
전기 및 컴퓨터공학과 박사

1982년 3월~1985년 5월 : 국방부 기술연구 사무관

1991년 9월~1992년 10월 : Intergraph Corp.  
Electronics 수석연구원

1992년 1월~1993년 11월 : IBM Microelectronics  
수석연구원