

Interpolated IIR 필터를 이용한 저전력의 데시메이션 필터 구조

정회원 장 영 범*, 준회원 양 세 정*

A Low-power Decimation Filter Structure Using Interpolated IIR Filters

Young-Beom Jang* *Regular Member*, Se-jung Yang* *Associate Member*

요 약

본 논문에서는 무선 통신 시스템의 중간주파수 처리 단을 디지털로 신호 처리하는 DDC(Digital Down Converter)의 저전력 아키텍처를 제안한다. FIR 필터의 계산량을 줄이기 위해서 개발된 Interpolated FIR 필터가 DDC의 데시메이션 필터로 널리 사용되고 있다. 본 논문은 이와 같은 Interpolated FIR 필터의 개념이 IIR 필터에도 적용될 수 있음을 보이고, 전력 소모와 구현 면적이 기존의 Interpolated FIR 구조보다 더욱 감소된 Interpolated IIR 필터 구조를 제안하였다. CDMA IS-95 DDC 사양의 데시메이션 필터를 FIR 구조, Interpolated FIR 구조, IIR 구조, Interpolated IIR 구조로 구현하여 이 4가지 구조들의 전력소모와 구현 면적을 비교하였으며 제안된 Interpolated IIR 구조가 기존의 Interpolated FIR 구조에 비하여 15.2%의 소모전력 감소와 35.3%의 구현 면적의 감소를 달성할 수 있음을 보인다.

ABSTRACT

This paper proposes a low-power DDC(Digital Down Converters) architecture for IF(Intermediate Frequency) signal processing. Interpolated FIR filters are widely used as a decimator of the DDC in high speed wireless communication systems. In this paper, it is shown that concept of conventional interpolated FIR filters can be expanded to IIR filters for DDC applications. For comparison, a decimation filter with CDMA IS-95 DDC filter specification is implemented into 4 different structures, ie., FIR, Interpolated FIR, IIR, and Interpolated IIR. Furthermore, their power dissipation and implementing area are estimated. Conclusively, our proposed architecture achieves 15.2% of power reduction and 35.3% of implementing area reduction.

1. 서 론

서로 다른 표준의 이동통신 시스템에서 하나의 휴대용 단말기를 공통으로 사용할 수 있는 개념의 소프트웨어 라디오가 널리 연구되고있다. 이와 같은 소프트웨어 라디오에서는 여러 가지의 이동 통신 단말기 표준을 지원하기 위하여 중간주파수단의 디지털 처리가 필수적으로 요구된다. 저전력이 요구되

는 이동 통신 기기에서는 중간주파수단을 디지털신호처리 구조로 설계할 경우, 고속 필터링에서 발생하는 전력소모가 반도체 구현의 걸림돌이 되고있으므로 이를 해결할 수 있는 저전력 구조를 요구하고 있다. 이와 같은 중간주파수단의 디지털 처리 방식을 디지털 다운 컨버터(Digital Down Converter, 이하 DDC)라고 하며, 그림 1과 같이 나타낸다.^[3] 중간주파수신호 $s(t)$ 는 ADC(Analog-to-Digital Con

* 이화여자대학교 정보통신학과(ybjang@mm.ewha.ac.kr)

논문번호 : K01047-0127, 접수일자 : 2001년 1월 27일

* 본 연구는 교육부 BK21 지원에 의해 수행되었습니다.

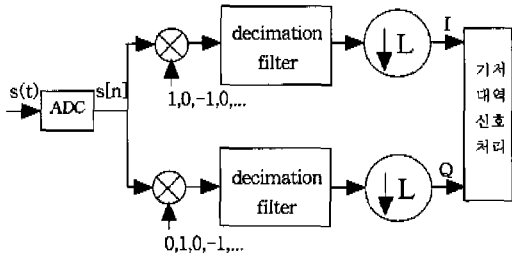


그림 1. DDC의 블록도

verter)를 통하여 디지털 신호로 변환된 후, 디지털 믹서를 통하여 I 방향의 신호와 Q방향의 신호로 분리된 후에 각각 필터에 입력된다. 그림 1에서 보듯이, ADC의 샘플링 주파수 f_s 를 디지털 믹서의 주파수 f_{dm} 의 4배로 정의하면 디지털 믹서의 계수 값들을 1, -1, 0으로 구현할 수 있다.^[1] 이와 같은 1, -1, 0으로 구성되는 믹서는 하드웨어가 필요 없으며, 믹서 값과 신호의 곱셈이 필요 없게 되는 효율적인 구조가 된다. 믹서를 통과한 신호는 데시메이션 필터를 통하여 불필요한 신호대역이 제거된 기저대역 신호가 되며, 마지막으로 과잉의 정보를 제거하기 위하여 다운 샘플러에 의하여 정수 인수인 L 만큼 샘플링 속도가 낮춰진다.

DDC의 또 다른 요구조건인 저전력 소모를 위한 연구도 다양하게 진행되고 있다. DDC의 전력소모를 감소시키기 위해서는 다운샘플러와 데시메이션 필터의 위치 바꿈을 통한 저속처리의 방법이 가장 바람직하다. FIR(Finite Impulse Response) 형태의 데시메이션 필터인 경우에 대하여는 Polyphase 방식과 IFIR(Interpolated Finite Impulse Response)방식이^[2] 제안되었으며, 또한 위의 두 방법을 혼합하여 구성하는 방법도 제안되었다.^[3]

본 논문은 IIR구조로 낮은 소모전력의 필터구조를 제안하는데 있다. IIR 구조는 같은 사양의 필터를 만드는데 FIR 구조보다 곱셈의 수가 적게 필요하므로 다운샘플러와의 위치 바꿈이 가능한 구조를 만들면 널리 사용될 수 있다. 본 논문은 IFIR에서 사용된 개념을 확장하여 IIR 필터에도 적용할 수 있는지를 보이게 된다.

논문의 구성은, II장에서는 기존의 방식인 IFIR DDC 구조를 기술하며 III장에서는 IIIR(Interpolated Infinite Impulse Response) 필터를 제안하고 이 구조를 DDC에 적용한다. IV장에서는 기존의 IFIR과 IIIR 아키텍처들과의 소모전력을 비교한다.

II. 기존의 Interpolated FIR 필터를 사용한 데시메이터

일반적인 필터의 계산량을 줄이기 위한 방법으로 IFIR 필터가 제안되었다. 이 방법은 2개의 스테이지의 직렬 연결로 구성되며 첫 번째 스테이지에서는 제로가 삽입된 FIR 필터로 구성되고 두 번째 스테이지는 인터플레이션 필터로 구성된다. 설계해야 할 필터 $H(e^{j\omega})$ 의 사양이 cut-off 주파수가 $\pi/8$ 라고 하면 그림 2와 같이 두 개의 필터의 곱, 즉 $P(e^{j\omega})$ 와 $G(e^{j\omega})$ 의 곱으로 구성될 수 있다. S.Mitra는 $P(e^{j\omega})$ 의 효과적인 설계를 위하여 그림 2의 $F(e^{j\omega})$ 를 제안하였다.^[2] $P(e^{j\omega})$ 는 $F(e^{j\omega})$ 의 interpolated 버전 또는 up sampling 버전이라고 한다. 시간 영역에서 다시 설명하면 $f[n]$ 의 Impulse 응답에 제로를 삽입하여 4배로 up sampling하면 $p[n]$ 을 얻을 수 있음을 의미한다. 따라서 일반 설계 도구를 사용하여 $f[n]$ 의 필터계수들을 얻은 후에 이를 up sampling하여 사용하는 방법이다. 그림 2에서는 $L=4$ 로 up sampling하는 경우를 표시하였다. 시간 영역과 z 영역에서의 관계식은 다음과 같다.

$$p[n] = \begin{cases} f[\frac{n}{L}], & n=0, L, 2L, \dots \\ 0, & \text{otherwise} \end{cases} \quad (1)$$

$$P(z) = F(z^L)$$

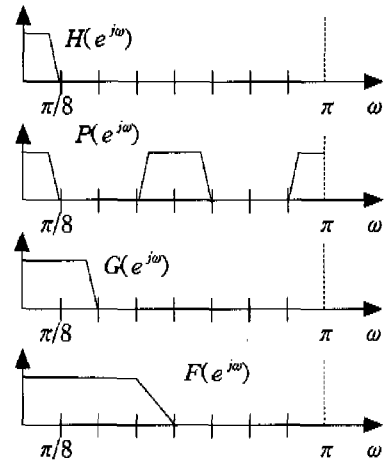


그림 2. IFIR 필터의 주파수 영역 해석

$G(e^{j\omega})$ 의 필터는 $P(e^{j\omega})$ 의 원치 않는 반복구간의 주파수 성분을 제거하는 용도의 필터로서 일반

적인 설계도구를 이용한다. 그림 2에서 볼 수 있듯이, $G(e^{j\omega})$ 의 cut-off 주파수는 $\pi/8$ 과 $3\pi/8$ 사이에서 선택되어진다.

이와 같은 필터 설계방식을 데시메이션에 응용하여 저전력소모의 데시메이션 필터 아키텍처를 만드는 방법이 제안되어졌다.^[3] 이 방법은 다음과 같다. 먼저 $P(z)$ 와 $G(z)$ 는 교환법칙이 성립하므로 식 (3)과 같이 나타낼 수 있다.

$$H(z) = P(z)G(z) = G(z)P(z) = G(z)F(z^L) \quad (2)$$

위의 데시메이션 필터의 뒤에는 다운샘플러가 붙으므로 다운샘플러의 크기가 L 이면 $F(z^L)$ 과 위치 바꿈이 가능하고 위치를 바꾼 후에 $F(z^L)$ 는 $F(z)$ 로 변환된다. 데시메이션 인수가 8인 경우의 그림 3 (a)의 데시메이터를 보기로 하자. L 을 4로 정하면 데시메이션 필터는 (b)와 같이 분리되므로 다운 샘플러도 4와 2로 분리시킨다. 최종적으로 $F(z^4)$ 과 4의 다운 샘플러와 위치를 바꿔서 (c)와 같이 되며, 위치를 바꾼 후에 $F(z^4)$ 는 $F(z)$ 로 변환된다. 이와 같이 유도된 IFIR Multirate 구조는 뒤의 스테이지의 동작속도가 감소하므로 낮은 소모전력의 구조가 되며, 각각의 스테이지에 Polyphase를 적용하여 병렬처리도 가능한 구조가 된다.

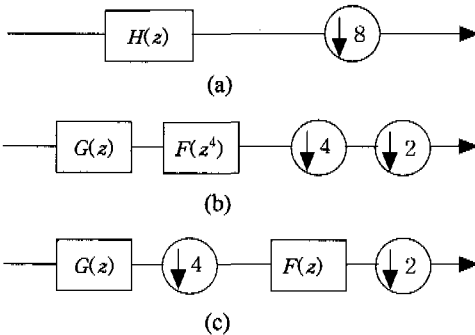


그림 3. 데시메이터의 스테이지 분리 (a) 인수 8의 데시메이터 (b) 필터와 다운 샘플러의 분해 (c) 필터와 다운 샘플러의 위치 바꿈

원래 IFIR 필터는 일반 필터의 설계를 위하여 제안된 방식이다. 데시메이터에서는 필터 뒤에 다운 샘플러가 위치하나 일반 필터에는 다운 샘플러가 없으므로 그림 2의 $p[n]$ 과 $g[n]$ 의 직렬연결로 구현해야 한다. 그리고 $p[n]$ 의 효율적인 설계를 위하여 $f[n]$ 을 설계한 후에 이에 제로들을 원하는 비율로 삽입하여, 즉 업 샘플링하여 $p[n]$ 으로 사용한다.

최근에는 이러한 IFIR 필터를 데시메이션 필터에 사용하고 있으며 그림 3의 (c)에서 보여지듯이 $f[n]$ 을 업 샘플링하지 않고 그대로 사용할 수 있게 된다.

III. Interpolated IIR 필터를 사용한 데시메이터

그림 2의 주파수 영역 해석은 FIR에 국한되지 않고 IIR에도 확장시켜 적용할 수 있다. 필터 설계만이 목적인 경우에는 $f[n]$ 을 먼저 설계하여 이에 제로를 삽입시켜 $p[n]$ 으로 사용하여야 하므로 $f[n]$ 이 FIR 필터이어야 제로들을 쉽게 삽입하여 $p[n]$ 으로 사용하기 용이하다. 그러나 데시메이터의 설계에서는 $f[n]$ 이 그대로 사용하게 되므로 그것의 제로가 삽입된 버전을 고려할 필요가 없으므로 $f[n]$ 을 IIR 필터로 설계하는 것이 가능하다. IIR 필터와 인터플레이션 필터 $g[n]$ 의 직렬연결이므로 이를 IIR(Interpolated IIR)이라고 부르기로 하자. 인터플레이션 필터 $g[n]$ 의 설계도 FIR의 제한은 없다. 따라서 그림 3의 (c)에서 $g[n]$ 과 $f[n]$ 을 모두 FIR, 모두 IIR, 또는 FIR과 IIR의 조합동이 가능하다. 그림 3의 (c)에서 전체적인 시스템 함수가 $G(z)F(z^L)$ 이므로 이 시스템함수의 통과대역 특성과 저지대역 특성이 원래 설계하고자 하는 $H(z)$ 의 사양을 만족하기만 하면 된다. 전력소모를 감소시키기 위하여는 면적과 동작속도 모두를 고려해야한다. 면적을 고려할 때 일반적으로 곱셈의 수가 적은 IIR이 선호된다. 우리가 제안하는 IIR 아키텍처는 IIR의 장점인 면적의 감소를 이룰 수 있을 뿐 아니라 Multirate가 되는 구조이므로 동작속도의 감소를 통한 전력 소모도 낮출 수 있는 저전력 구조가 만들어진다.

설계순서 :

데시메이션 필터 $H(e^{j\omega})$ 의 사양과 데시메이션 인수 L 이 주어지면 IIR 필터의 설계 순서는 다음과 같이 요약할 수 있다.

- (1) $H(z)$ 를 $G(z)$ 와 $F(z^L)$ 으로 분리하고 다운 샘플러 L 을 L_1 과 L_2 로 분리한다.
- (2) $F(z^L)$ 과 다운 샘플러 L_1 의 위치를 바꾼다. 위치 변경 후의 처리 순서는 $G(z)$, 다운 샘플러 L_1 , $F(z)$, 그리고 다운 샘플러 L_2 의 순서이다.
- (3) $F(e^{j\omega})$ 를 IIR 필터 설계도구를 사용하여 설계한다. $F(e^{j\omega})$ 의 통과대역과 저지대역의 사양은 주어진 $H(e^{j\omega})$ 의 사양과 같다. 다만 통과대역과 저지

대역 주파수가 $H(e^{j\omega})$ 의 주파수 사양에 L_1 을 곱하여 정의된다.

(4) $F(z^{L_1})$ 을 구한다.

(5) $G(e^{j\omega})$ 를 FIR 또는 IIR 필터 설계도구를 사용하여 설계한다. 본 논문에서는 FIR을 이용하였다.

(6) 등가의 IIR 필터인 $H_{IIR}(z) = G(z)F(z^{L_1})$ 을 구한 후, 이 특성이 $H(e^{j\omega})$ 의 사양을 만족하는지를 확인한다. 이 결과 사양을 만족하면 설계가 완료되고 만족하지 못하면 (5)로 돌아가 $G(e^{j\omega})$ 의 사양을 높여서 재설계한다.

그림 4(a)와 같은 1st Version의 IS-95 CDMA 단말기용 DDC를 본 논문이 제안하는 아키텍처로 설계해 보기로 한다. ADC의 샘플링 주파수 f_s 는 디지털 믹서의 주파수 f_{dm} 의 4배가되는 19.6608 MHz를 사용하여 디지털 믹서의 곱셈 값들을 1, 0, -1이 되도록 하였다. 통과대역의 주파수와 리플은 각각 630KHz와 0.1dB로 하였으며, 저지대역의 주파수와 어테뉴이션은 각각 1.2288MHz와 -40dB로 하였다. 그림 4 (a)에서 보듯이 디지털 믹서에 의해 신호가 저역의 주파수 영역으로 이동된 후 잉여 주파수 대역을 제거하기 위하여 데시메이션 필터와 8의 다운 샘플러를 사용해야 한다.

(1) $H(z)$ 를 $G(z)$ 와 $F(z^4)$ 으로 분리하고 다운 샘플러 8을 4와 2로 분리한다. (8을 분리하는 방법은 8과 1, 4와 2, 2와 4등의 3가지가 가능하다.)

(2) $F(z^4)$ 과 다운 샘플러 4의 위치를 바꾼다. 위치 변경 후의 처리 순서는 그림 4 (b)와 같이 $G(z)$, 다운샘플러 4, $F(z)$, 그리고 다운샘플러 2의 순서이다. 그림 4 (b)에서 보듯이 디지털 믹서의 곱셈 값에는 0들이 포함되어 있으므로 디지털 믹서 전단에서 2로 다운샘플링하여 그림 4 (c)와 같이 입력시킴으로서 디지털 믹서의 0의 곱셈 값을 제거시킬 수 있다. 이때 그림 4 (c)가 그림 4 (b)와 동가가 되기 위해서는 Interpolation 필터 $G(z)$ 의 디지털믹서와 연결되는 구조가 비귀환 구조이어야 한다. 믹서에서 0이 곱해져서 들어와야 할 입력을 제거하였으므로, $G(z)$ 는 $G(z)$ 의 짝수 필터계수만으로 구현하고 $G_o(z)$ 는 $G(z)$ 의 홀수 필터계수만으로 구현한다. Q단의 입력신호에는 디지털 믹서의 곱셈 값이 0부터 시작되므로 지연소자 1개를 통과하여 입력시킨다. 데시메이션 필터의 입력신호 속도가 2분의 1로 감소되었으므로 데시메이션 필터 후의 다운샘플러도 4가 아닌 2로 바꾸고 $G(z)$ 의 복잡도는 2분의

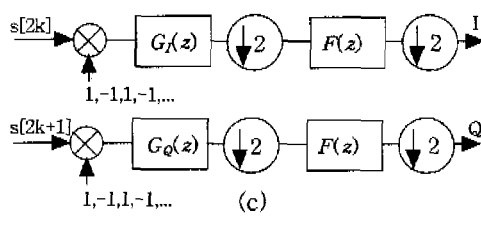
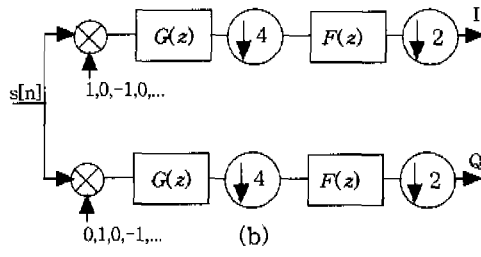
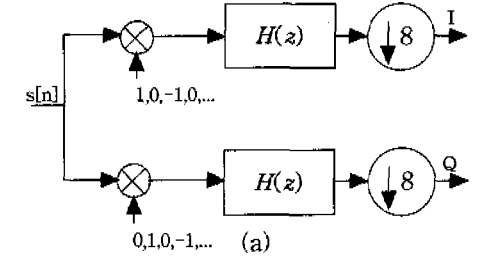


그림 4. (a) 데시메이션 인수가 8인 DDC 블록도
(b) IIR DDC 블록도
(c) 디지털믹서가 간략화된 IIR DDC

1로 감소한다.

(3) $F(e^{j\omega})$ 를 IIR 필터 설계도구를 사용하여 설계한다. $F(e^{j\omega})$ 의 통과대역과 저지대역의 사양은 주어진 $H(e^{j\omega})$ 의 사양과 같고 통과대역과 저지대역 주파수는 $H(e^{j\omega})$ 의 주파수 사양의 4배인 2.52MHz와 4.9152MHz로 한다. elliptic 필터를 사용하여 설계한 결과, 그림 4(c)는 그림 5와 같은 4차의 IIR 필터로 설계되며 필터계수는 다음과 같다. 그림 5에서 디지털믹서는 생략하고 표현하였다.

- 분자 계수 :

$$b_0 = 0.0371 \quad b_1 = 0.0354 \quad b_2 = 0.0628$$

$$b_3 = 0.0354 \quad b_4 = 0.0371$$

- 분모 계수 :

$$a_0 = 1.000 \quad a_1 = -2.094 \quad a_2 = 2.1682$$

$$a_3 = -1.109 \quad a_4 = 0.2448$$

(4) $F(z^4)$ 를 구하면 그림 6 (a)와 같다.

(5) $G(e^{j\omega})$ 를 FIR 필터 설계도구인 REMEZ 알고

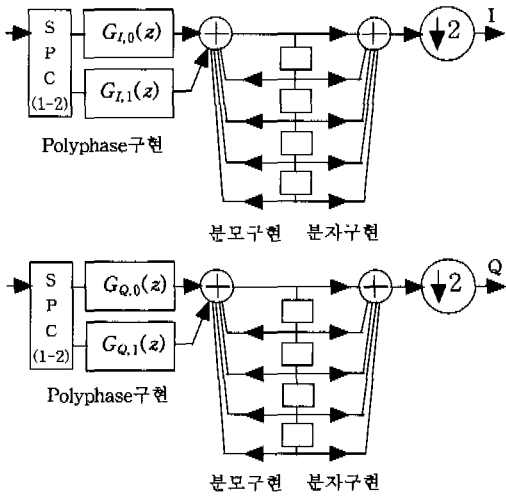


그림 5. 제한된 IIR DDC 구조

리듬을 사용하여 설계하였다. 통과대역과 저지대역의 dB사양은 $H(e^{j\omega})$ 와 같도록 하였으며, 통과대역의 주파수 사양 또한 $H(e^{j\omega})$ 와 같게 하였고 저지대역의 주파수 사양은 1.2288MHz와 3.6864MHz 사이에서 선택하였다. (3.5MHz로 선택) 설계결과 14차의 FIR 필터가 얻어졌다. 이와 같이 설계한 $G(z)$ 는 다음과 같고 그 주파수 응답은 그림 6 (b)와 같다.

$$G(z) = -0.0315 - 0.0185z^{-1} - 0.0118z^{-2} + 0.0190z^{-3} + 0.0750z^{-4} + 0.1430z^{-5} + 0.1991z^{-6} + 0.2210z^{-7} + 0.1991z^{-8} + 0.1430z^{-9} + 0.0750z^{-10} + 0.0190z^{-11} - 0.0118z^{-12} - 0.0185z^{-13} - 0.0315z^{-14} \quad (3)$$

$G_I(z)$ 와 $G_Q(z)$ 는 다음과 같다.

$$G_I(z) = g_0 + g_2z^{-1} + g_4z^{-2} + \dots + g_{14}z^{-7} \quad (4)$$

$$G_Q(z) = g_1 + g_3z^{-1} + g_5z^{-2} + \dots + g_{13}z^{-6}$$

이를 polyphase로 구현하면 다음과 같다.

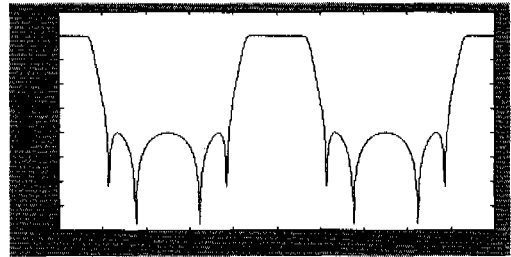
$$G_{I,0}(z) = g_0 + g_4z^{-1} + g_8z^{-2} + g_{12}z^{-3}$$

$$G_{I,1}(z) = g_2 + g_6z^{-1} + g_{10}z^{-2} + g_{14}z^{-3} \quad (5)$$

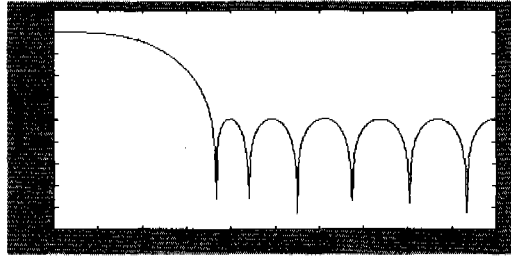
$$G_{Q,0}(z) = g_1 + g_5z^{-1} + g_9z^{-2} + g_{13}z^{-3}$$

$$G_{Q,1}(z) = g_3 + g_7z^{-1} + g_{11}z^{-2}$$

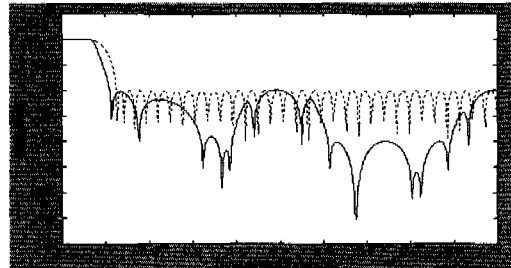
(6) 등가의 IIR 필터인 $H_{MR}(z) = G(z)F(z^4)$ 을 구한 결과 그림 6 (c)와 같이 주파수 특성이 $H(e^{j\omega})$ 의 사양을 만족하므로 설계가 완료된다. 주파수 특성은 그림 6 (c), (d)의 실선과 같다. 비교를 위하여 그림 4 (a) 구조의 필터를 직접 설계한 결과 69행



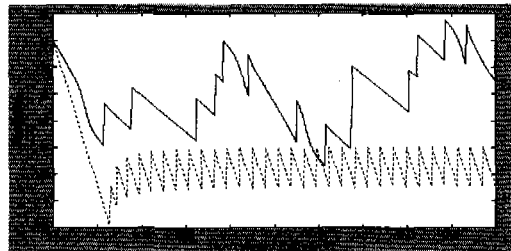
(a)



(b)



(c)



(d)

그림 6. (a) $|F(e^{j\omega})|$ (b) $|G(e^{j\omega})|$
(c) $H_{MR}(z)$ (실선)와 $H_{FR}(z)$ (점선)의 진폭응답
(d) $H_{MR}(z)$ (실선)와 $H_{FR}(z)$ (점선)의 위상응답

의 FIR 필터를 얻었으며, 주파수 응답은 그림 6 (c), (d)의 점선과 같다.

IV. 구현면적과 전력소모의 비교

III장에서와 같은 사양의 DDC를 본 논문이 제안하는 아키텍처로 구성한 그림 5와 기존의 아키텍처

들과의 전력소모를 비교한다. 이 DDC를 4가지의 아키텍처로 구현하여 전력소모와 면적을 비교하기로 한다. 첫 번째 구조는 기존의 Polyphase FIR 구조로서, 다운 샘플러가 구조적으로 필터와 위치 바꿈이 되는 병렬처리 구조이다. 두 번째 아키텍처는 IFIR과 Polyphase를 모두 사용한 DDC이다. 이 구조는 IFIR로 스테이지를 분리한 후에 각각의 스테이지에 Polyphase를 적용한 좀 더 전력소모가 감소된 구조이다. 세 번째 구조는 IIR 필터로 구현한 경우이며, 네 번째 구조는 본 논문이 제안하는 IIR 구조이다.

첫 번째 Polyphase FIR 구조를^[5] 구현하기 위하여 사양을 만족하는 FIR 필터를 설계하면 69탭의 필터계수가 얻어진다. 디지털 믹서들의 곱셈값들 중에서 0들이 포함되어 있으므로, FIR 구조에서는 디지털 믹서 전단에서 2로 다운 샘플하여 그림 7의 (a)와 같이 입력시킴으로서 디지털 믹서의 0들의 곱셈 값을 제거하고 나아가 필터 구조의 복잡도를 2분의 1로 감소시킬 수 있다. Q단의 입력신호에는 디지털 믹서의 곱셈 값이 0부터 시작되므로 지연소자 1개를 통과하여 입력시킨다. 데시메이션 필터의 입력신호 속도가 2분의 1로 감소되었으므로 데시메이션 필터 후의 다운 샘플러도 8이 아닌 4로 바뀌고 필터의 복잡도는 2분의 1로 감소한다. Polyphase 필터구조는 그림 7 (b)와 같다. $H_{I,0}(z)$ 부터 $H_{I,3}(z)$ 까지의 필터들은 각각 9,9,9,8 탭의 필터로서 다음과 같다.

$$\begin{aligned} H_{I,0}(z) &= h_0 + h_8z^{-1} + \dots + h_{64}z^{-8} \\ H_{I,1}(z) &= h_2 + h_{10}z^{-1} + \dots + h_{66}z^{-8} \\ H_{I,2}(z) &= h_4 + h_{12}z^{-1} + \dots + h_{68}z^{-8} \\ H_{I,3}(z) &= h_6 + h_{14}z^{-1} + \dots + h_{62}z^{-7} \end{aligned} \quad (6)$$

$H_{Q,0}(z)$ 부터 $H_{Q,3}(z)$ 까지의 필터들은 각각 9,9,8,8 탭의 필터로서 다음과 같다.

$$\begin{aligned} H_{Q,0}(z) &= h_1 + h_9z^{-1} + \dots + h_{65}z^{-8} \\ H_{Q,1}(z) &= h_3 + h_{11}z^{-1} + \dots + h_{67}z^{-8} \\ H_{Q,2}(z) &= h_5 + h_{13}z^{-1} + \dots + h_{61}z^{-7} \\ H_{Q,3}(z) &= h_7 + h_{15}z^{-1} + \dots + h_{63}z^{-7} \end{aligned} \quad (7)$$

이제 이 구조의 구현 면적과 전력소모를 구해보자. 전력소모는 다음의 식을 사용하였다.

$$P_{dyna} = P_t \cdot C_L \cdot V_{dd}^2 \cdot f_{clk} \quad (8)$$

위의 식에서 dynamic 전력소모, P_{dyna} 은 CMOS 디

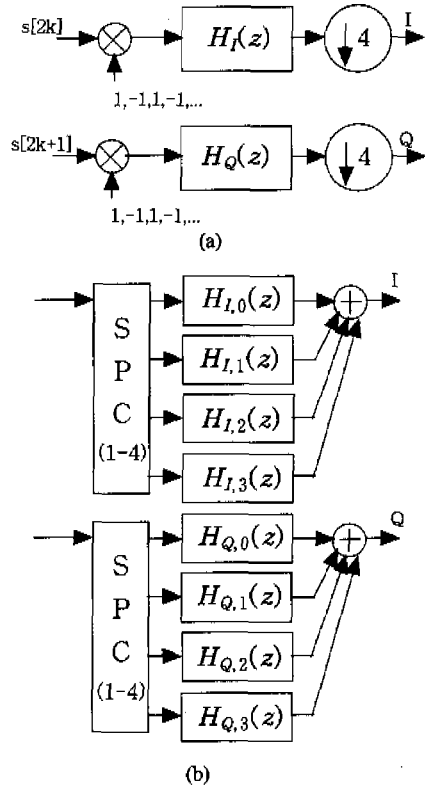


그림 7. (a) FIR DDC, (b) Polyphase로 (a)의 필터와 다운샘플러 구현(다운 샘플러는 SPC 인으로 위치 변경됨)

지탈회로의 총 전력소모 가운데 가장 큰 비중을 차지하는 전력소모이다. 이식에서 P_t 는 전력소모 되는 transition의 확률이고, C_L 은 부하 커패시턴스, V_{dd} 는 인가전압, 그리고 f_{clk} 는 clock의 주파수이다. 상대적인 dynamic 전력소모를 구하기 위하여 식 (10)을 다음과 같이 변형하여 사용한다.

$$P_{dyna} = \sum_{\text{스테이지}} (\text{동작속도} \times \text{면적}) \quad (9)$$

위의 식에서 동작속도는 첫 번째 스테이지를 항상 1로 하고 두 번째 스테이지부터는 다운 샘플러의 크기만큼 줄어들도록 하여 사용한다. 일반적으로 필터에서는 위의 식의 면적으로서 곱셈기의 갯수를 사용한다. 이 구조는 69개의 곱셈기를 사용하므로 면적은 69가 된다. 전력소모를 구하기 위하여 동작속도를 구하면 DDC의 입력신호의 속도보다 8분의 1로 감소하여 필터링되므로 동작속도는 8분의 1이다. 따라서 전력소모는 $1/8 \times 69 = 8.625$ 가 된다.

이제 두 번째 구조인 IFIR polyphase 구조를 비

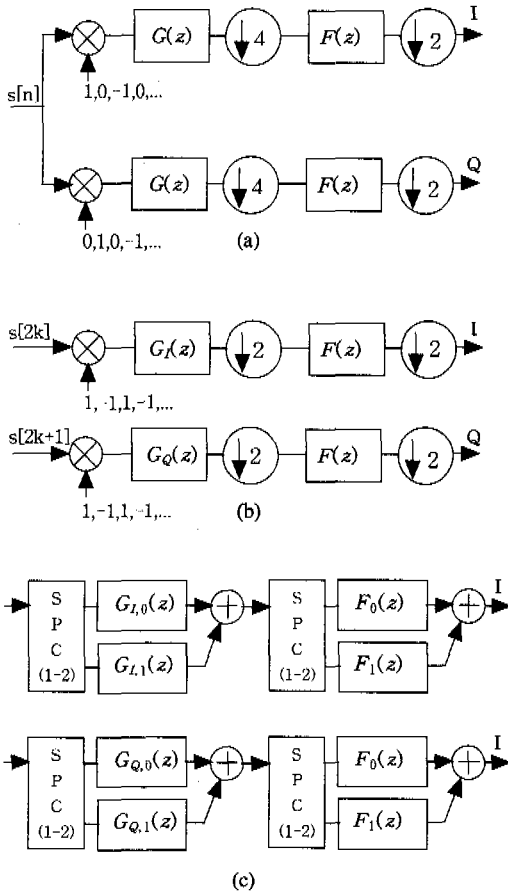


그림 8. (a) IFIR DDC 블록도
 (b) 디지털믹서가 간략화된 IFIR DDC
 (c) Polyphase로 구성된 데시메이션 필터와 다
 운샘플러(다운샘플러는 SPC 안으로 위치
 변경됨)

교해보기로 하자. 역시 사양을 만족하도록 그림 3의 (c) 구조를 설계하면 $G(z)$ 와 $F(z)$ 의 필터 탭 수가 각각 15와 18이 되며 그림 8의 (a)와 같다.^[3] 역시 첫 번째 구조에서와 같은 방법으로 디지털 믹서의 0을 제거하면 그림 8의 (b)와 같이 단순해지며 사용된 필터 구조는 그림 8 (c)와 같다. $G_{I,0}(z)$ 와 $G_{I,1}(z)$ 의 필터들은 각각 4,4 탭의 필터로서 식 (6)에 제시되어 있다. $F_0(z)$ 와 $F_1(z)$ 의 필터들은 각각 9,9 탭의 필터로서 다음과 같다.

$$\begin{aligned} F_{I,0}(z) &= f_0 + f_2z^{-1} + \dots + f_{16}z^{-8} \\ F_{I,1}(z) &= f_1 + f_3z^{-1} + \dots + f_{17}z^{-8} \end{aligned} \quad (10)$$

Q단의 $G_{Q,0}(z)$ 와 $G_{Q,1}(z)$ 의 필터들은 각각 4,3 탭의 필터로서 식 (7)에 제시되어 있다. Q단의 $F_0(z)$

와 $F_1(z)$ 의 필터들은 I단의 것들과 같은 필터를 사용한다. 이 구조의 면적은 곱셈을 51개 사용하므로 51이 되고 전력소모는 $1/4 \times 15 + 1/8 \times 36 = 8.25$ 가 된다. 첫 번째 구조에 비하여 면적은 26%가 감소하였으며 전력소모는 4.3%가 감소하였음을 알 수 있다.

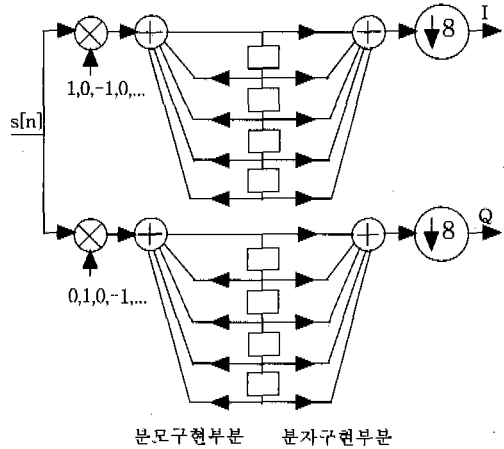


그림 9. IIR DDC 구조

세 번째로 IIR 필터로서 구현해보기로 하자. 그림 4의 필터를 같은 사양으로 elliptic IIR을 사용하여 설계하면 4차 시스템 함수가 얻어진다. 즉, 그림 4 (a)의 필터와 다운샘플러를 Direct form으로 구현하면 그림 9와 같다. 그림 9에서 네모로 표시된 것은 지연소자를 나타낸다. 그림 9에서 보여지듯이, 귀환 구조가 디지털믹서 뒤에 연결되면 간략화되지 않는다. 즉, 믹서의 0들이 제거되기 위해서는 그 다음에 연결되는 구조가 비귀환 구조이어야 0들과 비귀환 구조의 0에 해당하는 필터계수가 모두 함께 상쇄될 수 있다. 이 구조의 면적은 곱셈을 18개 사용하므로 18이 된다. 분모구현부분의 동작속도는 1이고, 분자구현부분의 동작속도는 8분의 1이다. 따라서 전력소모는 $1 \times 8 + 1/8 \times 10 = 9.25$ 가 된다. 첫 번째 구조에 비하여 면적은 74%가 감소하였으며 전력소모는 7.2% 증가하였다.

마지막으로 본 논문이 제안하는 IIIR 아키텍처인 그림 5의 면적과 전력소모를 구해보면 다음과 같다. 면적을 계산하기 위하여 각단의 곱셈의 수를 계산하면 Polyphase단에 15개, 분모구현 단에 8개, 그리고 분자구현 단에 10개이므로 총 33개의 곱셈이 사용된다. 따라서 상대면적은 33이 된다. 동작속도는 Polyphase단이 1/4이고, 분모구현 단도 1/4, 그리고

분자구현 단은 1/8이 된다. 따라서 전력소모는 $1/4 \times 15 + 1/4 \times 8 + 1/8 \times 10 = 7.0$ 이 된다. 네 가지 구조에 대한 구현면적과 전력소모를 비교하면 표 1과 같다. 괄호 안에 표시된 숫자들은 Polyphase FIR 구조를 1로 정의했을 때의 상대 구현면적과 전력소모이다.

표 1. 기존 방식들과의 구현면적과 전력소모 비교

| 구조 | 구현면적 | 전력소모 |
|---|-----------|-------------|
| FIR(Polyphase 구조) | 69(1) | 8.625(1) |
| IFIR(Polyphase 구조) | 51(0.739) | 8.25(0.957) |
| IIR(Direct form 구조) | 18(0.261) | 9.25(1.072) |
| IIIR(Polyphase 구조와 Direct form의 IIR 구조) | 33(0.478) | 7.0(0.812) |

V. 결론

기존에는 IFIR의 필터설계방식을 데시메이션 필터에 응용함으로써 Multirate 처리가 가능한 저전력 구조가 널리 사용되어 왔다. 본 논문은 IFIR의 스펙트럼의 관계를 확장하여 데시메이션 필터 및 DDC에 응용할 수 있는 새로운 Interpolated IIR 필터를 제안하였다. 이 구조는 기존의 IFIR 구조에 비하여 전력소모와 구현면적이 감소됨을 보였다. 즉, IS-95 CDMA 중간주파수 단을 제안된 DDC 구조로 구성한 결과, IFIR을 사용한 DDC 구조에 비하여 전력소모가 15.2%, 구현 면적이 35.3% 각각 감소함을 알 수 있었다.

참고 문헌

[1] 안승혁, 박인순, 최진규, 이용훈, "중간 주파수 디지털 신호처리," *전자공학회지*, 제27권 제4호, pp.72-82, April 2000.

[2] Y. Neuvo, C. Y. Dong, S. K. Mitra, "Interpolated finite impulse response filters," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. ASSP-32, pp.563-570, June 1984.

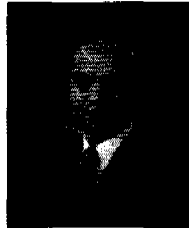
[3] J. Jou, S. Y. Wu, C. K. Wang, "Low-power multirate architecture for IF digital frequency down converter," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 45, No. 11, pp.1487-1494, Nov. 1998.

[4] J. Jou, S. Y. Wu, C. K. Wang, "Low-power multirate IF digital frequency down converter," *Proceedings of the 1999 International Symposium on VLSI Technology, Systems, and Applications*, pp.231-234, 1999.

[5] M. Bellanger, G. Bonnerot, and M. Coudreuse, "Digital filtering by polyphase network: Application to sample rate alteration and filter banks," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. ASSP-24, pp.109-114, Apr 1976.

장 영 범(Young-Beom Jang)

정회원



1981년 2월 : 연세대학교
전기공학과 졸업, 공학사
1990년 1월 : Polytechnic
University 전기공학과
졸업, 공학석사
1994년 1월 : Polytechnic
University 전기공학과
졸업, 공학박사

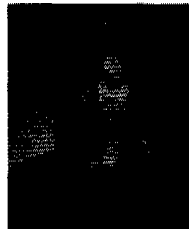
1981년 2월~1999년 12월 : 삼성전자 System LSI
사업부 수석연구원

1999년 12월~현재 : 이화여자대학교 정보통신학과
조교수

<주관심 분야> 통신신호처리, 음성/오디오 신호처리

양 세 정(Se-Jung Yang)

준회원



2001년 2월 : 이화여자대학교
정보통신학과 졸업,
공학사
2001년 3월~현재 : 이화여자
대학교 정보통신학과
석사1학기

<주관심 분야> 통신신호처리