

고순도 스펙트럼과 초고속 스위칭 속도의 PLL 주파수 합성기 설계

정희원 이현석*, 손종원*, 안병록*, 유흥균*

Design of PLL Frequency Synthesizer with High Spectral Purity and Ultra-Fast Switching Speed

Hyun Seok Lee*, Jong Won Son*, Byeong Rok An*, and Heung Gyoon Ryu*

Regular Members

요 약

본 논문에서는 디지털 하이브리드 위상고정루프(Digital Hybrid Phase-Locked Loop, DHPLL) 주파수 합성기 구조에서 고 순도 스펙트럼과 초고속 스위칭 속도를 위한 설계기술을 제안한다. D/A 변환기 출력으로 전압제어발진기(Voltage Controlled Oscillator, VCO)를 구동하는 개 루프(open-loop) 구성 방식과 기존 위상고정루프(Phase Locked Loop, PLL)의 폐 루프(closed-loop) 구성 방식을 혼합한 하이브리드 구조의 주파수 합성기를 고려하여, 시스템 변수 (개 루프 대역과 위상 여유)와 성능 파라미터(정착시간, 위상 잡음, 그리고 최대 오버슈트(Max. overshoot))의 관계를 연구하였다. 그리고 이 관계를 통해 스펙트럼 순도와 스위칭 속도를 향상시키기 위한 최적의 3가지 설계방안을 제시한다. 컴퓨터 시뮬레이션 결과, 주파수 스위칭 과정에서 발생하는 최대 오버슈트가 0.0991% 이고 완전 정상상태 도달시간은 0.288msec이다. offset 주파수 10KHz에서 위상 잡음은 -128.15dBc이다.

ABSTRACT

In this paper, a new design method is proposed for the Digital Hybrid Phase-Locked Loop (DHPLL) synthesizer with the ultra-fast switching speed and high spectral purity. Hybrid structure considered the composite signal of both the D/A converter output in open-loop structure in driving the VCO and the loop filter output in PLL closed-loop. The relationships are studied between the performance parameters (switching time, phase noise, and maximum overshoot) and the system variables (open loop bandwidth and phase margin). Then, we propose the three optimal design methods to improve the spectral purity and the switching speed performance, which use the relationships of open loop bandwidth and phase noise, open loop bandwidth and switching speed, phase margin and switching speed. Simulation results show that maximum overshoot generated in the 1MHz-frequency process is 0.0991% and it takes 0.288msec to get the perfect state-steady. Then, phase noise is -128.15dBc at offset frequency of 10KHz.

I. 서 론

상용의 블루투스(Bluetooth) 시스템이나 주파수 도약을 이용한 다중 사용자 통신 시스템, 군용 통신, 전자전(Electronic Warfare) 시스템에서는 무엇보다도 고속의 스위칭 속도를 가지는 주파수 합성기가 중요한 요소이다. 또한 통신 시스템에서 높은 순도의 스펙트럼을 가지는 발진기(oscillator)신호가 인접 채널의 상호 믹싱(reciprocal mixing)을 방지하는 것과, 고충실도 신호 수신을 위하여 필요하다^[1].

보다도 고속의 스위칭 속도를 가지는 주파수 합성기가 중요한 요소이다. 또한 통신 시스템에서 높은 순도의 스펙트럼을 가지는 발진기(oscillator)신호가 인접 채널의 상호 믹싱(reciprocal mixing)을 방지하는 것과, 고충실도 신호 수신을 위하여 필요하다^[1].

* 충북대학교 전자공학과 (ecomm@cubucc.chungbuk.ac.kr)

논문번호: K01149-0627, 접수일자: 2001년 6월 27일

2000년, Cicero S.Vaucher는 고 순도 스펙트럼과 고속 스위칭 속도를 동시에 만족하는 적응형 PLL 튜닝 시스템(Adaptive PLL Tuning System)을 구현하였다^[2]. 외부 튜닝 시스템을 이용하지 않으며 루프 필터 구성요소의 스위칭없이 병렬 구조의 이중 루프구조에서 연속적으로 루프 파라미터를 적응으로 변화시키는 점은 적절한 설계 방법으로 보이지만 기존 PLL시스템에 비해 이중 루프를 사용하는 면에 있어 복잡한 시스템 구조를 지닌다는 단점이 있다. 2001년, H. G. Ryu는 직접 디지털 주파수 합성기(Direct Digital Frequency Synthesizer, DDFS)와 위상고정루프(Phase Locked Loop, PLL)를 직렬형으로 연결시켜서 DDFS의 장점과 PLL의 장점을 혼합한 구조를 사용하며, DDFS의 구조를 단순화시켜서 스위칭 속도를 높이고자 하는 연구가 있었다^[3]. 광대역 구조와 DDFS가 갖는 추가적인 장점은 있으나, PLL의 동작이 전체 시스템의 동작 속도를 제한하는 문제가 있다.

본 연구에서는 적응형 PLL 튜닝 시스템^[2]보다 더 간단한 구조를 가지면서 DDFS, PLL 혼합구조^[3]보다 더 우수한 시스템 성능을 가지기 위해 개루프 구조와 폐루프 구조를 혼합한 디지털 하이브리드 PLL (Digital Hybrid PLL, DHPLL) 주파수 합성기를 이용하여 고 순도 스펙트럼과 초고속 스위칭 속도를 갖는 합성기를 새롭게 연구하였다. 시스템 설계 변수인 개루프 대역(open loop bandwidth) 과 위상 여유(phase margin)를 이용하여 고 순도 스펙트럼과 초고속 스위칭 속도를 동시에 만족하는 최적 설계 지점을 결정하였다. 최적화된 설계 변수에 의해 구성된 디지털 하이브리드 PLL 주파수 합성기 시스템의 시뮬레이션을 수행하였을 때 주파수 스위칭 과정에서 발생하는 최대 오버슈트가 0.0991%, 위상 잡음은 -125.15dBc@10KHz이다.

II. 디지털 하이브리드 위상고정루프

디지털 하이브리드 PLL(DHPLL) 구조는 그림 1과 같다.

디지털 하이브리드 PLL 시스템의 기본 방식은 기존 폐루프 PLL구조와 개방형 주파수 합성 구조를 혼합한 것으로서 루프 필터(Loop Filter)의 출력과 D/A 변환기 출력의 합성된 신호가 전압제어 발진기(VCO)를 제어하는 방식이다. 주파수 제어 명령(Frequency Control Word)은 프로그래머블 계수기(Programmable Counter)에 분주 명령을 주어 원하는

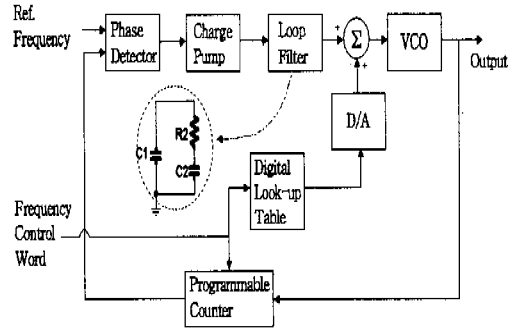


그림 1. 디지털 하이브리드 위상 고정루프 주파수 합성기.

는 주파수를 VCO가 출력하도록 제어하고, Digital Look-up 표를 거쳐 생성된 D/A 제어명령은 D/A 변환기 출력 신호가 VCO를 제어하도록 한다. 이런 구조를 통해서 고속 스위칭 속도를 얻는다.

PLL내의 루프 필터설계 방법으로 루프 필터 구성 요소 값들을 설정하기 위해 위상 여유와 개루프 대역을 사용한다^[4].

그림 1의 2차 저역 통과 필터의 임피던스는 식(1)이다.

$$Z(s) = \frac{s(C_2 \cdot R_2 + 1)}{s^2(C_1 \cdot C_2 \cdot R_2) + sC_1 + sC_2} \quad (1)$$

필터의 시정수 T1 과 T2는 풀이과정의 복잡성을 줄이기 위해 간단히 다음과 같이 정의하여 사용한다.

$$T_1 = R_2 \cdot \frac{C_1 \cdot C_2}{C_1 + C_2}, (2a) \quad T_2 = R_2 \cdot C_2. \quad (2b)$$

3차 디지털 하이브리드 PLL 개 루프 이득은 주파수, ω , 필터 시정수 T1 과 T2 , 그리고 설계 constants K_o (VCO이득), K_d (차지펌프이득) , 그리고 N(분주비)으로 결정된다.

$$G(s) \cdot H(s) |_{s=j\omega} = \frac{-K_d \cdot K_o(1 + j\omega \cdot T_2)}{\omega^2 C_1 \cdot N(1 + j\omega \cdot T_1)} \cdot \frac{T_1}{T_2} \quad (3)$$

위상 여유는 식(4)에서 결정할 수 있다.

$$\phi(\omega) = \tan^{-1}(\omega \cdot T_2) - \tan^{-1}(\omega \cdot T_1) + 180^\circ \quad (4)$$

식(5)를 이용하여 개 루프 대역, ω_p 을 결정한다.

$$\frac{d\phi}{d\omega} = \frac{T_2}{1 + (\omega \cdot T_2)^2} - \frac{T_1}{1 + (\omega \cdot T_1)^2} = 0 \quad (5)$$

$$\omega_p = \frac{1}{\sqrt{(T2 \cdot T1)}} \quad (6)$$

개루프 전달함수의 주파수 이득이 1 (0dB) 이 될 때, 위상은 최대가 되어야 한다. 식(3)을 이용하여 C1 을 구한다.

$$C1 = \frac{K_d \cdot K_o \cdot \|(1 + j\omega_p \cdot T2)\|}{\omega_p^2 \cdot C1 \cdot N \cdot \|(1 + j\omega_p \cdot T1)\|} \cdot \frac{T1}{T2} \quad (7)$$

위의 식들을 이용 두 개의 시정수 T1 과 T2를 계산할 수가 있다.

$$T1 = \frac{\sec \phi_p - \tan \phi_p}{\omega_p} \quad (8a) \quad T2 = \frac{1}{\omega_p^2 \cdot T1} \quad (8b)$$

시정수 T1 과T2 , 개 루프 대역(ω_p), 위상 여유 (ϕ_p)로부터 C1, R2, C2를 구한다.

$$C1 = \frac{T1}{T2} \cdot \frac{K_d \cdot K_o}{\omega_p^2 \cdot N} \sqrt{\frac{1 + (\omega_p \cdot T2)^2}{1 + (\omega_p \cdot T1)^2}} \quad (9a)$$

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1\right), \quad (9b) \quad R2 = \frac{T2}{C2} \quad (9c)$$

III. 개루프 대역과 위상 여유

설계 툴인 SPICE를 이용하여 II장에서 유도된 수식으로 시스템 변수에 따른 저항과 커패시턴스의 수동 소자 값을 산출하고 전체 디지털 하이브리드 PLL 주파수 합성기 구조에 넣어서 시스템 성능 분석을 하였다.

(1) 개루프 대역

① 개루프 대역과 위상 잡음

기존의 아날로그 PLL 주파수 합성기에서는 출력 지터를 감소시키기 위해 협대역 루프 필터를 사용한다. 하지만, 스위칭 시간이 늘어나는 trade off 관계가 있다. 본 논문에서는 디지털 하이브리드 PLL 구조를 사용해 최소의 위상잡음을 얻을 수 있는 개루프 대역을 시뮬레이션을 통해 찾았다. 여러 가지 개 루프 대역 값들을 통해 디지털 하이브리드 PLL 의 출력 주파수의 스펙트럼 순도를 측정하면 그림 2와 같다. 그림2 에서 보면 1KHz, 5KHz, 10KHz, 15KHz의 개 루프 대역을 가질 때 5KHz의 개 루프 대역에서 가장 낮은 위상 잡음을 가진다.

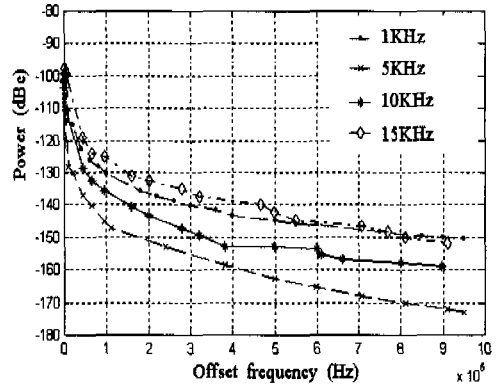


그림 2. 여러 가지 개루프 대역에서 측정된 주파수 스펙트럼.

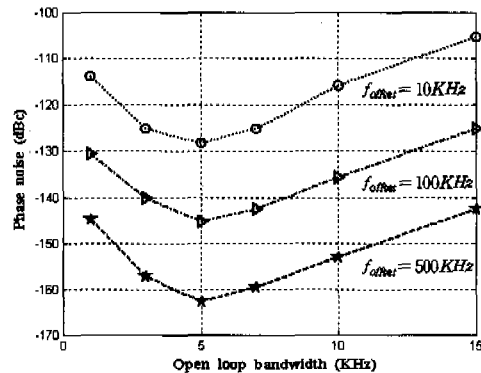


그림 3. 개루프 대역에 따른 서로 다른 오프셋 주파수에서 위상 잡음.

그림3은 서로 다른 오프셋 주파수에서 개 루프 대역폭에 따른 위상 잡음을 측정하는 것이다. 오프셋 주파수 10KHz, 100KHz, 및 500KHz에서 최소의 위상 잡음을 만족하는 개 루프 대역폭은 모두 5KHz 근처임을 확인할 수 있고, 디지털 하이브리드 PLL 주파수 합성기의 고 순도 스펙트럼을 위한 최적의 설계 지점임을 증명한다.

② 개루프 대역과 스위칭 시간

개루프 대역, 최대 오버슈트(Max. overshoot), 그리고 스위칭 시간의 관계를 그림 4 에서 확인할 수 있다. 최대 오버슈트(Max. overshoot)는 개 루프 대역이 증가할수록 0.0181%에서 0.4117%로 비례적으로 증가하는 경향을 가진다. 또한 스위칭 시간은 대역에 따라 지수 함수적으로 감소한다. 최소가 되는 최대 오버슈트가 되면서 동시에 고속의 스위칭 속도를 가지기 위한 조건은 그림4 에서 쉽게 찾을 수 있다. 최적 설계 지점은 개 루프 대역이 5KHz 근

처이다. 이 값은 위에서 논의했던 고순도 스펙트럼을 만족하는 값이기도 하다.

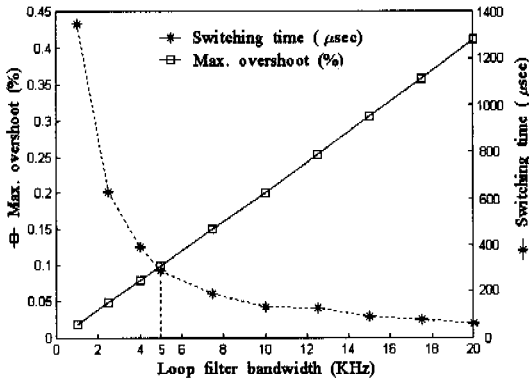


그림 4. 개루프 대역에 따른 최대 오버슈트와 스위칭 시간.

(2) 위상 여유

① 위상 여유와 위상 잡음

그림5 은 시스템 변수인 위상 여유를 고려해 산출된 디지털 하이브리드 PLL의 출력 주파수 스펙트럼이다. 45°, 55°, 65° 세 가지의 위상 여유에 따른 스펙트럼 순도는 거의 비슷함을 확인할 수 있다. 결론적으로 위상 여유는 디지털 하이브리드 PLL 출력 주파수 스펙트럼의 순도에 영향을 미치지 않는다.

② 위상 여유와 스위칭 시간

위상 여유에 따라 측정된 최대 오버슈트(Max. overshoot)와 스위칭 시간과의 관계를 그림 6을 통해서 확인할 수가 있다.

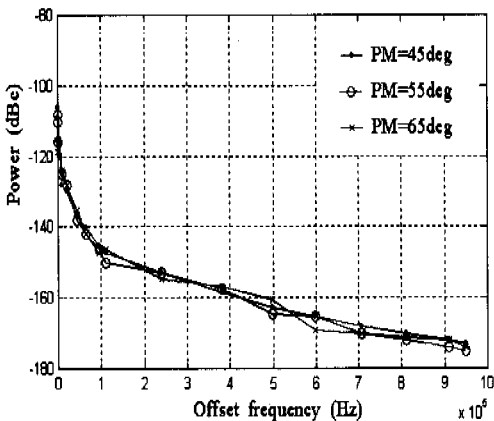


그림 5. 위상 여유에 따른 주파수 스펙트럼.

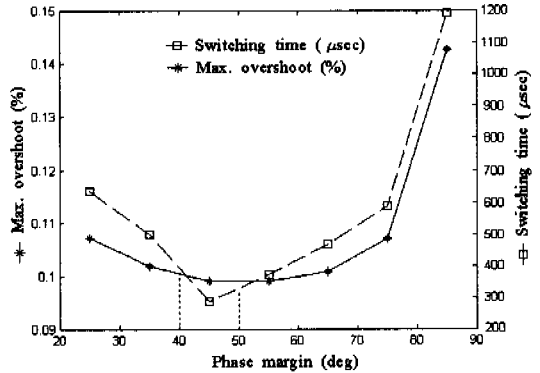


그림 6. 위상 여유에 따른 최대 오버슈트와 스위칭 시간.

위상 여유에 따른 최대 오버슈트(Max. overshoot)와 스위칭 시간의 수치는 유사한 경향을 가진다. 즉, 최대 오버슈트는 위상 여유가 45° 근처에서 가장 작은 수치인 0.0991% 값을 가진다. 여기서 주파수 측면에서 고려해보면 1-MHz 주파수 스위칭 하는데 발생하는 최대 주파수 편차는 단지 991Hz 이다. 이것은 아주 무시할 만하다. 스위칭 시간은 정확한 정착 에러가 0이 될 때 0.288msec의 시간을 가진다. 그러므로, 위상 여유는 디지털 하이브리드 PLL 주파수 합성기에서 위상 잡음보다는 최소가 되는 최대 오버슈트를 가지면서 고속 스위칭 속도를 결정짓는 중요한 시스템 변수가 된다.

IV. 제안된 설계 기술

III장의 시뮬레이션 결과를 토대로 디지털 하이브리드 PLL을 이용한 주파수 합성기 시스템에서 고순도 스펙트럼 과 고속 스위칭 속도를 동시에 만족하기 위하여 다음과 같은 3가지 설계 기법이 필요함을 알 수 있다.

첫째, 시스템 변수인 개 루프 대역에 따라 발생하는 디지털 하이브리드 PLL 주파수 합성기의 VCO 출력 신호에 위상 잡음이 가장 적게 나타나는 개 루프 대역을 찾는다.

둘째, 개 루프 대역에 따른 스위칭 시간, 그리고 최대 오버슈트(Max. overshoot)와의 관계를 통해 최소가 되는 최대 오버슈트(Max. overshoot)와 빠른 스위칭 속도를 만족하는 개 루프 대역을 찾는다.

셋째, 위상 여유에 따라 최소가 되는 최대 오버슈트(Max. overshoot)와 고속 스위칭 속도를 위한 위상 여유를 찾는다.

본 연구에서 시뮬레이션 결과, 개 루프 대역은

5KHz로 설정하고 위상 여유는 45° 로 설정할 때 디지털 하이브리드 PLL 주파수 합성기의 스펙트럼 순도와 스위칭 시간은 최적의 성능을 가질 수 있음을 보였다.

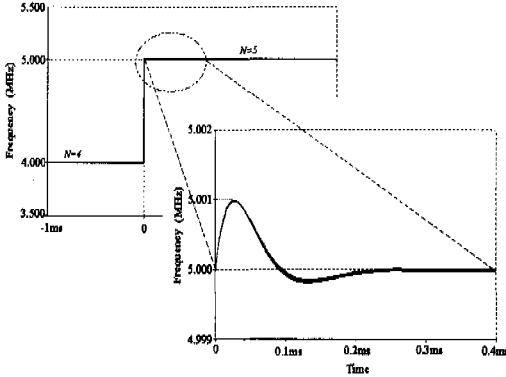


그림 7. 디지털 하이브리드 PLL 주파수 합성기의 settling 과정.

그림7 은 분주비가 4에서 5로 주파수 합성을 명령할 때 전압제어 발진기(VCO) 입력 킨트를 전압의 settling 과정을 보여준다. 디지털 하이브리드 PLL 주파수 합성기의 출력 주파수가 스위칭 할 때 발생하는 최대 오버슈트는 약 0.1%이다. 즉 출력 주파수로 5MHz를 발생시키는데 최대 편차주파수(deviation frequency)는 겨우 991Hz 정도에 불과하다. 그리고 완전한 정상상태 도착 시간은 0.288msec이다. 참고로, 적응형 PLL 튜닝 시스템(Adaptive PLL Tuning System) 구조^[2]에서는 settling 에러 3K~6K에서 정착시간이 1ms 이다. 그림8 에서는 합성기의 출력 주파수의 스펙트럼을 나타낸다. offset 주파수 10KHz에서 위상 잡음은 -128.15dBc이다. 높은 순도의 스펙트럼을 증명한다.

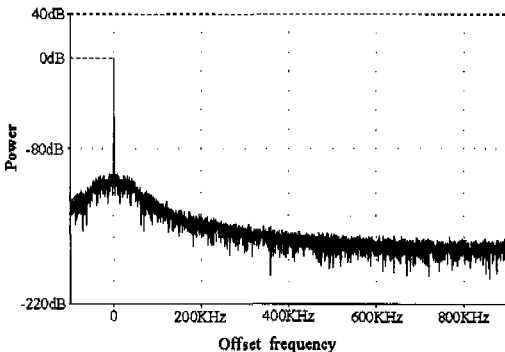


그림 8. DHPLL 출력 주파수 스펙트럼.

V. 결론

본 논문에서는 고속 스위칭 속도를 위한 디지털 하이브리드 PLL 구조(Digital Hybrid PLL, DHPLL) 주파수 합성기를 이용하여 시스템 변수인 개 루프 대역과 위상 여유를 고려한 루프 필터 설계를 통해 위상 잡음과 스위칭 속도의 관계를 연구하였다. 고 순도 스펙트럼과 초고속 스위칭 속도를 위한 세 가지 설계 기법을 제시하였고, 이 설계 기법을 통해서 개 루프 대역과 위상 여유의 최적 설계 지점을 구하였다. 시뮬레이션 분석 결과, 디지털 하이브리드 PLL 주파수 합성기에서 최적 설계 지점은 개 루프 대역이 5KHz 근처이고, 위상 여유가 45° 근처이다. 이 시스템 변수의 값들은 디지털 하이브리드 구조의 PLL 주파수 합성기 시스템의 경우에 적합한 수치이다.

참고 문헌

- [1] W.P.Robins, *Phase Noise in Signal Source*, 2nd Ed., ser.9, London U.K. Inst. Elect. Eng., 1996.
- [2] Cicero S.Vaucher, "An Adaptive PLL Tuning System Architecture Combining High Spectral Purity and Fast Settling Time," *IEEE Jour., Solid-State Circuit*, Vol.35, No.4, pp.490-502, April 2000
- [3] H. G. Ryu, Y. Y. Kim, H. M. Yu and S.B.Ryu, "Design of DDFS-driven PLL Frequency Synthesizer with Reduced-Complexity," *IEEE Transactions on Consumer Electronics*, Vol. 47, No. 1, Feb. 2001.
- [4] William O.Keese, "An Analysis and Performance Evaluation Of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops," *National Semiconductor Application Note-1001*, May 1996

이 현 석(Hyun Seok Lee) 준회원

2001년 2월 : 충북대학교 전자공학과(공학사)

2001년 3월~현재 : 충북대학교 전자공학과

석사 과정

<주관심 분야> 통신회로설계, 디지털통신시스템

