

고속 DVD 시스템에서 비대칭 신호 보정기와 결합한 Digital PLL 설계

준회원 김 판 수*, 정회원 고 석 준*, 최 형 진*, 이재욱**, 이정현**

Design of Digital PLL with Asymmetry Compensator in High Speed DVD Systems

Pan Soo Kim* Associate Member

Seok Jun Ko*, Hyung Jin Choi*, Jae-Wook Lee**, Jung Hyun Lee** Regular Members

요 약

본 논문에서는 기존 1배속 및 6배속과 같은 저속 DVD 시스템에서 설계되었던 Analog PLL(Phase Locked Loop)을 고배속 동작에 유용하게 디지털화 했으며, 고속인 20배속 DVD 시스템에서의 최적 Digital PLL 모델을 제시하였다. 특히, 고속 DVD 시스템 설계에서 성능 열화의 주요 원인인 bulk delay, 샘플링 클럭 주파수 오차, 비대칭 신호 현상과 같은 채널 영향들을 고려하여 안정적으로 동작할 수 있는 DPLL 설계에 초점을 맞추었다. 우선, DPLL에서는 새로운 타이밍 에러 검출 알고리즘으로 변형된 Early-Late 방법을 제시하였다. 그리고, 비대칭 신호 보정기에는 고속으로 동작하고 안정적으로 보정 역할을 수행하는 영점교차 지점을 이용한 4샘플 신호 보정 알고리즘을 설계하였다. 본 논문에서 제안하는 타이밍 에러 검출기는 기존 방식에 비해 각각, 3dB의 SNR 이득과 지터 성능이 4배 향상됨을 볼 수 있었고 또한, 영점교차 지점에서 4샘플 신호를 이용한 보정 알고리즘은 기존 방식에 비해 보상시간의 50% 단축과 2dB의 SNR 이득, 지터 성능의 34% 효율을 볼 수 있었다. 최종적으로 제안된 비대칭 보정기와 DPLL이 통합된 시스템을 BER 성능 평가를 통해서 기존 알고리즘에 비해 제안된 방식이 0.4dB, 2dB 성능 향상을 확인하였다.

ABSTRACT

In this paper, we convert conventional low speed(1x, 6x) DVD systems designed by analog PLL(Phase Locked Loop) into digital PLL to operate at high speed systems flexibly, and present optimal DPLL model in high speed(20x) DVD systems. Especially, we focused on the design of DPLL that can overcome channel effects such as bulk delay, sampling clock frequency offset and asymmetry phenomenon in high speed DVD systems. First, the modified Early-Late timing error detector as digital timing recovery scheme is proposed. And the four-sampled compensation algorithm using zero crossing point as asymmetry compensator is designed to achieve high speed operation and strong reliability. We show that the proposed timing recovery algorithm provides enhanced performances in jitter variance and SNR margin by 4 times and 3dB respectively. Also, the new four-sampled zero crossing asymmetry compensation algorithm provides 34% improvement of jitter performance, 50% reduction of compensation time and 2.0dB gain of SNR compared with other algorithms. Finally, the proposed systems combined with asymmetry compensator and DPLL are shown to provide improved performance of about 0.4dB, 2dB over the existing schemes by BER evaluation.

* 성균관대학교 전기전자 및 컴퓨터공학부(pskim@ece.skku.ac.kr), ** 삼성종합기술원 i-networking lab.

논문번호 : K01151-0630 접수일자 : 2001년 6월 30일

* 본 논문은 (주)삼성전자 위탁과제 “고속 DVD 시스템에서 PRML검출기를 위한 DPLL설계”의 수행 일부로서 얻어진 결과임을 밝히고 지원에 감사드립니다.

I. 서론

최근 광 디스크(Optical Disc)의 일종으로 개발되고 있는 DVD(Digital Versatile Disc) 시스템은 디지털 오디오, 비디오를 위한 고밀도 저장장치로 각광받고 있다. DVD 시스템이 고용량 저장장치로 발전하기 위해서는 트랙간격(track pitch)간 데이터 밀도 증가와 고배속 처리 기술이 필요한데 거기에 따른 인접신호간의 간섭(ISD)과 송신단의 입력 데이터 속도와 수신단의 샘플링 클럭 속도 차이에 의한 주파수 오차가 확대되는 문제점을 가진다^{[1][2]}. 또한, DVD-R/RW 시스템에서는 입력 데이터의 writing 기술에서 발생할 수 있는 신호길이(pit/land) 왜곡이 수신시 정확한 데이터 타이밍 동기과 검출을 어렵게 한다.

본 논문에서는 주로 고용량 데이터 장치로써 기능 강화를 위한 타이밍 동기 기술에 대해 설명한다. 그리고 부정확한 데이터 길이에 의해 타이밍 동기 기술에 성능 저하 요인이 되는 비대칭 신호의 보정 기술에 대해서도 설명한다. 기존의 DVD 시스템에서는 주로 아날로그 PLL 기술로 구현이 되었지만 최근 고배속으로 발전함에 따라 점차 디지털화 되는 추세이다. 고밀도 저장장치에 많이 적용되는 타이밍 동기 기술로는 Gardner 알고리즘과 Mueller & Muller 알고리즘 또는 이들을 변형한 형태가 사용되었다^{[3][4]}. 따라서 기존 타이밍 동기 알고리즘이 디지털 루프로 구현될 광 디스크에서 잡음, bulk delay, 비대칭 신호와 같은 채널 왜곡에 대한 동작 특성을 살펴본다. 그리고, 20배속(샘플 속도: 523.2MHz) DVD-ROM/RAM 시스템에서의 송수신간의 주파수 오차를 50% (261.6MHz~784.8MHz) 까지 감안했을 때의 동작 특성도 살펴본다. 또한 비대칭 신호 보정 기술로 기존에 많이 사용되는 DSV(Digital Sum Value) 알고리즘과 영점교차를 이용한 3샘플 방식이 주파수 오차와 비대칭 왜곡 정도에 따른 동작 특성을 살펴본다^{[5][6]}.

본 논문의 구성은 서론에 이어, II장에서는 DVD 시스템의 광학적 채널을 고려한 채널모델을 다루었다. III장에서는 비대칭 신호 보정 기술의 설명과 영점교차지점에서 4샘플 신호를 이용한 보정 알고리즘을 제시하고 성능 평가를 수행한다. IV장에서는 최적의 디지털 타이밍 동기 기술을 위한 2차 PLL를 설계하고 추적시 지터 성능이 우수한 변형된 Early-Late 구조의 타이밍 에러 검출 알고리즘을 제

시하고 성능 평가를 수행한다. V장에서는 통합된 최적의 디지털 타이밍 동기 기술과 비대칭 신호 보정기 기술의 성능을 살펴보고 마지막으로 VI장에서 결론을 맺는다.

II. DVD 시스템에서의 채널 모델링

DVD 시스템에서 광학적 채널의 특성은 데이터 밀도, 트랙밀도, 광확업 특성 등 여러 가지 요인에 의해 결정된다. 실제 광 디스크 채널에서는 MTF (Modulation Transfer Function)에 의한 인접 심볼간 간섭, 각종 잡음에 의한 비대칭 현상 등이 존재한다. 본 논문에서는 그림 1과 같이 MTF, 비대칭 신호, 타이밍 에러 모델링에 대해 언급한다.

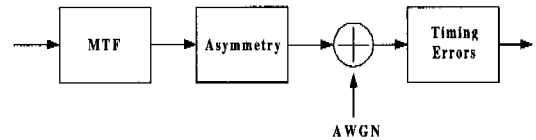


그림 1. DVD 시스템의 채널 모델링 구성요소

1. MTF 모델링

DVD 시스템에서 NRZI 신호를 디스크에 기록한 후 이를 픽업으로 다시 읽어내는 과정을 optical system의 전달함수로 모델링하여 표현한 것을 OTF (Optical Transfer Function)이라 부르며 OTF의 절대값을 MTF라 부른다. Optical system의 MTF는 (주)Sony가 제안한 Trigonometric 모델을 적용하는 것이 일반적이고 Trigonometric 모델의 전달함수 식 (1)과 같다.

$$H(f) = \frac{2}{\pi} (\cos^{-1}(f) - f\sqrt{1-f^2}), (0 \leq f \leq 1) \quad (1)$$

여기서 f 는 정규화된 공간 주파수이다. 디스크가 선속도 v [m/s]로 회전하는 경우 $H(f)$ 의 차단 주파수 F_c 는 식 (2)와 같다.

$$F_c = \frac{2NA}{\lambda} |v| \quad (Hz) \quad (2)$$

여기서 λ 는 레이저 파장이고 NA(Numerical Aperture)는 렌즈의 개구수이다.

2. Asymmetry 신호 현상 모델링

Optical disc 시스템에서 비대칭 파형 현상에는 크게 두가지 원인이 있다. 첫째는 domain bloom

현상에 의한 것이고 또 다른 것은 optical pick-up의 비선형 전달 특성이다. Domain bloom은 disc 공정상에서 부적절한 writing 과정에서 일어나는 것으로 NRZI 신호를 나타내는 pit/land의 길이가 정확하지 않는 것을 말한다. 비대칭 신호 모델링 방법은 NRZI 신호 발생에서 pit/land 길이를 부정확하게 표현함으로써 얻어질 수 있다. 둘째는 optical pick-up의 비선형성으로 인한 것으로 전달함수 기울기가 긴 신호가 들어왔을 경우와 짧은 길이의 신호가 들어왔을 경우의 파형의 비선형 전달특성이 나타나게 된다^{[1][7][8]}. 비대칭 모델링 방식에는 크게 데이터를 저장하는 writing 채널 환경에서 비선형 과정을 표현하는 것이라 볼 수 있다. 기존의 광학적 채널에서의 비선형 전달특성을 가지는 채널 모델링 방식으로 대표적인 방식이 Volterra Series를 이용한 방식이다^[7]. 그러나 비선형성의 정도에 따라 모델 파라미터 수의 증가와 모델 파라미터와 광학적 기록 특성 사이에 직접적 연관성이 없다는 점에 최근 새로 변형된 방법들이 제시되고 있다^{[8][9]}. 본 논문에서는 [8]에서 제안한 비대칭 신호 모델링 방식을 이용하여 신호의 왜곡을 표현하였다. 그림 2는 Domain bloom 현상에 의한 비대칭 신호 모델링을 나타낸 것으로 (a)와 (c)에서 pit(-1) land(+1) 길이가 Δ ($0 \leq \Delta \leq 1$)로 부정확하게 표현되어 있다. 그림 3은 비대칭 양의 정도가 6.6%($\Delta=0.2$)일 때 비대칭 현상이 모델링된 NRZ 신호 파형이다.

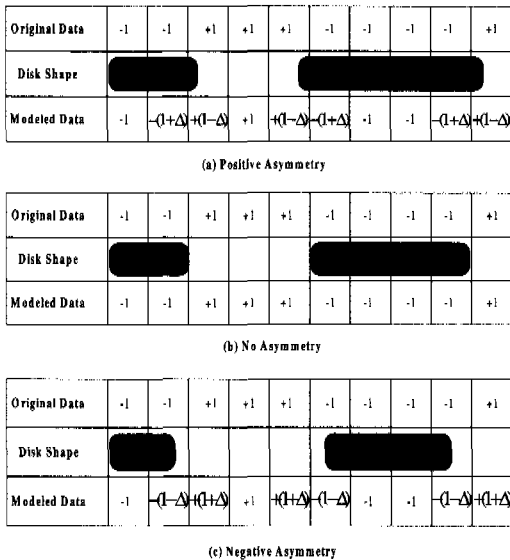
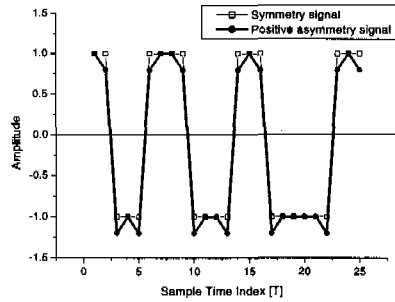
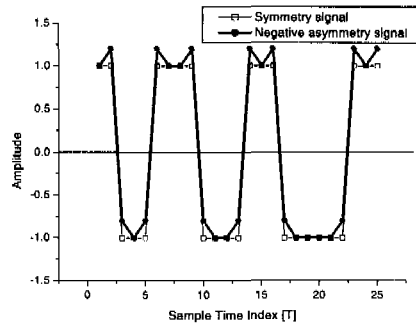


그림 2. Domain bloom 현상에 의한 비대칭 현상 모델링



(a) Positive asymmetry



(b) Negative asymmetry

그림 3. 비대칭 양의 정도가 6.6%일 때 비대칭 현상이 모델링된 NRZ 신호 파형

3. 송수신 샘플링 클럭 주파수 오차 모델링

고속의 CD-ROM과 DVD에서는 disc 회전 방식이 CAV(Constant Angular Velocity) 방식을 사용한다. 고속으로 데이터를 읽고 접근하기 위해서는 기존의 CLV(Constant Linear Velocity) 방식보다 CAV 회전 방식이 선호된다. CAV 방식은 디스크의 외주(外周)에서의 회전속도와 내주(內周)에서의 속도가 동일하다. 그래서 입력 신호 주파수 편이 범위가 디스크의 내외주(內外周)에서 선속도의 차이 때문에 확대된다^[2]. 현 6X(156.96MHz)~20X

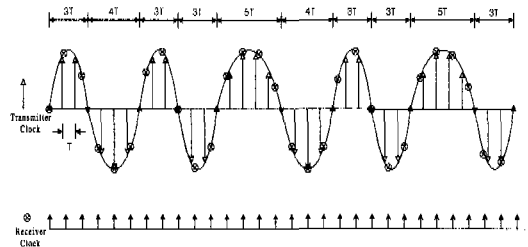


그림 4. 송수신 샘플 클럭 주파수 오차가 표현된 RLL(Run Length Limited) 신호 파형

(523.2MHz) DVD 시스템에서는 50%의 주파수 오차 편이를 고려한다. 그림 4는 DVD 시스템에서 송수신간의 샘플링 클럭 주파수 오차를 모델링한 것이다.

III. 비대칭 신호 보정기

1. 개요

광학적 채널을 위한 PRML(Partial Response Maximum Likelihood) 아키텍처에서 비대칭 신호 보정기란 디스크 제작시 공정의 오류로 RF 파형의 중간 레벨을 중심으로 상위 파형의 주기와 하위 파형의 주기가 다르게 발생하는 현상을 보정하기 위한 회로이다^[8]. 비대칭 신호가 존재하는 경우 DPLL은 ISI 효과로 인해 타이밍 에러 검출과 보정을 정확히 수행할 수 없다. 일반적으로 비대칭 보정기는 그림 13과 같이 일반적으로 DPLL과 연동되며 A/D 변환된 신호에 대해 에러 추정 및 검출이 이루어진다. 그리고 그에 따른 보정은 입력신호에 대해 일정값을 더해줌으로써 수행된다. 기존의 비대칭 신호의 보정 알고리즘에는 DSV(Digital Sum Value) 검출기와 영점교차 지점에서 3샘플 신호를 이용하여 에러 보정을 수행하는 방법 등이 있다^{[5][6]}. 기존의 방식들은 각각 비대칭 양에 관계없이 안정적인 동작이 가능하고 비대칭 신호 왜곡정도가 적은 경우 보정 효과가 우수하다. 그러나 보정 속도가 느리다는 것과 타이밍 에러가 존재하고 비대칭 왜곡이 심한 경우에 성능 열화가 생기는 문제를 가진다. 이 논문에서 제안하는 알고리즘은 보정속도를 개선하고 타이밍에러와 비대칭 왜곡정도에 영향을 받지 않는 영점 교차 지점의 4샘플 신호를 이용하는 것이다.

2. 알고리즘별 최적 파라미터 설정

① DSV 알고리즘

DSV 보정기는 DSV Counter을 동작시켜 신호의 누적값을 이용하여 비대칭성을 계산한다. 연속적으로 누적된 값이 임의의 임계치(threshold level)을 넘어간 경우 비대칭 신호의 극성을 판단하고 일정값으로 up/down 조정을 통해 보정을 하고 DSV counter를 reset 시키는 알고리즘이다. 즉, Integrated & Dump 과정과 동일한 형태라 할 수 있다. DSV 방식은 다른 방식에 비해 안정적인데 반해 보정의 속도와 성능 개선을 위해서는 비대칭 판정 임계치(threshold level) 결정이 중요하다. 그림 5, 6에서와 같이 DSV 알고리즘에서는 보정속도를 고려한 상태

에서 정상상태 지터량을 감안한다면 최적 threshold 값이 16임을 알 수 있다.

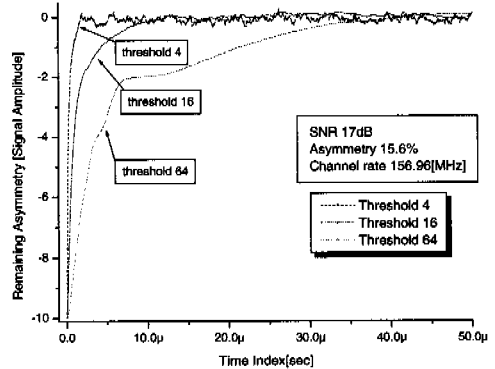


그림 5. DSV 알고리즘에서 threshold 값에 따른 비대칭 신호 보정 속도 비교

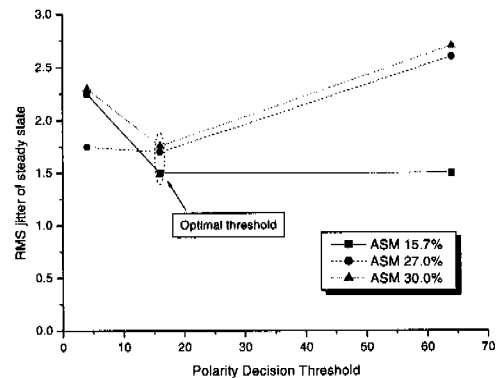


그림 6. ASM 양에 따른 정상상태 지터 성능을 통한 최적 threshold 값 결정(DSV 알고리즘)

② 영점교차를 이용한 4샘플 알고리즘

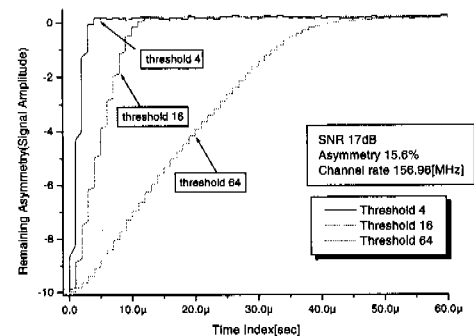


그림 7. 영점교차를 이용한 4샘플 알고리즘에서 threshold 값에 따른 비대칭 신호 보정 속도 비교

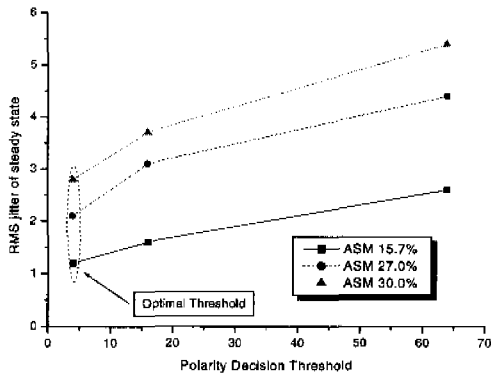


그림 8. ASM 양에 따른 정상상태 지터 성능을 통한 최적 threshold 값 결정 (영점교차 4샘플 방식)

영점교차를 이용한 4샘플 방식에서는 보정속도와 정상상태 지터량을 모두 고려했을 경우 최적값이 4임을 알 수 있다. 4이하의 값에서는 지터성능이 열화된다.

3. 제안된 알고리즘 동작 설명

제안된 비대칭 극성 판정 알고리즘과 보정 루프에 대한 전체 블록도는 그림 9와 같다. 전체 보정루프는 영점교차 검출기, 비대칭 극성 판정 알고리즘, 극성 에러에 대한 디지털 적분기, 보상 결정 비교기, 신호레벨 조정기로 구성되어 있다. 그림 10과 같이 비대칭 극성 판정 알고리즘은 4샘플 신호중 가운데 2샘플 신호인 $D_{k-1,k}$, $D_{k-1,k}$ 는 영점교차 지점을 검출하고 바깥쪽 2샘플 신호인 $D_{k-1,k}$, $D_{k-1,k}$ 의 합으로 비대칭 신호 극성을 판단한다. 에러 추정에 대한 정확성과 안정적인 동작을 위해 에러 부호값을 누적하여 일정 comparator의 임계값을 넘을 경우 비대칭 신호로 결정하고 일정값으로 보상해 나가는 방식이다. 비대칭 신호 보정 과정을 수학적으로 표현하면 다음과 같다. 비대칭 에러 신호를 표현한 것은 식(3)과 같고 비대칭 신호의 극성 판정에 사용되는 $D_{k-1,k}$, $D_{k-1,k}$ 의 신호는 식(4),(5)와 같다.

$$e_i(t) \equiv -T \sum_{i=-\infty}^{\infty} b_i \Delta_i g'(t-iT) \tag{3}$$

b_i 는 각각의 데이터 심볼인 a_i 에 대해서 $a_i - a_{i-1}$ 와 같이 데이터 천이 시퀀스이고 $g'(t)$ 는 데이터 천이 응답이다. 영점 천이시 변위 Δ_i 는 데이터 a_i 와 b_i 에 독립적인 랜덤변수이고 $b_i \Delta_i$ 는 랜덤 잡음 시퀀스로 표현된다.

$$D_{1,k} = D_{1,k}(t)|_{i=kr} = a_k h(k(T_r - T) + \theta) \mp T b_k \Delta_k g'((k-i)T) + n(kT) \tag{4}$$

$$D_{4,k} = D_{4,k}(t)|_{i=kr} = a_k h(k(T_r - T) + \theta) \pm T b_k \Delta_k g'((k-i)T) + n(kT) \tag{5}$$

그림 9, 10에서 제안된 비대칭 보정 알고리즘에서 여러 보상 과정을 step 1, 2, 3으로 구분해 수학적으로 표현하면 다음과 같다.

Step 1. Asymmetry Polarity Decision

If(ASM Polarity Detector = $D_{1,k-1,k} + D_{4,k-1,k} > 0$)
 {Negative Asymmetry Counter -- }
 Else
 {Positive Asymmetry Counter ++ }

Step 2. Asymmetry Compensation Decision

If(Sum Counter=Pos. ASM Counter + Neg. ASM Counter > Positive threshold)
 $\{ y(t) = \sum_{i=-\infty}^{\infty} a_i h(t) - e_i(t) + c_i(t), \text{Sum Counter} \rightarrow 0 \}$
 Else
 $\{ y(t) = \sum_{i=-\infty}^{\infty} a_i h(t) - e_i(t) + c_{i-1}(t) \}$
 If(Sum Counter=Pos. ASM Counter + Neg. ASM Counter > Negative threshold)
 $\{ y(t) = \sum_{i=-\infty}^{\infty} a_i h(t) + e_i(t) - c_i(t), \text{Sum Counter} \rightarrow 0 \}$
 Else
 $\{ y(t) = \sum_{i=-\infty}^{\infty} a_i h(t) + e_i(t) - c_{i-1}(t) \}$

참고로 $c_i(t) = \sum_{k=-\infty}^i c_{k-1}(t)$, $c_k(t) = \{-1, 1\}$ 는 Asymmetry 보정 신호를 나타낸다.

Step 3. Asymmetry Compensation is achieved

In steady state
 $y(t) = \sum_{i=-\infty}^{\infty} a_i h(t) + \lim_{i \rightarrow \text{steady state}} (+e_i(t) \mp c_i(t)) \approx \sum_{i=-\infty}^{\infty} a_i h(t)$

제안된 영점교차 4샘플 방식은 다른 영점교차를 이용한 방식과의 차이점은 극성 판정시 영점 교차 지점 근처에서 샘플된 데이터 신호를 이용하지 않기 때문에 샘플클럭 위상, 주파수 오차의 영향을 줄

일 수 있다.

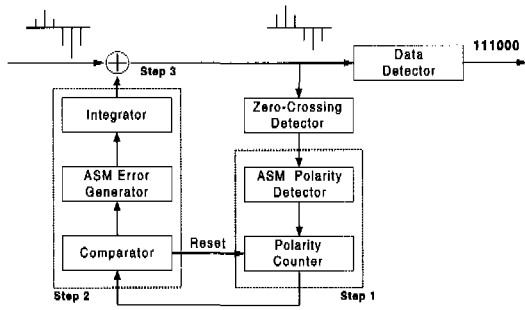
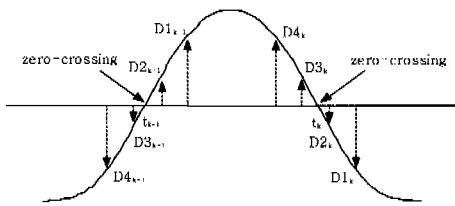
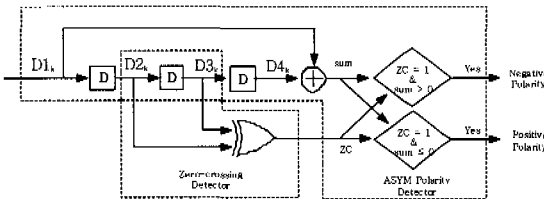


그림 9. 제안된 4샘플 방식의 영점 교차 비대칭 신호 보정 알고리즘



(a) 영점 교차 지점에서 비대칭 극성 판정을 위한 샘플단위의 신호 파형



(b) 비대칭 극성 판정 알고리즘의 세부적인 구조도

그림 10. 제안된 비대칭 신호 보정 알고리즘

4. 성능 비교 결과

III.2에서 구한 비대칭 신호 보정기의 최적 comparator 임계값을 통해 시뮬레이션을 수행했을 경우 그림 11과 같이 4 샘플 방식은 추적시간을 3 μsec 에서 15 μsec 까지 단축시킬 수 있다. 이는 6 배속 DVD 시스템의 샘플 클럭 속도가 약 6.4 nsec 라고 봤을 때 샘플링 클럭 주파수 동기를 위한 데이터 정확성 뿐만 아니라 데이터의 BER 성능 측면에서도 향상 됨을 기대할 수 있다. 최적의 극성 판정 파라미터 값에서 4샘플 방식이 그림 12와 같이 비대칭 양의 정도에 따라 여러 추적시 정상상태 지터량을 봤을 때 비대칭 양에 관계없이 안정적으로 동작함을 알 수 있다. 예로 비대칭 양이 15.6%인 경우 제안된 알고리즘은 영점교차 3샘플 방식과 DSV 알고리즘에 비해 각각 34%, 22%의 정상상태

지터량 감소를 확인할 수 있다.

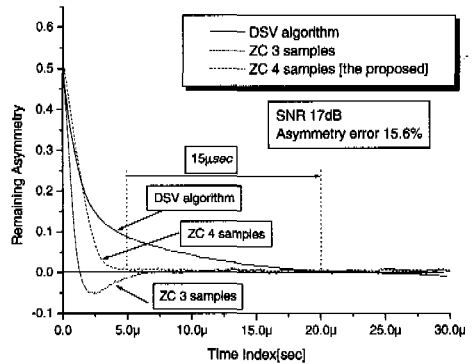


그림 11. 비대칭 신호 보정 알고리즘별 보상시간 성능 비교

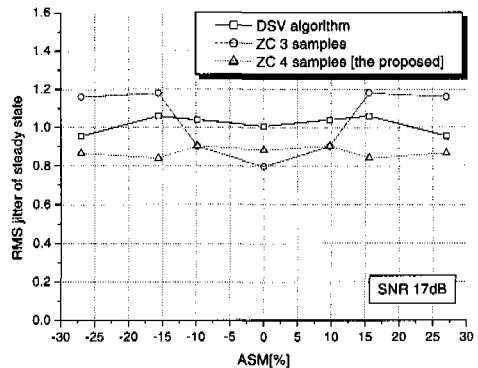


그림 12. 비대칭 신호 보정 알고리즘별 여러 추적시 정상상태 지터 성능

IV. Digital PLL

1. 개요

기존에는 구현상의 용이로 인해 CD/DVD 시스템에 아날로그 데이터 복원과 아날로그 타이밍 동기 기술이 사용되었다. 최근에는 디지털 데이터 복원 알고리즘을 사용하여 BER 성능에 이득을 볼 수 있는 디지털 타이밍 동기 기술 개발이 요구된다. 그림 13은 광디스크 시스템에 사용되는 데이터 복원 및 타이밍 동기 기술과 관련된 구조도이다. 디지털 타이밍 동기 기술과 관련하여 아날로그 RF 데이터는 고정된 주파수로 A/D 변환되며 보간 필터 (Interpolator filter)는 에러 계산기(Offset calculator)로부터 보정 신호로써 신호 클럭의 주파수/위상이 동기된 데이터를 계산하게 된다. 그림 13의 데이터 검출기(Data detector)에서 주파수/위상이 동기화 되고 비대칭 신호가 보정된 최종 디지털 데이터 값이 발생하게 된다. 주파수 에러 검출기(Freq. offset

detector)는 위상 에러 검출기(Phase offset detector)의 주파수 오차 포착의 pull-in 영역범위내로 보간된 샘플 신호의 주파수를 고정시키는데 사용되며 타이밍 에러 검출기는 잔류 주파수 오차와 위상 오차를 검출하게 된다. 또한 디지털 루프 필터의 경우 2개의 에러 검출기로부터 에러 신호를 수신하여 에러 계산기(Offset calculator)로 보정값을 발생시킨다.

2. 타이밍 에러 검출기(TED) 및 2차 루프 설계

그림 14는 디지털 타이밍 동기 기술에서 제안된 타이밍 에러 검출기를 나타내었다. 이 검출기는 영점교차 검출기(Zero-crossing detector), 에러 검출기(Error detector), 타이밍 조정기(Timing controller)로 구성되어 있으며 타이밍 에러 검출기는 정상상태에서 데이터 샘플 시점 T 단위의 T/2 지점으로 수렴되기 때문에 2차 보간 필터는 영점 교차 지점의 데이터 신호 발생을 발생시킨다. 즉 영점 교차 지점이 샘플링 시점의 중앙에 오도록 타이밍 위상을 조절하는 알고리즘이다. 영점 교차 검출기는 샘플된 데이터 $D_{1,i-1,i}$ 와 $D_{2,i-1,i}$ 사이 비트의 부호 반전을 통해 동작하며 타이밍 에러 검출기에서 데이터 심볼 정보 T 는 영점 교차 검출기 출력으로부터 결정된다. 데이터 심볼 정보 T 는 입력 신호가 $3T \sim 14T$ 로 변화하기 때문에 일정하지 않으며 T 는 $T' = xT$ 로 표현할 수 있고 x는 일정하지 않는 랜덤 변수이다. 타이밍 에러 검출기 출력 ϵ_i 은 식(6)과 같이 나타낼 수 있다.

$$\epsilon_i = \frac{a_i}{4} \cdot ((D_{1,i} - D_{1,i-1}) + (D_{2,i} - D_{2,i-1})) \quad (6)$$

식(6)에서 변수 a_i 은 $D_{1,i,i-1}$ 의 양자화된 값이다. 타이밍 에러 검출기로의 입력 신호 값의 갱신은 그림 14와 같이 IIR 필터로 구성된 타이밍 조정기에 의해 데이터 심볼 주기인 T 에서 데이터 샘플 단위인 T 로 변화하게 된다. 타이밍 조정기의 출력은 식(7)과 같이 나타낼 수 있다.

$$z_k = \epsilon_i \times G^m \quad (7)$$

변수 k 는 $l \cdot T' + m \cdot T$ 으로 표현할 수 있고 l 과 m 은 정수이다. 에러 검출기의 한 주기 동안 타이밍 조정기의 합은 식(8)과 같다.

$$Z = \epsilon_i \times \frac{1}{1-G} \quad (8)$$

타이밍 조정기(IIR 필터)의 이득은 $1/(1-G)$ 이다. 제안된 타이밍 에러 검출기 출력의 평균(s-curve)은 기존 알고리즘의 평균값과 함께 그림 15-(a)에 나타내었다^[10]. S-곡선은 식(9)와 같이 나타낼 수 있고 Δf 는 입력데이터와 local oscillator 사이의주파수 오차이고 $\phi = \theta - \hat{\theta}$ 은 타이밍 오차이다.

$$g(\phi) = E[z|\phi, \Delta f = 0] \quad (9)$$

그림 15-(a)의 결과로부터 페루프 설계시 각 알고리즘의 주파수와 위상 오차 포착 과정은 동일함을 알 수 있다. 그림 15-(b)의 경우 타이밍 에러 출력의 분산값을 나타낸 것으로 식(10)으로 나타낼 수 있다.

$$\text{var}[\phi] = E[z^2|\phi, \Delta f = 0] - g^2(\phi) \quad (10)$$

그림 15-(b)와 같이 제안된 알고리즘의 분산 값이 기존의 알고리즘에 비해 약 0.25배이므로 페루프 설계시 정상상태에서의 지터는 타이밍 검출기 출력의 분산값의 영향을 받으므로 지터성능의 향상을 기대할 수 있다^{[10],[11]}.

타이밍 동기 회로의 페루프 설계시 등가 모델은 그림 16과 같이 나타낼 수 있고 타이밍 동기 루프 설계 과정은 각각 아래 수식으로 표현된다.

$$\phi_k = 0, \quad k = 0 \quad (11)$$

$$\phi_k = \theta_k - k_v \times \sum_{i=0}^{k-1} y_i, \quad k > 0 \quad (12)$$

K_v 는 NCO 이득이고 $\phi_k = \theta_k - \hat{\theta}_k$ 이므로 식(12)로 표현할 수 있다. 식(11),(12)를 이용하여 차등식을 만들면 식(13)~(15)와 같다.

$$\phi_k - \phi_{k-1} = \theta_k - \theta_{k-1} - (\hat{\theta}_k - \hat{\theta}_{k-1}) = \theta_k - \theta_{k-1} - y_{k-1} \quad (13)$$

$$(1-z^{-1})\phi_k = (1-z^{-1})\theta_k - k_v z^{-1} y_k \quad (14)$$

$$y_k = z^{-n} D(z)[K_d g(\phi_k) + n'(k)] \quad (15)$$

z^{-n} 은 bulk delay이고^[12], k_d 는 타이밍 에러 검출기의 이득이다. 2차로 구성된 디지털 타이밍 동기 루프는 1개의 극점을 가지는 1차 필터로 식(16)과

같이 표현 할 수 있다.

$$D(z) = G_1 + \frac{G_2}{1-z^{-1}} \quad (16)$$

식(13)~(15)를 이용하여 식(16)은 식(17)과 같이 나타낼 수 있다.

$$\phi_k = \theta_k - \frac{k_v z^{-1}}{1-z^{-1}} z^{-n} D(z) [k_d \phi_k + n'(k)] \quad (17)$$

타이밍 동기를 위한 전체 루프의 전달 함수는 식(13),(16),(17)을 이용하여 식(18)과 같이 나타낼 수 있다.

$$H(z) = \frac{\hat{\theta}}{\theta} = \frac{K_d K_v G_1 (z-1) + K_d K_v G_2 z}{z^n (z-1)^2 + K_d K_v G_1 (z-1) + K_d K_v G_2 z} \quad (18)$$

제어 루프 설계시 고려해야 할 중요한 사항이 안정성(Stability) 문제이다. 안정성은 루프대역에 영향을 받기 때문에 PLL의 성능과 관련 있는 포착(Pull-in) 영역, 추적 시간(locking time) 제한 및 결정에 있어서 중요하다. 디지털 구현에 있어서 루프 지연의 일종인 bulk delay는 고속처리일수록 영향력이 커지며 이는 루프의 안정성에도 영향을 미친다^[12]. 비대칭 신호의 영향이 없는 경우 그림 17과 같이 bulk delay값이 증가함에 따라 20배속 (523.2MHz) 기준으로 pull-in 영역이 줄어들음을 알 수 있다. 잡음, 비대칭 신호, blank, 지문(finger print)과 같은 데이터 신호 왜곡은 배속이 높아짐에 따라 DVD 시스템 성능 저하에 주요 요인이 된다. 그림 17에서 같이 루프 성능의 향상을 위해 루프 대역을 높이기 되더라도 bulk delay 영향 때문에 bulk delay 10 클럭 이상일 경우 pull-in 영역이 증가되지 않는다.

3. 성능 비교 결과

그림 15는 타이밍 에러 검출기 알고리즘과 SNR에 따라 주파수 오차 추적시 정상상태 지터 성능을 비교한 것이다. 제안된 알고리즘이 기존의 알고리즘에 지터 성능이 우수하다. 그림 12-(b)에도 언급했듯이 정상상태에서의 추적 지터량은 식(19)와 같이 표현할 수 있고 $S_n(\omega)$ 는 식(10)에의 잡음 전력 스펙트럼이다.

$$\sigma_\phi^2 = \frac{1}{2\pi} \int_{-\infty}^{\infty} |H(\omega)|^2 S_n(\omega) d\omega \quad (19)$$

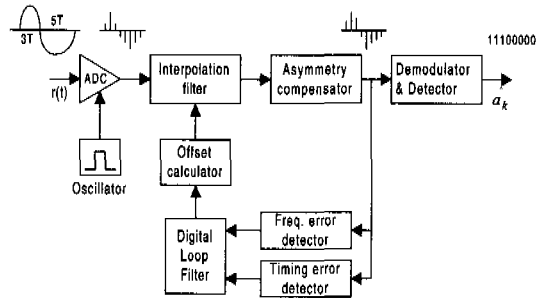
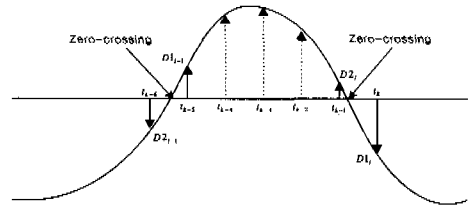
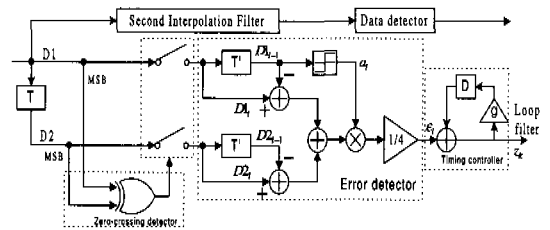


그림 13. 제안된 타이밍 에러 검출기를 가진 동기화 루프의 구조도

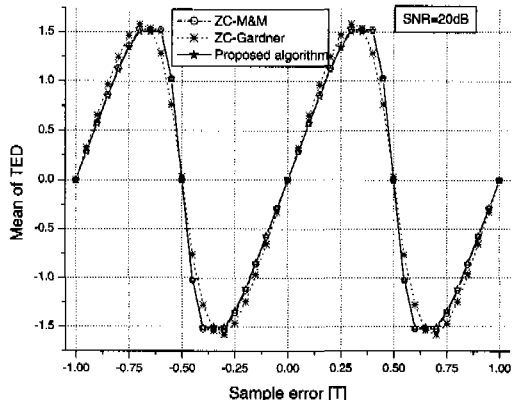


(a) 영점 교차 지점에서 타이밍 에러 검출을 위한 샘플단위의 신호 파형

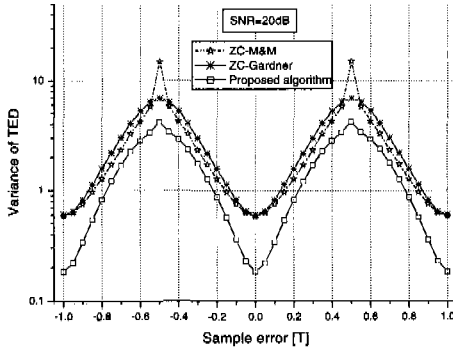


(b) 제안된 타이밍 에러 검출기의 구조도

그림 14. 제안된 타이밍 에러 검출기



(a) 타이밍 에러 검출기 출력의 평균 특성



(b) 타이밍 에러 검출기 출력의 분산 특성

그림 15. SNR 20dB인 경우 타이밍 에러 검출기 출력의 평균과 분산 특성

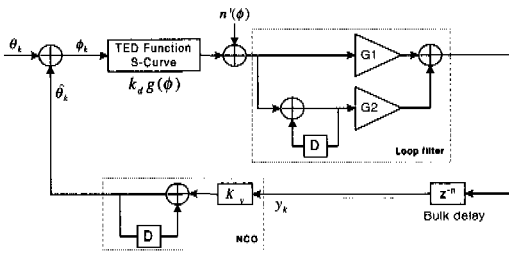


그림 16. 제안된 타이밍 에러 검출 시스템에 적용되는 2차 PLL의 등가 모델

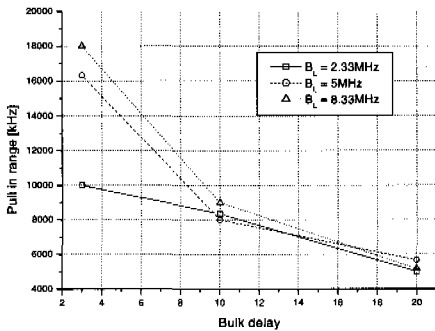


그림 17. Bulk delay가 존재하는 경우 PLL의 Pull-in 영역

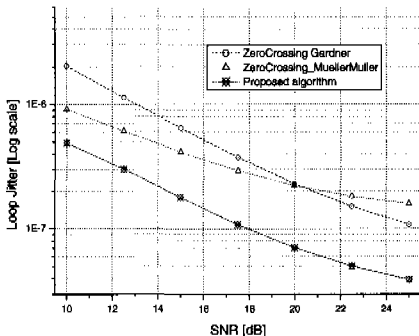
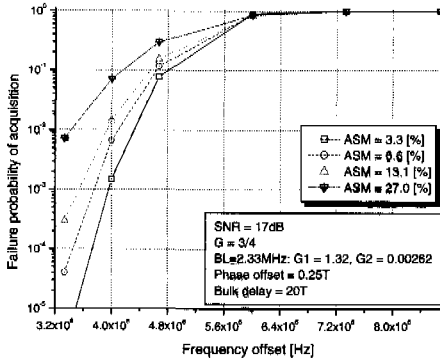


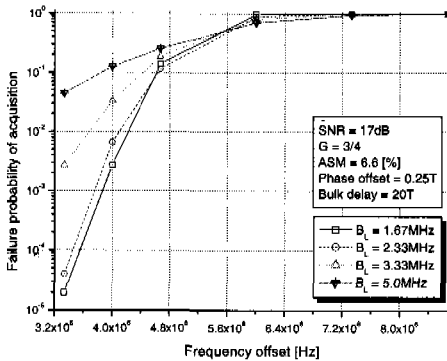
그림 18. 타이밍 에러 검출 알고리즘별 주파수 오차 추적시 정상상태의 지터 성능

V. 통합 시뮬레이션 결과

V장에서는 IV장에서 설계된 디지털 타이밍 동기 루프에 비대칭 신호 보정기를 결합시켜 성능 평가를 수행하였다. 컴퓨터 모의 실험을 통해 여러 가지 채널 특성과 시스템 파라미터에 대해 BER 성능 평가와 주파수 오차 포착의 실패확률을 구했다. 그림 19는 제안된 타이밍 에러 검출 알고리즘과 비대칭 신호 보정 알고리즘을 사용하여 그림 17에서 제시된 pull-in 영역의 경계에서 주파수 오차 포착 실패 확률을 살펴 보았다. 그림 19-(a)는 루프 대역 2.33MHz 인 경우 비대칭 양에 따른 포착 실패 확률이다. 비대칭 양이 증가함에 따라 포착 실패 확률이 증가되는 현상을 볼 수 있는데 포착 실패 확률이 1%일 때 비대칭 신호의 양이 3.3%과 27% 사이에서 pull-in 영역의 범위 차이는 900 kHz 정도 된다. Disc의 손상이 심한 blank 현상으로 인해 타이밍 동기가 재수행될 때 포착 성공확률은 비대칭 신호의 양이 증가함에 따라 감소하게 된다. 그림 19-(b)는 비대칭 양이 6.6%일 때 루프 대역값에 따른 주파수 오차 포착 실패 확률이다. 그림 17에서와 같이 bulk delay가 10 클럭 이상인 경우 pull-in 영역이 거의 모든 루프 대역에 크게 영향을 받지 않기 때문에 잡음과 비대칭 신호의 영향을 줄이기 위해 루프 대역을 줄이는 것이 바람직하다. 그림 20은 비대칭 신호 보정기로 DSV(Digital Sum Value) 알고리즘을 사용했을 경우 타이밍 검출 알고리즘에 따른 BER 성능 평가를 나타내었다. 성능 비교시 제안된 타이밍 동기 시스템의 타이밍 에러 검출기만 변화된 경우 영점 교차 Gardner 알고리즘에 비해 비대칭 양이 3.3%일 때 BER 3×10^{-3} 에서 SNR 3dB 이득을 볼 수 있다. 특히, SNR이 증가함에 따라 제안된 알고리즘은 Gardner 알고리즘에 비해 BER 성능 향상이 현격히 증가함을 볼 수 있다. 그리고 입력 신호에 비대칭 왜곡이 존재하는 경우 비대칭 보정기 동작시 비대칭 신호가 없는 경우에 비해 약간의(1dB 이하) 성능 열화가 있음을 확인할 수 있었다. 그림 21은 제안된 타이밍 에러 검출 알고리즘과 제안된 비대칭 보정 알고리즘을 사용했을 경우 그림 9, 10, 13, 14에서 보여지는 디지털 타이밍 동기 루프에 의한 데이터 복원을 나타내는 BER 성능 평가를 수행하였다. 제안된 비대칭 보정 알고리즘은 비대칭 양이 15.6%일 때 BER 10^{-3} 에서 DSV 알고리즘에 비해 0.4dB BER 성능이 향상되



(a) 비대칭 양에 따른 성능평가



(b) 루프 대역에 따른 성능 평가

그림 19. 루프 대역과 비대칭 정도에 따른 PLL의 주파수 오차 포착 실패 확률

고 영점교차 3샘플 방식에 비해 2dB 성능이 향상된다.

VI. 결론

본 논문에서는 첫째, 실제 DVD 시스템에 적용 차원에서 기존의 DSV와 영점 교차 3샘플을 이용한 비대칭 보정 알고리즘과 제안된 영점교차 4샘플 방식을 분석 비교하였다. 모의 실험 결과는 SNR 이득 측면에서 제안된 4샘플 방식이 비대칭 양 15.6%에서 DSV 알고리즘에 비해 0.4dB, 영점교차 3샘플 방식에 대해 2dB 성능 향상을 보인다. 그리고 기존의 DSV 알고리즘과 영점 교차 3샘플 방식에 비해 비대칭 보정 시간의 50% 감소와 22%, 34%의 지터 성능 향상을 보인다. 이런 결과는 비대칭 신호 검출기의 극성 판정의 정확성 때문에 비대칭 양이 큰 경우(15.6%이상)에도 유효하다.

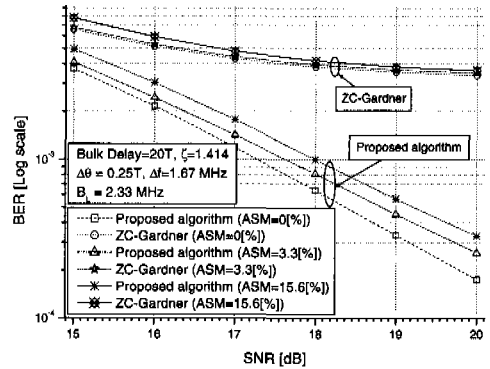


그림 20. 비대칭 보정기로 DSV 알고리즘을 사용한 경우 타이밍 에러 검출 알고리즘별 통합된 시스템의 BER 성능평가

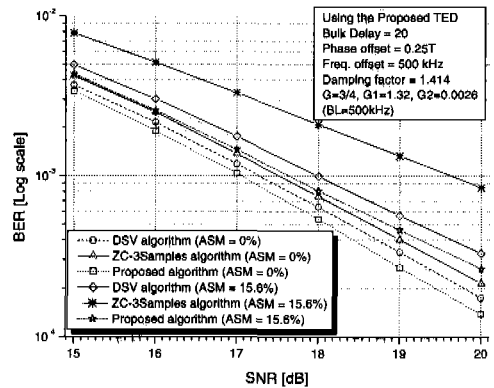


그림 21. 제안된 타이밍 검출기(변형된 Early-Late 구조)를 사용한 경우 비대칭 신호 보정 알고리즘별 통합 시스템의 BER 성능평가

둘째, 고배속 DVD 시스템에서의 효율적인 타이밍 동기 기법이 제시되었고 기존 알고리즘들과 성능 비교를 수행하였다. 제안된 타이밍 에러 검출기는 기존의 영점 교차를 이용한 Gardner와 M&M 알고리즘에 비해 지터 성능을 0.25배로 줄어듬을 알 수 있었고 비대칭 양이 3.3%이고 BER 3×10^{-3} 에서 영점 교차 알고리즘에 비해 SNR 3dB 이득을 볼 수 있었다. 디지털 타이밍 동기 기법의 pull-in 영역은 bulk delay와 루프 대역 값에 따라 영향을 받음을 알 수 있었고 모의 실험 결과 bulk delay 10 클럭 이하에서 pull-in 영역의 감소 비율이 상대적으로 증가함을 알 수 있었다. 비대칭 신호의 영향과 잡음 blank에 의한 주파수 오차 포착 실패확률을 감소시키기 위해서는 루프 대역을 감소가 필요함을 확인하였다.

결론적으로 제안된 타이밍 에러 검출기와 비대칭 보정 알고리즘을 가진 디지털 동기 루프의 성능은

기존의 영점교차 Gardner/DSV 알고리즘과 영점교차 Gardner/ 3샘플 방식에 비해 상당부분 성능 향상을 확인 할 수 있었다.

참 고 문 헌

[1] J.W.M. Bergmans, *Digital Baseband Transmission and Recording*, Kluwer Academic Publishers.

[2] J. S. Lee, et al, "A Wide Range PLL for 64X Speed CD-ROM & 10X Speed DVD-ROM," *IEEE International Conference on Consumer Electronics*, vol. 1, pp. 98-99, 2000.

[3] K. H. Mueller and M. Muller, "Timing recovery in digital synchronous data receivers," *IEEE Trans. Commun.*, vol. COM-14, pp. 516-530, May 1976.

[4] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," *IEEE Trans. Commun.*, vol. COM-34, No. 5, pp. 423-429, May 1986.

[5] Takumi Hayashiyama et al, DSV Control System, US Patent 6014094, Jan. 2000.

[6] Tonami, Jinichiro, Reproducing apparatus, Europe Patent 1014363A2, Jan. 2000.

[7] L. Agarossi, S. Bellini, A. Canella, P.Migliorati, "A Volterra Model for the High Density Optical Disc," *Proc. ICASSP'98*, May 1998, Seattle, WA, USA.

[8] Gene Sonu et al, "Partial-Response Maximum-Likelihood Core Development for a CD/DVD Controller Integrated Circuit," *IEEE Trans. Magn.*, Vol. 37, No. 2, Mar. 2001.

[9] H. Pozidis, W.M.J. Coene, J.W.M. Bergmans, "A Simple Nonlinear Model for the Optical Recording Channel," *IEEE International Conference on Communications*, Vol. 1, pp. 99-103, 2000.

[10] Heinrich Meyr, Marc Moeneclaey, and Stefan A.Fechtel, *Digital Communication Receivers: Synchronization, Channel Estimation, and Signal Processing*, Wiley-Interscience, 1998.

[11] 최형진 동기방식 디지털 통신, 교학사 1995.

[12] J.W.M. Bergmans, "Effect of loop delay on stability of discrete-time PLL," *IEEE Trans.*

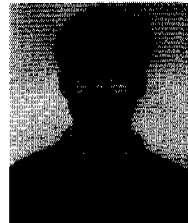
on Circuit and Systems, vol 42, No. 4, pp.229-231, Apr. 1995.

[13] C. H. Lee and Y. S. Cho, "A PRML detector for a DVDR system," *IEEE Trans. Consumer Electronics*, Vol. 45, No.2, pp 278-285, May. 1999.

[14] P. S. Kim, et al, "A Advanced Asymmetry Compensation technique for High Speed Optical Drive Systems," *Japanese Journal of Applied Physics*, PT., Vol. 41, No. 3B, Mar. 2002.

김 판 수(Pan Soo Kim)

준회원



2000년 2월 : 성균관대학교
전기 전자 컴퓨터공학부
졸업
2000년 3월 ~ 현재 : 성균관대학교
전기전자 및 컴퓨터공학부
석사과정 재학중

<주관심 분야> 디지털 통신 시스템, 이동통신(W-CDMA)시스템, 모뎀 기술과 관련된 통신 신호 처리 및 동기화 기술,

고 석 준(Seok Jun Ko)

정회원

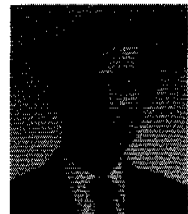


1996년 2월 : 성균관대학교
전자공학과 졸업
1998년 2월 : 성균관대학교
전자공학과 석사
2001년 2월 : 성균관대학교
전기전자 및 컴퓨터공학부
(공학박사)

2001년 3월~2001년 8월 : 성균관대학교
전기전자 및 컴퓨터공학부 박사후 과정
<주관심 분야> 모뎀 기술과 관련된 디지털 신호처리, 동기화 기술, 추정이론, 통신 이론

최 형 진(Hyung-jin Choi)

정회원



1974년 2월 : 서울대학교
전자공학과 졸업
1976년 2월 : 한국과학기술원
전기전자공학과 석사
1976년 3월~1979년 7월 :
(주)금성사 중앙연구소
연구원

1979년 9월~1982년 12월 : 미국 University of
Southern California

전기공학과 (공학박사)

1982년 10월~1989년 2월 : 미국 Lincom Corp. 연
구원

1989년 3월~현재 : 성균관대학교 전기전자 및 컴퓨
터 공학부 교수

<주관심 분야> 디지털통신, 무선통신, 이동통신, 위
성통신 및 동기화 기술을 포함한 MODEM
기술

이 재 욱(Jae-Wook Lee)

정회원



1996년 2월 : 연세대학교

전기공학과 졸업

1998년 2월 : 연세대학교

전기공학과 석사

1998년 1월 : (주) 삼성전자 DVD

read-channel ASIC

개발 전문 연구원

<주관심 분야> 디지털 신호처리, 동기화 기술, H/W
및 ASIC 설계, DFT(Design For Testabil-
ity), BIST(Built-In Self Test)

이 정 현(Jung Hyun Lee)

정회원



1997년 2월 : 미국 New York

Institute University 정보

통신 공학과 졸업

1999년 2월 : 미국 New York

Institute University 정보

통신 공학과 석사

2001년 2월 : 삼성 종합 기술원 DVD read-channel
ASIC 개발 전문 연구원

<주관심 분야> 디지털 신호처리, 동기화 기술, H/W
및 ASIC 설계