

WCDMA 시스템의 단말기측 time tracker 설계 및 구현

정회원 예 충 일, 장 경 희, 김 환 우

On the user equipment (UE) side time tracker design and implementation of the WCDMA system

Choong-Il Yeh, Kyung-Hi Chang, Whan-Woo Kim Regular Members

요 약

본 연구는 wideband code division multiple access (WCDMA) 단말기 복조기의 주요 구성 요소인 time tracker의 구현과 설계 parameter 설정에 관한 것이다. Time tracker는 2차 feedback loop로 구성되었고 모의실험을 통하여 time error detector (TED)의 이득을 기지국이 송출하는 전체 전력에서 CPICH 전력이 차지하는 비의 함수로 도출하였다. Loop filter, numerically controlled oscillator (NCO) 설계를 포함한 time tracker의 전달함수를 구하였다. 모의실험을 통하여 기지국과 단말 사이의 clock time offset, loop bandwidth를 매개변수로 하여 DPCH 전력에 따른 bit error rate (BER)를 구하였고 이를 근거로 통신 환경에 따라 설정해 주어야 할 적합한 이득 값을 제시하였다.

ABSTRACT

This paper is on the user equipment (UE) side time tracker design and implementation of the wideband code division multiple access (WCDMA) system. The time tracker is constructed as a second order closed loop including time error detector (TED), loop filter (LP), numerically controlled oscillator (NCO), and sample selector (SS). Through the simulation, we found the gain of the TED as a function of the CPICH power contribution to the total transmission power of the base station. Also we derived the transfer function of the loop and the BER versus DPCH power relationships where timing offsets and loop noise bandwidths are used as parameters. In the curve, we can conclude that there are appropriate loop noise bandwidths according to the given environments for the better performance.

I. Introduction

제3세대 이동통신시스템의 일종으로 WCDMA 시스템이 유럽과 일본을 중심으로 3rd generation partnership project (3GPP)에서 표준화가 완료되었다. WCDMA 시스템은 이동 중인 사용자에게 최대 2M bits/s의 무선 서비스를 제공할 수 있는 현재의 이동통신시스템보다 한 단계 진보된 것으로 일본의 NTT DoCoMo는 FOMA(freedom of multimedia acces

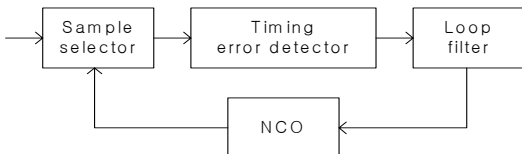
s)라는 이름으로 이미 상용 서비스를 제공하고 있고 우리나라는 이미 2개의 사업자를 선정하고 상용 서비스를 준비하고 있다.

본 연구는 WCDMA 시스템의 단말기측 code tracker에 대한 것이다. Code tracker는 cell searcher (CS) 또는 multipath searcher (MPS)로부터 1/2 chip 해상도의 code 동기 정보를 받고 그들이 지정해 주는 위치에서 시작하여 negative feedback 동작에 의해 8/1 chip 해상도 이내로 code 동기를 계속적

* 원광대학교, 전자통신연구원

논문번호 : 020123-0315, 접수일자 : 2002년 3월 15일

으로 추적하는 기능을 수행한다. Code 추적을 위해 tracker가 이용하는 하향채널은 common pilot channel (CPICH) 이다. CPICH는 단말의 code track, channel estimation, automatic frequency control, signal-to-interference ratio (SIR) 측정 기능 등을 지원하기 위해 기지국이 항시 송출하는 채널로 전체 기지국 송출 전력의 10% 정도를 차지한다. Code tracker의 구성은 (그림 1)과 같이 TED, loop filter (LP), numerically controlled oscillator (NCO), sample selector (SS)를 구성 요소로 하여 second order로 구성하였고 LP의 이득을 탄력적으로 조절하여 전체 loop 이득을 제어하도록 하였다.



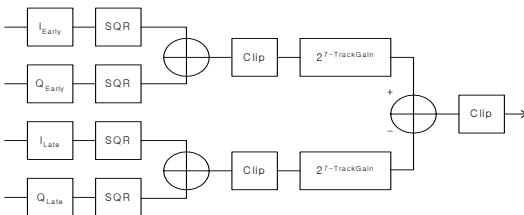
(그림 1) Code tracker의 구성도

본 논문에서는 fixedpoint 모의실험을 통하여 TED의 이득을 CPICH 전력의 함수로 구하였고, 기지국과 단말 사이에 존재하는 clock offset 값에 따른 최적의 loop 이득을 제시하였다. Timing offset에 따라 다양한 loop bandwidth를 적용하고 각 경우에 대한 BER을 측정하고 최소의 BER이 얻어지는 loop bandwidth를 실제로 구현한 시스템에 적용하였다.

II. Code Tracker 구성 요소

1. Timing Error Detector

TED는 기지국과 단말 사이에 존재하는 clock timing offset을 측정하는 block으로 early-despreader 및 late-despreader를 구비하고 있다. Early 및 late-despreader로 입력되는 sample은 on-sample point를 기준으로 각각 1/4 chip 해상도의 정확도로 제공된다. (그림2)는 TED block diagram 이다.



(그림 2) TED block diagram

CPICH가 전체 전력에서 차지하는 비율에 따라 측정된 TED의 이득은 식 (1)과 같다.

$$K_{TED} = \frac{c_1}{T_c} (\text{CPICH power \% among the total base station power}) K_{gain} \quad (1)$$

식 (1)에서 c_1 은 모의 실험을 통하여 결정되는 상수이다. 식 (1)로부터 TED 이득은 CPICH 전력이 전체 전력에 기여하는 정도가 크면 기율기가 급해지고 그 반대일 경우 완만해 짐을 알 수 있다. TED 이득이 CPICH 전력 값이 전체 하향 채널 전력에서 차지하는 정도에 따라 변하는 현상을 보정하기 위해 early 및 late energy 값에 $2^{7-TrackGain}$ 을 곱하면 CPICH 전력과 무관한 일정한 TED 이득을 기대할 수 있다. TrackGain은 식 (2)에 의해 구할 수 있다.

$$TrackGain = n \text{int} \{ \log_2 (10 \times \text{CPICH power \% among the total base station power} \times 128) \} \quad (2)$$

즉, CPICH 전력이 전체 전력의 10%일 경우 TrackGain을 7로 하고 20%일 경우는 8로 하면 된다.

K_{gain} 은 ADC, matched filter, 제곱에 의한 전력 계산 이후 하드웨어 구현을 간단히 하기 위해 도입한 shift operation을 고려한 이득이다. I/Q channel을 sampling 하기 위한 8-bit ADC의 settling point는 fading을 고려하여 식 (3)과 같이 설정되면 최대의 signal-to-quantization noise ratio를 기대할 수 있다. 여기서 quantization noise는 granular와 overload error를 모두 포함한다.

$$E[|ADCOutput|] = \frac{ADCOutput|_{\max}}{c_2} = \frac{128}{c_2} \quad (3)$$

식 (3)에서 c_2 의 값은 모의실험에 의해 결정되는 상수이다.

Matched filter는 4배 interpolator를 사용하므로

K_{gain} 은 식 (4)와 같이 주어진다.

$$K_{gain} = 2 \left(\frac{128}{4 \times c_2} \right)^2 K_{scaling} \quad (4)$$

$K_{scaling}$ 은 구현을 간단히 하기 위해 despreading과 squaring 이후에 도입되는 값으로 bit shifting 동작에 의한 이득이다.

따라서 CPICH 전력이 전체 전력의 10%일 경우 TED 이득은 식 (5)와 같다.

$$K_{TED} = \frac{c_1}{T_C} (0.1)(2) \left(\frac{128}{4 \times c_2} \right)^2 K_{scaling} = \frac{c_3}{T_C} = \frac{39.76}{T_C} \quad (5)$$

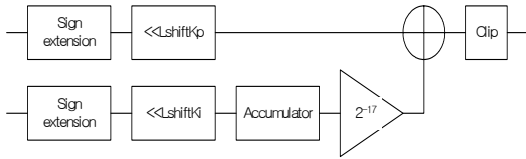
2. Loop Filter

(그림 3)은 loop filter의 block diagram이다. 이득이 K_p 인 선형부와 이득이 K_i 인 적분부를 합한 형태로 구성하였다. LP의 이득은 식 (6)과 같이 표현할 수 있다.

$$K_p + \frac{K_i}{sT_{SYM}} \quad (6)$$

상기 식에서 $K_p = 2^{LshiftKp}$ 이고

$K_i = 2^{LshiftKi-17}$ 이다.



(그림 3) Loop filter 구조

3. Numerically Controlled Oscillator & Sample Selector

NCO는 소수점 아래 16 자리와 소수점 위 한자리로 구성된다. 소수점 위 한자리가 $T_C/8$ 에 해당된다. 따라서 NCO의 이득은 2^{-16} 이다. 기본적으로 NCO는 적분기이므로 전달함수는 식 (7)과 같다.

$$G_{NCO} = \frac{K_{NCO}}{sT_{SYM}} = \frac{2^{-16}}{sT_{SYM}} \quad (7)$$

NCO가 출력하는 값을 근거로 선택되는 sampling 위치가 변경된다. NCO가 1을 출력하면 선택되는 sampling 위치가 $T_C/8$ 만큼 이동된다. Finger로 입력되는 신호의 속도가 $8/T_C$ sps(samples per second)이므로 sample selector의 이득은 식 (8)과 같다.

$$K_{SS} = \frac{T_C}{8} \quad (8)$$

III. Time Tracker 특성

1. Loop Transfer Function

2차 time tracker의 open loop transfer function과 closed loop transfer function은 각각 식 (9), 식 (10)과 같이 표현된다.

$$G_O(s) = K_{TED} \left(K_p + \frac{K_i}{sT_{SYM}} \right) \frac{K_{NCO}}{sT_{SYM}} K_{SS} \quad (9)$$

$$G_C = \frac{1}{1+G_O} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} = \frac{s^2}{s^2 + \frac{K_p K_{TED} K_{NCO} K_{SS}}{T_{SYM}} s + \frac{K_i K_{TED} K_{NCO} K_{SS}}{T_{SYM}^2}} \quad (10)$$

따라서 loop의 natural frequency 및 damping ratio는 식 (11), 식 (12)와 같다.

$$\omega_n T_{SYM} = \sqrt{K_i K_{TED} K_{NCO} K_{SS}} = \sqrt{K_i K} = \sqrt{7.58 \times 10^{-5} K_i} \quad (11)$$

$$\zeta = \frac{\omega_n T_{SYM}}{2} \frac{K_p}{K_i} \quad (12)$$

Loop의 noise bandwidth 및 cutoff frequency는 식 (13), 식 (14)와 같다.

$$B_L = B_n T_{SYM} = \frac{\omega_n T_{SYM}}{2} \zeta \left(1 + \frac{1}{4\zeta^2} \right),$$

$$B_n = \int_0^\infty |G_C(\omega)|^2 d\omega = \frac{\omega_n}{2} \zeta \left(1 + \frac{1}{4\zeta^2} \right) \quad (13)$$

$$f_c = 2\omega_n \zeta \quad (14)$$

Time tracker의 loop constant를 natural frequency와 damping-factor로부터 도출할 수 있다.

$$K_i = \frac{(\omega_n T_{SYM})^2}{K} = \frac{1}{K} \frac{(2B_L T_{SYM})^2}{\zeta^2 \left(1 + \frac{1}{4\zeta^2} \right)^2} \quad (15)$$

$$K_p = \frac{2\zeta\omega_n T_{SYM}}{K} = \frac{1}{K} \frac{4B_L T_{SYM}}{1 + \frac{1}{4\zeta^2}} \quad (16)$$

CPICH symbol 기간(256×T_C, spreading factor=256) 동안 time tracker가 T_C/8 만큼 이동할 수 있으므로 수정 가능한 최대 clock offset 값은 식 (17)과 같이 주어진다.

$$\frac{T_C/8}{256T_C} = 488 \text{ppm} \quad (17)$$

2. Loop Filter 계수 설정에 따른 Loop 특성

아래 (표 1)는 loop filter의 이득에 따른 time tracker loop의 특성을 정리한 것이다. Loop의 안정성을 고려하여 damping ratio를 1보다 크게 설정하였다. 단말국이 처음 기지국과 접속을 시도할 경우 automatic frequency control (AFC)가 안정적인 상태가 아니므로 기지국, 단말 상의 clock frequency offset이 상당량 존재한다. 이 경우 설정된 loop bandwidth를 크게 하여 수렴 속도가 빠르게 하고 AFC가 안정적인 상태에서는 loop bandwidth를 작게 하여 잡음에 대한 반응을 억제하여 시스템의 안정성을 높혀 성능 개선을 기대할 수 있다.

(표 1) Loop filter 계수 설정에 따른 loop 특성

K _i	K _p	ω _n T _{SYM}	ζ	B _L	ω _n	B _n
217	1	2.045105	1.576	2.086105	0.3129	0.2714
29	16	3.719104	1.523	3.137104	5.5785	4.7055
2	512	0.0123	1.574	1.066102	184.5	159.85

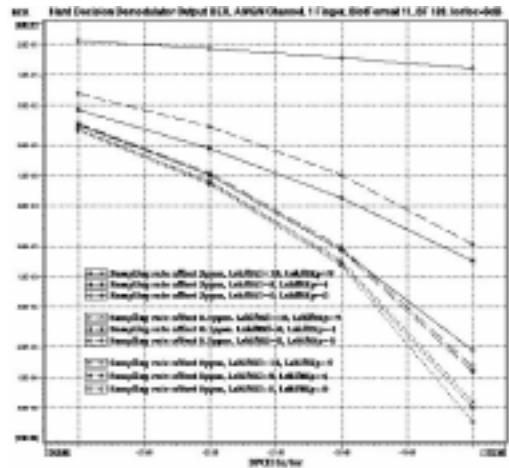
IV. 성능

AFC가 동작하기 전 허용되는 최대 clock timing offset 값은 3ppm이고 AFC가 안정적으로 동작할 때의 clock timing offset 값은 0.1ppm 이내 이다. Loop noise bandwidth는 소프트웨어로 변경 가능한 Ki 및 Kp의 값으로 조절 가능하며 (표 2)의 세가지 경우에 대하여 모의실험을 수행하였다. 모의실험 조건으로 3GPP 규격의 slot format 11을 사용하였고,

단말이 home cell에서 수신한 총전력 대비 주위의 interfering cell로부터 수신한 전력을 9dB로 설정하였다.

(표 2) 모의실험에서 사용된 loop noise bandwidth

LshiftKi	LshiftKp	Noise BW
0	0	0.2714
8	4	4.7055
18	9	159.375



(그림 4) Time tracker의 loop noise bandwidth에 따른 시스템 성능

(그림 4)는 모의실험 결과이며 가로축은 기지국 총전력 대비 기준 DPCH 전력을 나타내고 세로축은 BER을 나타낸다. 모의실험 결과로부터 0 ppm의 경우 loop noise bandwidth가 작을 때 좋은 성능을 얻을 수 있음을 알 수 있다. 그 이유는 bandwidth가 작을수록 tracking variance가 작기 때문이다. 0.1 ppm의 경우 좋은 성능을 나타내는 loop noise bandwidth를 순서대로 나열하면 4.7055Hz, 159.375Hz, 0.2714Hz의 순이다. 만일 loop bandwidth를 0.2714Hz로 선택하면 잡음에 대하여도 finger reassignment가 계속적으로 발생하므로 성능이 크게 저하 됨을 알 수 있다. (그림 4)로부터 0.1ppm의 경우 loop noise bandwidth를 4.7055Hz 또는 159.375Hz로 하면 loop가 moving sampling 위치를 잘 추적함을 알 수 있다. 3 ppm의 경우 좋은 성능을 나타내는 loop noise bandwidth를 순서대로 나열하면 159.375Hz, 4.7055Hz, 0.2714Hz의 순이다. 모의실험 결과로부터 loop noise bandwidth를 4.7055Hz

z로 할 경우 159.375Hz로 할 때와 비교하면 현저한 성능 저하가 있음을 알 수 있다. 즉, 3ppm의 경우 sampling point가 매우 빠르게 이동하므로 loop의 반응 속도를 빠르게 해 주어야 한다는 사실을 발견할 수 있다.

V. 결론

WCDMA 시스템의 단말기 수신기의 time tracker를 설계, 모의실험하고 구현하였다. Tracker의 구성은 second order closed loop로 구성하였다. 모의실험을 통하여 TED의 이득을 측정하여 CPICH 전력의 함수로 구하였고 loop 특성식을 유도하여 loop가 추적할 수 있는 최대 clock timing offset을 제시하였고 clock timing offset 값에 따른 BER을 최소화하는 loop noise bandwidth 값을 제시하여 시스템 구현시의 제어 parameter로 사용할 수 있도록 기준을 제시하였다. 본 설계대로 구현하여 Anritsu사의 기지국 simulator인 MD8480A 장비와 연동하여 시험한 결과 WCDMA 하향 채널들이 복조 뒀을 확인할 수 있었다.

감사의 글: WCDMA 단말 모뎀 개발을 위하여 상위설계부터 시험에 이르기까지 노고를 아끼지 않은 독일, 인디아의 Synopsys, 단말기모뎀연구팀에 감사를 드립니다.

참고문헌

[1] Heinrich Meyr, Gerd Ascheid, Synchronization in Digital Communications Volume 1, John Wiley & Sons, p.p.99~157, 1990.

[2] 김남수, "디지털 이동통신 시스템에서 데이터 타이밍 오차와 수신 대역 필터에 의한 성능 열화, 한국통신학회논문지, v.18, n.10, pp.1598-1605 1226-4725, 10.1993.

[3] 강법주, "IS-95역방향 링크에서 단일 적분 및 이중 적분 검색 방식의 성능 분석, " 한국통신학회논문지, v.21, n.2, pp.383-393 1226-4725, 1996.02.

[4] 공형운, "차세대 무선통신시스템에서 전

송효율의 향상을위한 3차원 인터리버의 설계," 한국통신학회논문지, v.26, n.3B, pp.369-374 1226-4725, 2001.03.

[5] Ruly Lai-U Choi, Letaief, K.B., Murch, R.D., "MISO CDMA transmission with simplified receiver for wireless communication handsets," IEEE Transactions on Communications, v. 49, Issue 5, pp.888-898, May 2001.

[6] Ikeda, T., Okawa, K., Sawahashi, M., Adachi, F., "Experimental evaluation of coherent RAKE receiver for broadband DS-CDMA mobile radio," VTC 2000-Spring Tokyo, Volume 3, pp.1849-1853, 2000.

[7] Bottomley, G.E., Ottosson, T., Wang, Y.-P.E., A generalized RAKE receiver for DS-CDMA systems," VTC 2000-Spring Tokyo, pp.941-945, Volume 2, 2000.

[8] Welti, A.L., Bobrovsky, B.Z., "Long-term frequency stability requirements and optimal design of a code tracking delay-lock loop," GLOBECOM '88, pp.551-555, 1988.

예 충 일(Choong-Il Yeh)

정회원



1986년 2월: 부산대학교 전자공학과 학사
 1999년 2월: 청주대학교 전자공학과 석사
 1999년 9월 ~ 현재: 충남대학교 전자공학과 박사 과정
 1989년 2월 ~ 현재: 한국전자

통신연구원, 선임연구원

장 경 희(Kyung-Hi Chang)

정회원



1985년 학사 연세대학교

전자공학과

1987년 석사 연세대학교

전자공학과

1992년 박사 Texas A&M

Univ. EE

1992년 - 현재 한국전자통신

연구원, 이동통신연구소, 무선전송방식연구팀장, 책임연구원

김 환 우(Whan-Woo Kim)

정회원



1977년 2월: 서울대학교

전자공학과 학사

1979년 2월: 한국과학기술원

전기 및 전자공학과 석사

1988년 6월: University of Utah

전자공학과 박사

1980년 6월 ~ 현재 충남대학

교 전기정보통신공학부 교수

<관심분야> 초고속 디지털 통신, 디지털 신호처리, Binary CDMA 등