

155 Mb/s BiCMOS 멀티플렉서-디멀티플렉서 소자

정희원 이상훈*, 김성진*

A 155 Mb/s BiCMOS Multiplexer-Demultiplexer IC

Sang-hoon Lee*, Seong-jeen Kim* *Regular Members*

요 약

본 논문에서는 155 Mb/s급 멀티플렉서-디멀티플렉서를 단일소자로 설계하였다. 이 소자는 초고속 전송망의 전송노드 역할을 하는 2.5 Gb/s SDH 전송시스템에 적용되어 51 Mb/s의 병렬 데이터들을 155 Mb/s의 직렬 데이터로 다중화 하거나 155 Mb/s 직렬 데이터들을 51 Mb/s의 병렬 데이터로 역 다중화 하는 기능을 수행한다. 소자의 저속부는 TTL로 접속되고 고속부는 100K ECL로 접속되며 0.7 μ m BiCMOS gate array로 제작되었다. 설계 제작된 소자는 180°의 155 Mb/s 데이터 입력 phase margin을 가지며 출력 데이터 skew는 470ps, 소비전력은 2.0W 이하의 특성을 보인다.

ABSTRACT

This paper describes the design of a 155 Mb/s multiplexer-demultiplexer chip. This device for a 2.5 Gb/s SDH based transmission system is to interleave the parallel data of 51 Mb/s into 155 Mb/s serial data output, and is to deinterleave a serial input bit stream of 155 Mb/s into the parallel output of 51 Mb/s. The input and output of the device are TTL compatible at the low-speed end, but 100K ECL compatible at the high-speed end. The device has been fabricated with a 0.7 μ m BiCMOS gate array. The fabricated chip shows the typical phase margin of 180 degrees and output data skew less than 470 ps at the high-speed end. And power dissipation is evaluated under 2.0W.

1. 서론

현재 2.5 Gb/s SDH(Synchronous Digital Hierarchy) 광전송시스템은 대용량의 데이터를 빠른 속도로 전송할 수 있기 때문에 국가 초고속 전송망의 하부구조의 역할을 하고 있다. 이러한 광전송시스템에는 반도체 광소자, 광 증폭, 전/광 및 광/전 변환·복조, 디지털 ASIC 등이 채택된 시스템 하드웨어와 전송망의 망 관리 유지보수(OA&M)를 위한 네트워크 소프트웨어 기술이 적용되고 있다. 이들 중 ASIC 소자는 광전송시스템내의 디지털 신호들의 동기식 다중화 처리를 위해서 그 기능상 여러 종류의 소자들이 요구되고 있다. 예를 들면 clock-data 복원 소자, STM(Synchronous Transport

Module)-16 구간오버헤드처리(section overhead processor) 소자, AU32/DS3 매핑(mapper) 소자, 포인터 처리(pointer processor) 소자, 고속 다중화 및 역 다중화 소자들이 요구된다. 이들 ASIC들 중 일부는 상용화되어 있지만 대부분의 경우 각 시스템의 독특한 구조로 인해 독자적으로 개발하고 있는 실정이다. 특히 고속 다중화와 역 다중화 소자들은 광전송시스템의 핵심이 되는 회로들을 포함하고 있고 고속의 특성으로 인해 GaAs나 Si-bipolar 기술을 이용한 완전주문형반도체(full custom IC) 형태로 개발하고 있다^[1-4]. 또한 51 Mb/s급 저속신호를 1단계로 다중화 하여 2.5 Gb/s 고속신호로 다중화 하는 구조보다 중간단계의 신호로 먼저 다중화 한 후 고속신호로 다중화 하는 2단계의 다중화 구조를

* 경남대학교 전기전자공학부(sanghoon@kyungnam.ac.kr, sjk1216@kyungnam.ac.kr)

논문번호 020068-0207, 접수일자 2002년 2월 7일

※ 본 연구는 2002학년도 경남대학교 학술논문게재연구비 지원으로 이루어졌습니다

채택하는 것이 소자의 설계기술 상 편리하다. 역 다중화의 경우도 다중화와 비슷한 구조를 갖는다. 따라서 본 논문에서는 2.5 Gb/s SDH 광전송시스템 중에서 고속 다중화 및 역 다중화 기능을 구현하기 위하여 51 Mb/s급 신호를 2.5 Gb/s급 STM-16 신호로 48:1 다중화 하는 과정의 중간단계로 51 Mb/s급 신호를 3:1로 비트 교직다중화(bit interleaving)하여 155 Mb/s급 신호로 다중화 하거나 역으로 비트 교직 역 다중화(bit deinterleaving)하는 비교적 단순한 기능을 수행하는 ASIC을 Texas Instruments사의 BiCMOS gate array^[5]를 이용하여 설계하였다. 만약 이와 같은 기능을 개별소자(discrete IC)들로 구성하려면 먼저 51 Mb/s TTL 신호를 양방향으로 retiming 하기 위한 플립플롭 96개, 155 Mb/s의 ECL 신호를 양방향으로 retiming 하기 위한 플립플롭 32개, 16개의 3:1 MUX, 16개의 3-bit 쉬프트레지스터를 구성하기 위한 48개의 플립플롭, timing block을 위한 플립플롭 4개, 그 외의 논리게이트와 TTL-ECL 변환 회로 등 최소 197개의 개별소자가 요구된다. 이는 과도한 칩 점유면적과 소비전력(약 7.0W 이상)의 문제점을 야기한다. 따라서 본 논문에서는 이들 기능을 BiCMOS ASIC으로 설계하여 칩의 점유면적과 소비전력을 낮추어 광전송시스템의 신뢰성을 높이고자 하였다. 아울러 대부분 소자의 경우 multiplexer와 demultiplexer를 분리하여 설계하는 것과는 달리 소자 활용의 범용성을 위해 모드 선택에 따라서 다중화 기능과 역 다중화 기능이 각각 선택 수행 가능하도록 단일소자로 설계하였다. 설계된 소자는 2.5 Gb/s 광전송시스템의 고속 다중화 및 역 다중화 유닛에 적용되어 그 기능을 확인하였다.

II. 소자의 설계

그림1은 본 논문에서 설계한 소자가 적용되는 구성도로 소자의 동작모드에 따라 데이터 송신을 위한 3:1 MUX 기능과 데이터 수신을 위한 1:3 DMUX 기능 그리고 데이터 중계를 위한 이의 혼합 적용부분으로 구분된다. 그림1(a)는 2.5 Gb/s SDH 전송시스템에서 48채널의 51 Mb/s 신호들이 2.5 Gb/s STM-16 신호로의 다중화 되는 경로를 나타낸 것이다. 구간오버헤드처리소자(SOHP)로부터 제공되는 48 채널의 51 Mb/s 신호들은 3:1과 16:1의 2단계 다중화 과정을 거쳐 2.5 Gb/s의 STM-16 신호가 된다. 이 후 fiber link를 위해 광 송신모듈

(OTX)에서 광 신호로 변환된다. 그림1(b)는 역 다중화 경로로 그림(a)의 다중화 경로의 역이 된다. 그림1(c)는 광전송시스템이 중계기로 사용될 때 소자가 적용되는 것을 보여준다. 광 수신모듈(ORX)로부터 수신된 STM-16의 광 신호는 clock과 data 복원회로(CDR)로부터 2.5 GHz clock과 2.5 Gb/s data로 재생된 후 1:16과 1:3 demultiplexer에서 2 단계로 역 다중화 되고 구간오버헤드처리소자(SOHP)에서 재생기 구간 오버헤드만 처리된 후 다시 48:1의 다중화 과정을 거쳐 STM-16의 광 신호로 출력된다. 따라서 본 논문에서 설계한 소자는 이와 같은 일련의 다중화 및 역 다중화의 처리과정에서 48 채널의 51 Mb/s 신호를 3:1 비트 교직 다중화 하여 16 채널의 155 Mb/s 신호로 다중화 하거나 또는 모드 선택에 따라서 동일한 소자로 다중화 기능의 역인 16 채널의 155 Mb/s 신호를 1:3 비트 교직 역 다중화 하여 48 채널의 51 Mb/s 신호로 역 다중화 시킨다. 표1은 소자의 모드 선택에 따른 기능을 보여준다.

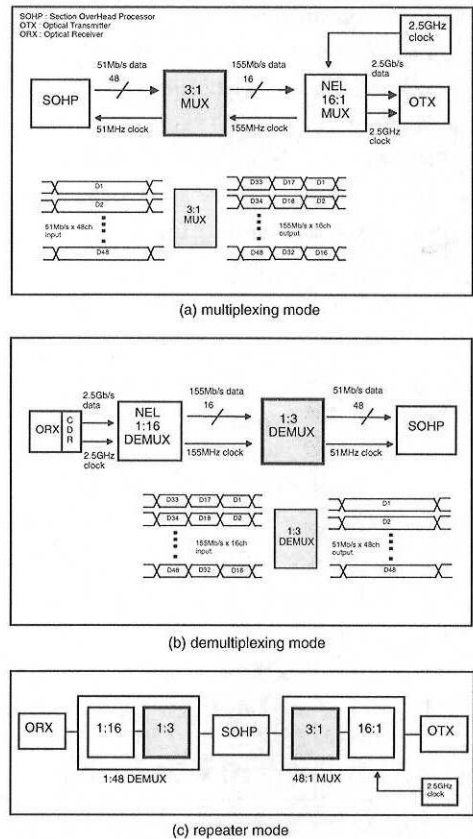


그림 1. 소자의 응용도

표 1. 모드선택에 따른 소자의 기능

| MODE | CONTROL SIGNAL | FUNCTION | |
|-----------|----------------|------------------|------------------|
| | MUX_/DMUX | INPUT | OUTPUT |
| 3:1 MUX | HIGH | 48채널 51 Mb/s | 16채널 155 Mb/s |
| 1:3 DEMUX | LOW | 16채널 155 Mb/s | 48채널 51 Mb/s |

설계를 위하여 사용된 TI사 BiCMOS gate array의 기본적인 내부구조는 그림2와 같다. 전기적 신호 레벨은 TTL, CMOS, ECL, BTL, CTL, Pseudo ECL(PECL)의 6가지 전기적 레벨을 이용할 수 있으나 여기서는 51 Mb/s의 저속신호 접속에는 TTL 레벨을 155 Mb/s의 고속신호 접속에는 ECL 레벨로 하였고 내부 회로부는 모두 CMOS 혹은 BiCMOS로 구성하였다. 소자의 세부 구성은 그림3에서와 같이 공통적으로 사용되는 timing block과 16개의 동일한 MUX_DEMUX block들로 구성된다.

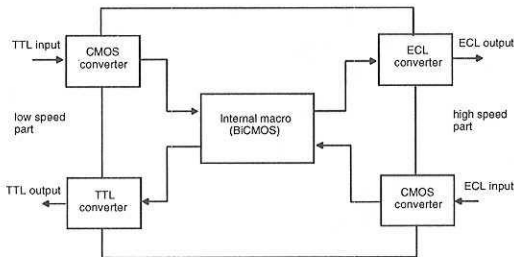


그림 2. BiCMOS gate array 내부 구성도

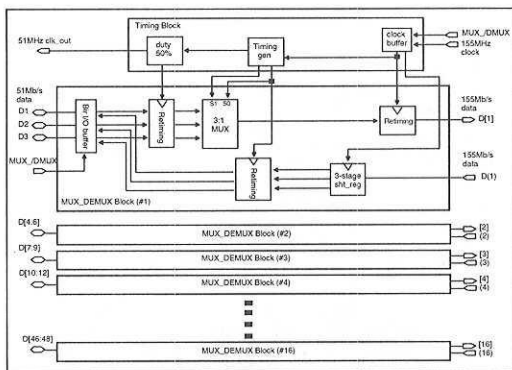


그림 3. 소자의 구성

timing block은 그림4에 나타난 세부회로도도 같이 외부에서 공급되는 155 MHz의 clock을 입력으

로 하여 timing 발생회로에서 다중화 및 역 다중화를 위한 제어신호(S₀, S₁)를 생성한다. 또한 이들 제어신호를 이용해 duty ratio 50%의 51 MHz의 clock을 발생시킨다. 특히 소자의 소비전력을 낮추기 위해서 소자가 사용되는 모드에 따라서 MUX 혹은 DEMUX 부분에만 clock이 인가되도록 clock buffer에서 gated clock으로 처리하였다. 아울러 clock buffer는 fanout이 크고 timing에 매우 민감한 부분이므로 clock 신호의 duty 변동을 줄이고자 inverter chain의 clock 분배구조를 채택하여 clock skew를 줄였다. MUX_DEMUX block 중 MUX 부분은 D₁에서 D₄₈ 까지 입력되는 48 채널의 병렬 데이터 51 Mb/s의 신호들을 모두 16개의 sub-block으로 3:1 비트 교직 다중화 하여 16 채널의 155 Mb/s의 직렬 데이터를 출력시킨다. 이와 반대로 DEMUX 부분은 16 채널의 155 Mb/s 데이터를 입력받아 3-bit 쉬프트레지스터로 구성된 16개의 직·병렬변환 sub-block의 1:3 비트 교직 역 다중화에 의해 48채널의 51 Mb/s 병렬 데이터를 생성시킨다.

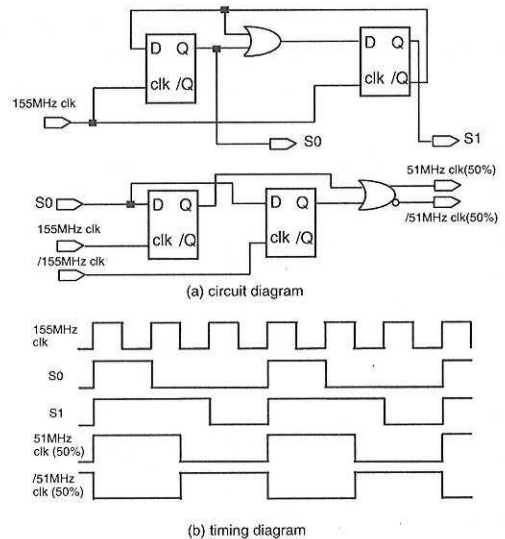


그림 4. Timing block의 회로 및 파형

소자의 설계과정은 그림5에 나타난 순서대로 이루어 졌으며 소프트웨어 platform은 Cadence사의 Composer tool로 회로를 설계하였고 모든 시뮬레이션 과정은 Verilog-XL tool을 사용하여 그 기능을 검증하였다. layout은 TI의 IKOS tool을 이용하였다. 소자제작에 사용된 반도체 마스크의 수는 19장이다.

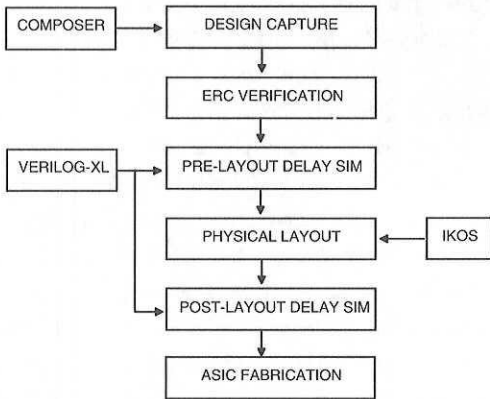


그림 5. 소자의 설계과정

III. 시험결과

설계 제작된 소자의 동작은 그림6의 시험 구성에 따라 확인되었다. 그 구성은 48 채널의 51 Mb/s 저속 입력 데이터들을 설계한 소자에서 3:1로 다중화 하여 16 채널의 155 Mb/s 데이터를 형성시키고 이를 다시 상용 MUX 칩에 의하여 16:1로 다중화 한 후 2.5 Gb/s의 고속 데이터를 형성하는 다중화 경로와 형성된 2.5 Gb/s의 고속 데이터를 상용 DEMUX 칩에 의해서 1:16으로 역 다중화 하여 16 채널의 155 Mb/s 데이터를 형성시키고 이를 다시 설계한 소자에서 1:3 역 다중화로 48 채널의 51 Mb/s 저속 데이터로 출력하는 역 다중화 경로로 구성된다. 따라서 다중화 경로 상의 소자는 MUX 모드 설정되고 역 다중화 경로 상의 소자는 DEMUX 모드로 설정된다. 제작된 소자의 올바른 동작여부는 MUX 모드로 설정된 소자의 입력 데이터들과 DEMUX 모드로 설정된 소자의 출력 데이터를 서로 채널 별로 비교하는 것으로 확인하였다. 그림7은 MUX 모드로 설정된 소자에 입력되는 임의의 51 Mb/s 데이터와 DEMUX 모드로 설정된 소자에서 출력되는 51 Mb/s 데이터 출력의 파형을 측정 한 것이다. 입·출력 데이터의 파형이 잘 일치함을 보여준다. 이와 같이 제작된 소자의 모든 입출력 채널은 2.5 Gb/s 데이터 전송시험을 통하여 그 기본 기능이 잘 동작됨을 확인할 수 있었다.

다음으로 제작된 소자의 AC 특성을 확인하기 위해서 몇 가지 중요한 timing parameter의 측정을 수행하였다. 그림6의 시험 구성에서의 역 다중화 경로 중 설계된 소자가 DEMUX 모드로 사용될 경우 16 채널의 155 Mb/s의 입력 데이터와 155 MHz의 입

력 clock 간의 timing 위상 관계는 설계된 소자의 timing margin을 결정한다. timing margin은 입력 데이터가 어느 정도의 phase margin을 가지고 소자에 정확하게 latch 될 수 있는가를 보여주는 입력 clock의 위상변동 범위를 말한다. phase margin은 일반적으로 다음의 식으로 결정된다.^[6]

$$\text{Phase Margin} = [1 - (t_s + t_h)/t_{clk}] \times 360^\circ \quad (1)$$

여기서 t_s 는 설계된 소자의 setup time, t_h 는 hold time, t_{clk} 는 clock의 주기이다. 일반적으로 phase margin은 180° 의 값을 요구한다. 이는 설계한 소자의 최대동작주파수가 155 MHz이므로 6.4 ns의 clock 주기를 갖게된다. 따라서 입력 데이터의 eye pattern 중 전송 노이즈나 timing jitter 등으로 인해 phase margin 180° 에 해당하는 3.2 ns의 timing margin이 손실되는 경우에도 소자가 입력 데이터를 올바르게 처리할 수 있음을 의미한다.

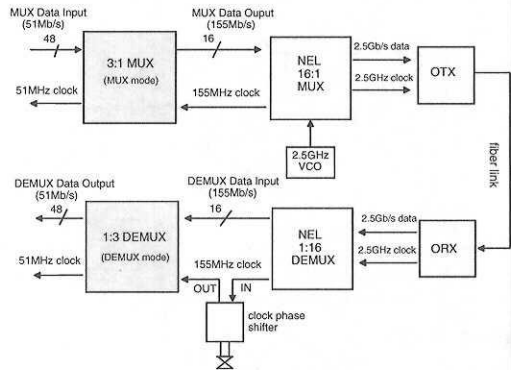


그림 6. 소자의 시험 구성도

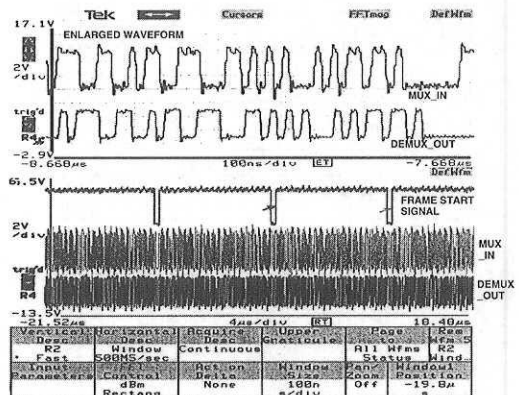


그림 7. 측정된 소자의 입·출력 파형

따라서 식(1)에 의해서 결정되는 phase margin을 얻기 위해서는 소자의 setup time과 hold time을 post-layout 시뮬레이션 과정을 통하여 분석할 수 있으나 여기서는 좀 더 정확한 값을 얻기 위하여 실험적으로 결정하였다. 즉 그림6에서와 같이 설계한 소자의 phase margin을 측정하기 위해서 DEMUX 모드로 놓여있는 소자에 입력되는 155 MHz의 clock 위상을 phase shifter로 조금씩 조정하면서 입력 데이터가 latch된 후 올바른 역 다중화 데이터가 나오는 입력 clock의 위상 변동 범위를 측정하였다. 측정된 phase margin은 거의 180°의 값을 보여 주었다.

아울러 그림6의 시험 구성에서의 다중화 경로 중 설계된 소자가 MUX 모드로 사용될 경우 인접 상용 16:1 MUX 칩(NL4702)^[7]과의 timing 관계는 상용 MUX 칩이 이 후 올바른 2.5 Gb/s의 데이터 프레임을 형성하기 위해서 매우 세심히 고려해야 할 사항이다. 사용된 상용 16:1 MUX 칩은 그 칩의 규격 상 155 MHz의 clock을 설계된 소자에 공급하고 적어도 3.0 ns 이내에 설계된 소자로부터 155 Mb/s의 데이터를 입력받아야만 정확한 2.5 Gb/s 데이터 프레임을 형성할 수 있다. 이와 같은 요구조건을 설계한 소자가 만족하는 지를 확인하기 위하여 155 MHz 입력 clock에 대한 155 Mb/s 출력 데이터 반환시간을 측정하였다. 그림8은 이의 측정 결과를 보여준다. 측정된 1.32 ns의 값은 상용 MUX 칩에서 요구하는 조건인 3.0 ns 이내의 값을 충분히 만족한다.

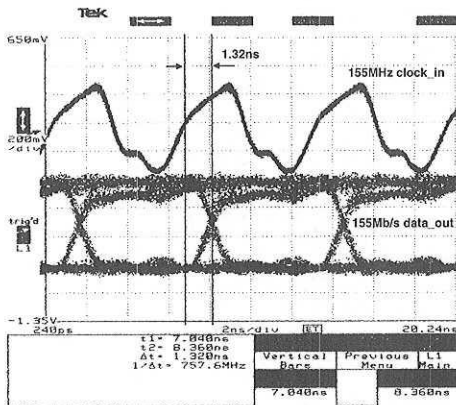


그림 8. 측정된 155 MHz clock 입력과 155 Mb/s data 출력파형

다음으로, 설계된 소자가 MUX 모드로 동작할

때 16 채널의 155 Mb/s 병렬 데이터를 출력하고, DEMUX 모드로 동작할 때는 48 채널의 51 Mb/s 병렬 데이터를 출력하므로 이들 출력 데이터들의 채널간 bit 편차를 보여주는 data skew는 소자 출력 신호의 품질을 결정하는 요소가 된다. 이들 병렬 데이터의 과도한 skew는 clock 신호로 이들 데이터를 retiming할 때 심각한 오류를 발생시키고 인접 소자의 timing margin을 저하시키는 결과를 초래한다. 그림9는 DEMUX 모드로 설정된 소자의 51 Mb/s 출력 데이터들의 4 채널에 대한 skew를 측정된 결과로 $\Delta t(\max) = 320$ ps를 보여주고 있다. 설계된 소자의 정확한 skew를 측정하기 위해서는 48 채널의 모든 데이터를 동시에 측정하여야 하나 측정에 사용된 계측기 채널 수의 한계로 인해 최대 4 채널씩 측정하여 가장 skew가 크게 나타난 것을 측정하는 것이다. 320 ps의 skew는 데이터 bit time 19.2ns의 약 1.7%에 해당하는 미미한 값이다.

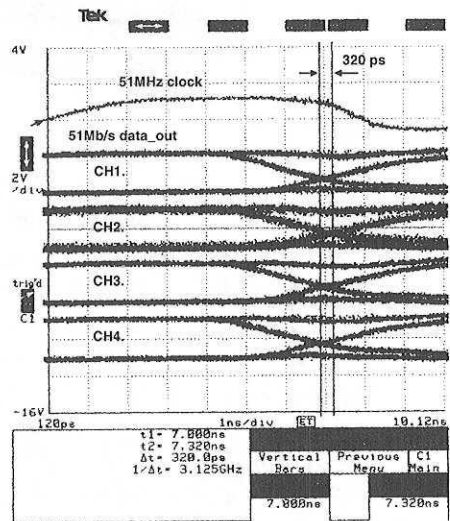


그림 9. 51 Mb/s 출력 data skew

또한 그림10은 MUX 모드로 설정된 소자의 155 Mb/s 출력 데이터들의 4 채널에 대한 skew를 측정된 결과이다. $\Delta t(\max) = 470$ ps로 데이터 bit time 3.2ns의 15%로 측정되어 51 Mb/s의 저속 출력 데이터보다 나쁜 결과를 보인다. 이상의 AC timing 특성들은 설계된 소자가 2.5 Gb/s SDH 광전송시스템에 적용되어 STM-16 데이터 프레임을 생성시키고 또한 그 반대로 분해하는 일련의 다중화 및 역다중화 기능을 잘 수행한다고 판단할 수 있다. 아울러 제작된 소자는 그 구조가 범용성을 갖는 단순한

구조를 갖고있기 때문에 상이한 clock rate로 저속 신호를 고속신호로 다중화 하거나 반대로 고속신호를 저속신호로 역 다중화가 필요한 다른 응용분야에도 적용될 수 있을 것이다.

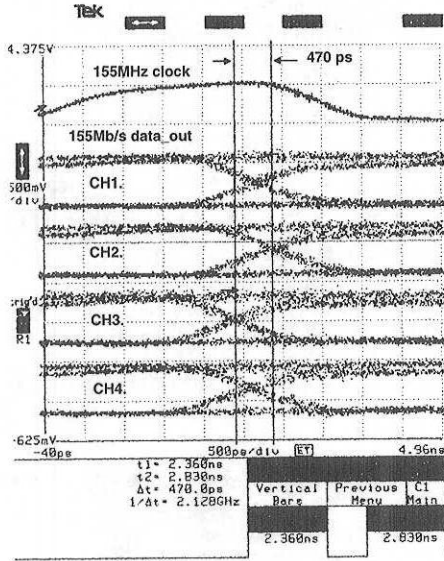


그림 10. 155 Mb/s 출력 data skew

설계된 소자의 소비전력은 소자의 신뢰성과 시스템에 적용 시 발열 문제로 고려되어야 할 사항이다. 식 (2)는 소자의 허용 가능한 최대 소비전력을 나타내는 일반식이다.

$$T_j = T_A(max) + (P_D * \theta_{jA}) \quad (2)$$

여기서 T_j 는 최대 허용 접합 온도로 상업용의 경우 115°C 정도이다. T_A 는 주어진 주위 온도, P_D 는 총 소비전력, θ_{jA} 는 package thermal impedance로 소자제작에 사용된 package가 metal body 형태의 MQUAD 경우 22.7°C/W의 값을 갖는다. $T_A=50^\circ\text{C}$ 로 가정하면 heat sink나 냉각 팬이 없는 경우 $P_{D(max)} = 2.86 \text{ W}$ 를 얻는다. 따라서 설계한 소자의 예상 소비전력이 소자의 최대 허용소비전력 범위 내에 있는지를 확인하였다. 소자의 예상 소비전력은 TI사 'power consumption evaluation' 프로그램으로 계산되었다. 소자가 MUX 모드로 동작 시는 1.8 W, DEMUX 모드로 동작 시는 1.79 W로 평가되었다. 따라서 설계된 소자는 heat sink나 air flow가 없는 조건에서도 사용 가능함을 알 수 있다. 그러나 소자가 적용된 시스템은 냉각 시스템을 갖고 있기

때문에 θ_{jA} 값은 더욱 더 낮아져서 더 높은 T_A 환경에서도 적용될 수 있다. 설계된 소자의 특성을 표 2에 요약하였고 그림11은 설계된 소자가 2.5 Gb/s 고속 전송 유니트에 적용된 사진을 보여준다.

표 2. 칩 요약

| | |
|-------------------|------------------------------------------------|
| Technology | TI 0.7 μm TGB2033 BiCMOS gate array |
| Function | 3:1 MUX, 1:3 DEMUX |
| Max data rate | 155.52 Mb/s |
| I/O | 51.84Mb/s×48(저속부) 155.52Mb/s×16(고속부) |
| Used gate count | 24,804 gates |
| Power supply | +5.0V |
| Power dissipation | 1.8W(max) |
| Package | 160 pin MQUAD |

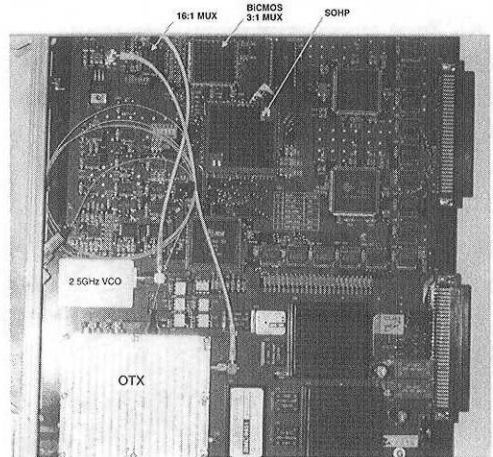


그림 11. 소자가 적용된 2.5 Gb/s 고속 전송 유니트

IV. 결론

모드 선택에 따라서 3:1 다중화 및 1:3 역 다중화 기능을 갖는 ASIC을 Texas Instruments사의 BiCMOS gate array를 이용하여 단일소자로 설계하였다. 이 소자는 2.5 Gb/s SDH 광전송시스템에 적용되어 2.5 Gb/s 데이터 프레임의 다중화와 역 다중화를 위한 기능을 수행한다. 시험 board를 통한 소자의 성능을 확인한 결과, 51 Mb/s의 양방향 48 개 채널과 155 Mb/s I/O 32 채널 모두가 잘 동작 하였으며 DEMUX 모드 동작 시 155 MHz clock 입력과 155 Mb/s 데이터 입력간의 phase margin은 180°, MUX 모드 동작 시 155 MHz clock 입력에 대한 155 Mb/s 데이터 출력 지연시간은 1.32 ns

이내였고 51 Mb/s 출력 data들의 skew는 320 ps, 155 Mb/s 출력 data들의 skew는 470 ps로 평가되었다. 아울러 소자의 소비전력은 최대 1.8 W 이내로 평가되어 고속 동작에 비해서 낮은 소비전력의 특징을 갖는 BiCMOS 소자의 장점이 확인되었다.

참 고 문 헌

[1] R. B. Nubling, J. Yu, K. C. Wang, P. M. Asbeck, N. H. Sheng, M. F. Chang, R. L. Pierson, G. J. Sullivan, M. A. McDonald, A. T. Price, and D. M. Chen, "High Speed 8:1 Multiplexer and 1:8 Demultiplexer Implemented with AlGaAs/GaAs HBTs", *IEEE GaAs IC Symposium*, pp. 53-56, 1990.

[2] H. T. Weston, M. Banu, S. C. Fang, P. W. Diodato, T. D. Stanik, P. A. Wilford, and F. M. Hsu, "A Submicrometer NMOS Multiplexer-Demultiplexer Chip Set for 622.08-Mb/s SONET Applications", *IEEE J. of Solid-State Circuits*, Vol. 27, No. 7, pp. 1041-1049, 1992.

[3] K. Ueda, N. Sasaki, H. Sato, S. Kubo, and K. Mashiko, "3.0 Gb/s, 272 mW, 8:1 Multiplexer and 4.1 Gb/s, 388 mW, 1:8 Demultiplexer", *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 123-124, 1994.

[4] Z. H. Lao, U. Langmann, J. N. Albers, E. Schlag, and D. Clawin, "A 12 Gb/s Si Bipolar 4:1-Multiplexer IC for SDH Systems", *IEEE J. of Solid-State Circuits*, Vol. 30, No. 2, pp. 129-132, 1995.

[5] "TGB1000/TGB2000 BiCMOS Array", Design Manual, Texas Instruments, 1993.

[6] "Timing and I/O Considerations", VS8061/8062 Design Application Note 1, Vitesse, 1994.

[7] "NL4702/NL4705 16:1 Mux/1:16 Demux", Data-sheet, NTT Electronic Technology corp. 1991.

이 상 훈(Sang-hoon Lee)

정회원



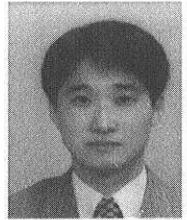
1984년 2월 : 고려대학교
전기공학과 (공학사)
1987년 8월 : 고려대학교
전기공학과 (석사)
1998년 2월 : 고려대학교
전기공학과 (박사)

2001년 3월~현재 : 경남대학교 전기전자공학부
조교수

<주관심 분야> 디지털시스템, FPGA, ASIC설계

김 성 진(Seong-jeon Kim)

정회원



1983년 2월 : 고려대학교
전기공학과 (공학사)
1985년 2월 : 고려대학교
전기공학과 (석사)
1993년 8월 : 고려대학교
전기공학과 (박사)

1994년 3월~현재 : 경남대학교 전기전자공학부
부교수

<주관심 분야> 반도체소자, 반도체센서