

# DSRC 수신기를 위한 능동발룬 내장형 5.8 GHz SiGe 하향믹서 설계 및 제작

정희원 이상홍\*, 이자열\*, 이승윤\*, 박찬우\*\*, 강진영\*

## A 5.8 GHz SiGe Down-Conversion Mixer with On-Chip Active Baluns for DSRC Receiver

Sang-Heung Lee\*, Ja-Yol Lee\*, Seung-Yun Lee\*, Chan Woo Park\*\*, Jin-Yeong Kang\*  
Regular Members

### 요 약

근거리무선통신(Dedicated Short Range Communication, DSRC)은 근거리 영역의 노변장치(Road Side Equipment, RSE)와 차량탑재장치(On-Board Equipment, OBE)와의 고속통신을 수행하는 통신시스템이며, 대부분의 지능형교통시스템 서비스는 근거리무선통신에 의해 제공될 것으로 보인다. 본 논문에서는 근거리무선통신 수신 기용 하향믹서를 설계 및 제작하였다. 설계된 하향믹서는 믹서코어 회로와 더불어 RF/LO 입력 정합 회로, RF/LO 입력 발룬 회로와 IF 출력 발룬 회로가 온칩으로 구현되었다. 제작된 하향믹서는 1.9 mm X 1.3 mm의 크기를 가지며, 7.5 dB의 전력변환이득과 -2.5 dBm의 IIP3, 46 dB의 LO to RF isolation, 56 dB의 LO to IF isolation, 3.0 V의 공급전압 하에서 21 mA의 전류소모로 측정되었다.

**Key Words** : Mixer; Balun; ITS; DSRC; SiGe; HBT

### ABSTRACT

DSRC provides high speed radio link between Road Side Equipment and On-Board Equipment within the narrow communication area. In this paper, a 5.8 GHz down-conversion mixer for DSRC communication system was designed and fabricated using 0.8 um SiGe HBT process technology and RF/LO matching circuits, RF/LO input balun circuits, and IF output balun circuit were all integrated on chip. The chip size of fabricated mixer was 1.9 mm X 1.3 mm and the measured performance was 7.5 dB conversion gain, -2.5 dBm input IP3, 46 dB LO to RF isolation, 56 dB LO to IF isolation, current consumption of 21 mA for 3.0 V supply voltage.

### 1. 서 론

지능형교통시스템(Intelligent Transportation Systems, ITS)은 전자 정보 제어 등 첨단 기술을 활용해 실시간 교통정보를 수집 관리 제공해 기존 교통시설의 이용효율을 극대화하는 차세대 교통체제로써, 교통량의 변화에 따른 실시간 교통신호 제어, 요금징

수 자동화, 사고 등 돌발 상황에 대한 신속한 조치, 실시간 교통정보 및 우회경로 정보를 제공함으로써 교통체증을 감소시키며, 운전자에게 최적 이동시간, 이동 수단 및 이동 경로에 선택권을 줌으로써 합리적으로 시간과 공간을 활용할 수 있도록 해준다. 근거리무선통신(Dedicated Short Range Communication, DSRC)은 지능형교통시스템 서비스를 제공

\* 인하대학교 정보통신대학원 정보통신공학과 통신공학연구소(sunlise291@hotmail.com)

논문번호 : 030514-1124, 접수일자 : 2003년 11월 24일

\* 본 연구는 한국과학재단 특성기초연구(RO1-2003-000-10685-0)지원으로 수행되었습니다.

하기 위해 도입된 새로운 통신 수단으로, 수 미터에서 수백 미터인 근거리 영역의 기지국 장치인 노변장치(Road Side Equipment, RSE)와 이 통신영역을 통과하는 차량탑재장치(On-Board Equipment, OBE)와의 점대점 (point-to-point) 또는 점대다점 (point-to-multipoint) 양방향 고속통신을 수행하는 통신시스템이다. 이 근거리무선통신 시스템은 세계적으로 개발되어 왔으며 최근에는 전자 요금징수 (electric toll collection)에 적용되고 있으며, 대부분의 지능형교통시스템 서비스는 근거리무선통신에 의해 제공될 것으로 보인다[1]. 지능형교통시스템 서비스가 조기에 정착되고, 시장에서 경쟁력을 확보하기 위해서는 차량탑재장치의 저가격화, 소형화를 우선적으로 해결해야하며, 이를 위해서는 차량탑재장치 내부의 회로에 대하여 MMIC화가 필요하다[2].

SiGe 이종접합 바이폴라 트랜지스터는 기존의 실리콘 바이폴라 접합 트랜지스터의 베이스 층을 실리콘 (Si) 대신 SiGe 에피층으로 대체한 것이다. npn형 SiGe 이종접합 바이폴라 트랜지스터의 경우, SiGe으로 이루어진 베이스가 실리콘으로 이루어진 에미터 및 컬렉터에 비해 더 작은 에너지 밴드갭 (energy bandgap)을 가지므로 에미터에서 베이스로의 전자방출은 용이해지는 반면에 베이스에서 에미터로의 정공 방출은 억제된다. 이로 인해 SiGe 이종접합 바이폴라 접합 트랜지스터는 실리콘 바이폴라 접합 트랜지스터에 비해 매우 높은 에미터 방출 효율 (emitter injection efficiency)과 전류이득을 나타내며, 따라서 충분히 큰 전류이득을 유지하면서도 베이스 층의 불순물 농도를 충분히 증가시켜 베이스 저항을 감소시킨다. 뿐만 아니라, 'punch through'에 대한 저항성을 높여 보다 얇은 베이스의 사용을 가능하게 한다. 또한, Ge 농도에 대한 적당한 기울기를 주어 베이스 내부에 전기장을 형성하면 베이스를 통과하는 전자들을 보다 빠르게 가속시킬 수 있는데, 이러한 여러 가지 요인들로 인하여 SiGe 이종접합 바이폴라 트랜지스터는 기존의 실리콘 바이폴라 접합 트랜지스터에 비해 월등히 높은 차단주파수 및 최대 발진주파수 값을 나타낸다[3].

하향믹서(down-conversion mixer)는 RF (Radio Frequency) 신호를 IF (Intermediate Frequency) 신호로 변환하는 것으로서 라디오 시스템에 매우 중요한 빌딩 블록이며, 이의 특성이 전체 시스템의 성능과 다른 빌딩 블록의 성능에 영향을 준다. 한편, RF 집적회로에서는 차동형 증폭기나 길버트 셀 믹서 (Gilbert cell mixer)와 같은 차동형 구조가 많

이 쓰이며, 이들 회로들은 기본적으로 대칭구조 (balanced structure)이다[4,5]. 대칭 구조와 비대칭 구조의 인터페이스를 위하여, 대칭 신호와 비대칭 신호간의 신호 변환을 수행하는 발룬 (balance+unbalun, Balun)이 필요하다. 즉, 발룬은 비대칭 신호를 대칭신호로 변환하거나, 혹은 그 반대의 경우를 수행한다. 발룬은 크게 수동 발룬과 능동 발룬으로 나누어지며, 특히 MMIC(Monolithic Microwave Integrated Circuits)에서는 전송선 (transmission line)을 이용한 발룬과 수동소자를 이용한 발룬은 상당한 면적을 차지하므로 온칩화에 걸림돌로 작용하며, RF-SoC화의 추세에 따라 능동 발룬의 필요성이 증대된다. 능동 발룬의 경우, 부가적인 회로의 첨가에 따른 잡음지수 (Noise Figure, NF)와 전력소모가 증가하나 RF-SoC에 매우 적합하며 발룬 자체에서 이득을 확보할 수 있어 본 회로와의 결합에 있어서 이득 확보가 용이하다.

본 논문에서는 한국전자통신연구원에서 자체 개발한 SiGe HBT소자를 사용하여, RF/LO 입력정합 회로, RF/LO 입력의 능동발룬 회로 및 IF 출력의 능동발룬 회로를 첨가하여, 5.8 GHz DSRC 수신기용 하향믹서를 설계 및 제작하였다. 본 논문에서 설계 및 제작한 하향믹서는 1.9 mm X 1.3 mm의 크기를 가지며, 7.5 dB의 전력변환이득과 -2.5 dBm의 IIP3, 46 dB의 LO to RF isolation, 56 dB의 LO to IF isolation, 3.0 V의 공급전압 하에서 21 mA의 전류소모로 측정되었다.

## II. 능동소자와 수동소자의 특성 및 모델

본 논문에서는 한국전자통신연구원에서 자체 개발한 SiGe 이종접합 바이폴라 트랜지스터와 집적회로 공정상에서 능동소자와 함께 개발된 수동소자를 사용하여 회로를 설계하였다.

서론에서 언급한 바와 같이, SiGe 이종접합 바이폴라 트랜지스터(Heterojunction Bipolar Transistor, HBT)는 전류이득, 전력소모, 차단주파수 ( $f_T$ , cut-off frequency) 및 최대 발진주파수 ( $f_{max}$ , maximum oscillation frequency)와 같은 전기적 성질이 실리콘 바이폴라 접합 트랜지스터 보다 우수하기 때문에, 실리콘 바이폴라 접합 트랜지스터 보다 RF 집적회로에 더 적합한 것으로 간주되고 있다. 본 논문에 사용된 능동소자인 SiGe 이종접합 바이폴라 트랜지스터 제조시, 베이스 에피층 성장을 위해 RPCVD(Reduced-Pressure Chemical Vapor

Deposition)를 사용한다. 또한, Ge의 농도에 대한 기율은 17%에서 0%로 점차 감소시켜 제조되며, CMOS와의 동시 제조를 고려하고 소자간 격리를 위해 LOCOS 격리(isolation)를 채택한다. 설계에 사용된 SiGe 이종접합 바이폴라 트랜지스터는 에미터 면적이  $0.5 \times 6.0 \mu\text{m}^2$  이고 DC 전류이득이 296이며, BVCEO는 3.5 V이고, 컬렉터 전류 1.84 mA에서의  $f_T$ 와  $f_{max}$ 가 각각 41 GHz와 42 GHz이다. 능동소자의 모델링에는 SPICE Gummel-Poon (SGP) 모델이 사용되었으며, 500 MHz~10 GHz주파수 영역에서 모델링하였다. 능동소자의 보다 상세한 DC 및 AC 특성은 그림1과 표1에, 능동소자의 DC모델링 결과는 그림1(a)에, 대표적으로 컬렉터 전류 1mA에서의 AC 소신호 모델링 결과는 그림2에 각각 나타내었다.

표 1. SiGe HBT의 DC 및 AC 특성.

소자 변수	측정값
에미터 면적[ $\mu\text{m}^2$ ]	0.5 x 6.0
DC 전류이득	296
BVEBO[V]	0.95
BVCBO[V]	10.7
BVCEO[V]	3.5
RC[Ohm]	61
RE[Ohm]	30
$f_T$ [GHz]	41
$f_{max}$ [GHz]	142

표 2. 수동소자의 특성.

수동소자 종류	수동소자 특성			
	종류	박막	면저항	편차[%]
저항	저저항	TiN/Ti/TiN	9 $\Omega/\square$	< 3
	중저항	에미터 폴리	50 $\Omega/\square$	< 5
	고저항	베이스 폴리	800 $\Omega/\square$	< 9
인덕터	인덕턴스[mH]	Q값@2~6GHz	공진주파수[GHz]	
	1.5	> 11	> 25	
	2.7	> 8	> 14	
커패시터	박막	SiOxNy 두께 [nm]	정전용량 [fF]	편차 [%]
	Al/SixNy/Al	75	0.84	3

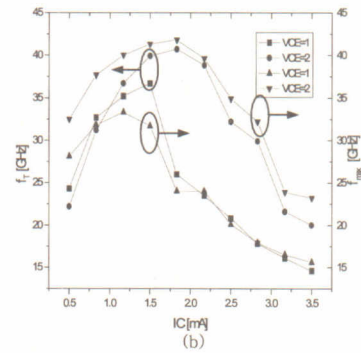
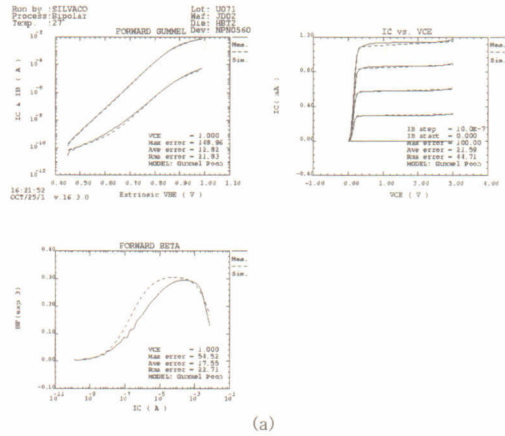


그림 1. SiGe HBT의 DC 및 AC 특성. (a) DC 특성 및 모델링 결과, (b) AC 특성.

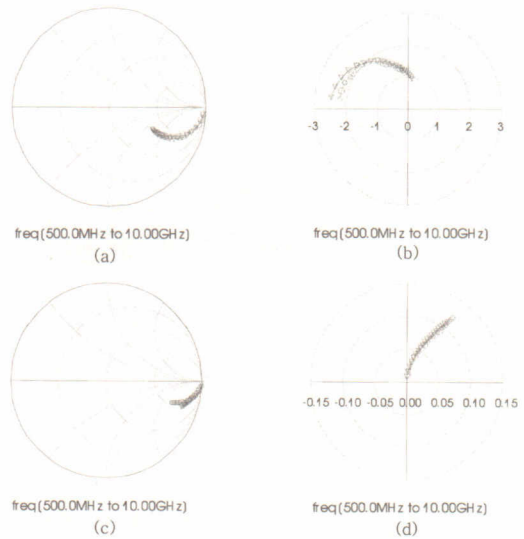


그림 2. IC=1mA에서의 SiGe HBT의 AC 모델링 결과. (a) S11, (b) S12, (c) S21, (d) S22.

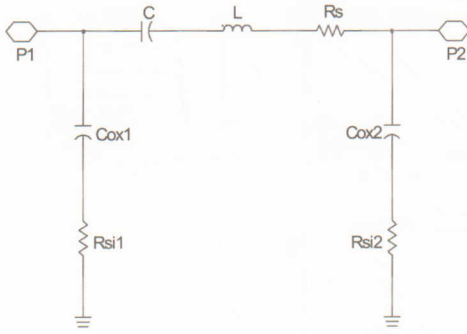


그림 3. 커패시터 등가모델.

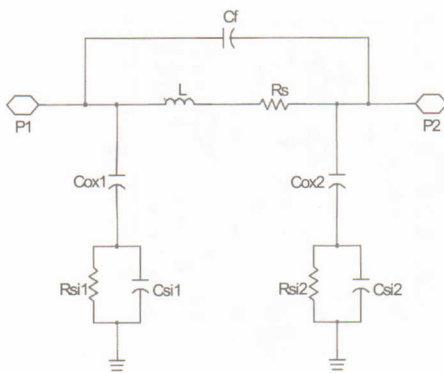


그림 4. 인덕터 등가모델.

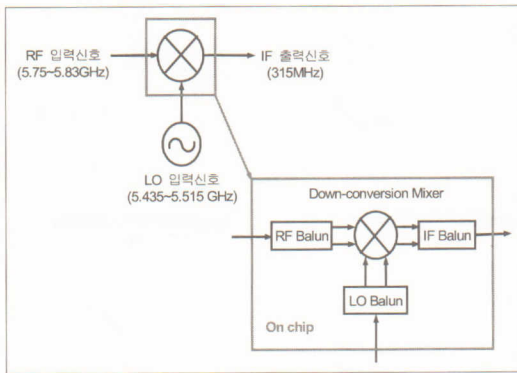


그림 5. DSRC RF front-end 수신기용 믹서 구조.

본 논문에 사용된 수동소자는 2개의 금속층 (2-metal layers)을 사용하여 제조되는데, 그 특성은 표2와 같다. 커패시터는 p-형 실리콘 기판위에 SiO<sub>2</sub>를 형성하여 SixOy 유전막을 증착하여 제작한 MIM 커패시터이다. 커패시터 등가 모델은 그림3과

같이 기판 (Si)과 SiO<sub>2</sub> 성분을 각각 저항과 커패시터 성분으로 고려하여 모델하였으며, 면적으로 정규화한 커패시턴스의 값은 0.84 fF/um<sup>2</sup>이다. 인덕터는 Al 금속 공정을 그대로 적용한 병렬분기형 스파이럴 (spiral) 인덕터[6]이며, 등가 모델은 그림4와 같이 일반적으로 알려진 모델을 사용하였으며, 기생성분 (Cox, Csi, Rsi 등)과 인덕터 자체의 고유성분 (Cf, L, Rs) 등으로 구성된다. 또한, 저항은 기본적으로 저저항, 중저항 및 고저항의 세 종류로 구성되며 모두 bar-형이다. 저저항은 금속 저항으로 TiN/Ti/TiN 다층 박막을 1차 금속 위의 절연 산화막에 형성시켜 만든 것으로, 시트저항 값은 9옴/□이다. 중저항의 에미터 저항은 SiGe 이중접합 바이폴라 접합 트랜지스터의 에미터 형성시 옥사이드 (oxide) 위에 동시에 구현되는 것으로 시트저항 값은 50옴/□이며, 고저항의 베이스 저항은 SiGe 이중접합 바이폴라 접합 트랜지스터의 베이스 형성시 옥사이드 (oxide) 위에 동시에 구현되는 것으로 시트저항 값은 800옴/□이다.

### III. 능동발룬 내장형 5.8 GHz 하향믹서 설계

본 논문의 DSRC RF front-end 수신기용 믹서 구조를 그림5에 나타내었다. 저잡음증폭기 (Lower Noise Amplifier, LNA)와 국부발진기 (LO)의 단일 신호 출력을 받아 입력 발룬에서 차동 신호로 변환하여 길버트 셀 믹서에서 주파수변환을 수행한 후 차동 출력한 신호를 출력 발룬이 단일 신호로 변환하여 출력한다. 본 논문의 하향믹서의 구체적인 신호처리 방법은 다음과 같다. 먼저, (1) RF 및 LO

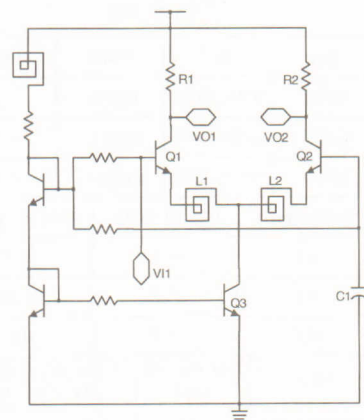


그림 6. 바이어스 회로를 포함한 RF/LO 입력 발룬 회로.

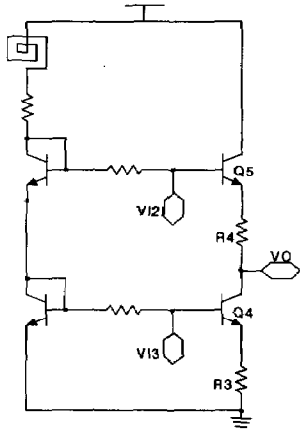


그림 7. 바이어스 회로를 포함한 IF 출력 발룬 회로

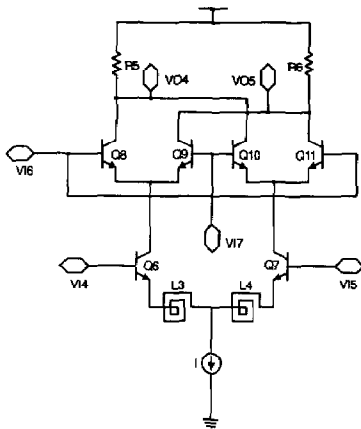


그림 8. Emitter inductive degeneration이 있는 믹서코어.

입력을 받아 각각 발룬회로를 통과하여 차동 신호로 변환한 후, (2) degeneration 인덕터가 있는 길버트 셀에서 주파수 변환을 수행하고, (3) 1단 차동증폭기에서 증폭한 후, (4) 증폭된 IF 차동신호는 IF 출력 발룬을 거쳐 단일신호로 최종 출력된다. 단, DC 블록킹(blocking)을 위하여 각 단마다 0.1 pF의 커패시턴스를 갖는 MIM 커패시터를 사용하였다. 이때, RF 신호의 중심주파수는 5.810 GHz이고 LO 신호의 중심주파수는 5.495 GHz이며 IF 주파수는 315 MHz이다. 입력 및 출력 모두에 사용된 발룬은 능동 발룬으로 길버트 셀 믹서와 함께 온칩화되었다. 능동 발룬의 사용으로 인한 잡음지수와 전력소모의 증가가 있지만 발룬 자체에서 이득을 확보할 수 있어 믹서코어 회로와의 결합에 있어서 이득 확보가 용이하며 무엇보다도 RF 블록의 온칩

화에 적합하다.

한편, 믹서의 중요한 사양으로는 변환 이득, LO 입력 전력 및 (IF로의) 누설, 선형성, 잡음지수, 포트(port) 정합, 포트 격리 및 전력소모 등을 들 수 있다. 이 중 증폭기가 캐스캐이드(cascade)로 여러 단 연결된 시스템의 잡음지수를 살펴보면 다음과 같다. 시스템의 최종 잡음지수,  $F_{IN}$ 은 다음의 식(1)과 같이 주어진다.

$$F_{IN} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots \quad (1)$$

여기서,  $F_1, F_2, F_3$ , 는 1, 2, 3, 단의 잡음지수이고,  $G_1, G_2$ , 는 1, 2, 단의 이득이다. 이 식에서 첫 단을 저잡음증폭기, 둘째 단을 믹서로 취급하면, 저잡음증폭기의 이득  $G_1$ 과 믹서의 이득  $G_2$ 가 충분히 클 때, 믹서의 잡음지수와 그 다음 단의 잡음지수는 시스템의 잡음지수에 큰 영향을 주지 않음을 알 수 있다.

그림6은 RF 또는 LO 입력단에 사용된 차동형 발룬 회로로서, 단일 입력 신호를 받아 대칭의 차동 신호로 변환하여 길버트 셀 믹서에 차동 신호를 공급한다. 단일신호 입력이 트랜지스터 Q1의 베이스에 가해지고, DC 전위가 같은 두 트랜지스터 Q1과 Q2의 컬렉터 사이에 출력이 측정된다. 특히, 차동형 발룬의 LO 성분의 억압 정도는 공통모드(common mode) 이득에 의해 결정되는데, 전류원(current source)의 출력 임피던스가 높을수록 LO 성분의 억압 정도는 개선된다. 이 차동형 능동 발룬의 이득은 두 트랜지스터 Q1과 Q2의 트랜스컨덕턴스(transconductance), degeneration 인덕터 L1, L2 및 출력 저항 R1과 R2에 의해 결정된다. Degeneration 인덕터 L1, L2은 입력 발룬 회로의 선형성 향상을 위해 사용되었으며, 커패시터 C1은 접지(ground)와 DC 바이어스 분리를 위하여 사용되었다.

그림7[기]은 degeneration 저항이 있는 공통-에미터와 공통-컬렉터가 캐스코우드(cascode)로 연결된 푸쉬-풀(push-pull)형 발룬 회로로서 길버트 셀 믹서의 출력단에 연결되어 차동신호를 단일신호로 변환한다. 발룬의 이득은 두 신호 path 이득의 합이며, degeneration 저항 R3는 공통-에미터 path의 이득을 조절하고 LO 누설의 최대 상쇄(cancellation)를 유도하며, R4는 출력 임피던스 매칭시 포함된다. 공통-컬렉터는 높은 선형성을 제공하며 공통-에미터 또한 동일한 바이어스 전류와 컨덕턴스를 갖는 차동



형 회로에 비해 선형성이 우수한 것으로 알려져 있다[8]. 이들 온칩 발룬들은 좋은 격리 특성을 제공하며, 믹서 회로와 함께 설계되고 집적화되었다.

그림8은 이미 잘 알려진 대로 차동형 구조의 double-balanced 믹서로서 IF 출력에서 RF와 LO 격리가 좋고, 출력 전력을 증가시킬 수 있으며, 두 입력 모두 차동 입력의 발룬을 필요로 한다. 이 믹서의 경우 두 입력이 180°의 차동 신호를 가지고 구동될 때, 출력에 LO와 RF 누설이 없게 된다. 변환 이득은 트랜지스터 Q6과 Q7의 트랜스컨덕턴스(transconductance), degeneration 인덕터 L3, L4 및 출력 저항 R5과 R6에 의해 좌우된다. 또한, degeneration 인덕터 L3, L4는 잡음을 고려하고 선형성 개선을 위해 삽입되었다. 발룬회로와 믹서회로의 DC 바이어스에는 안정적인 전류 공급을 위하여 전류 미러(current mirror) 회로를 이용하였으며, 입력 및 출력은 모두 50옴 정합을 하여 설계하였다.

#### IV. 5.8 GHz SiGe 하향믹서 제작 및 측정

그림9는 SiGe HBT 소자를 이용하여 제작된 DSRC 수신기용 5.8 GHz 하향믹서 칩의 사진으로, 칩 크기는 1.9 mm x 1.3 mm이다. 그림9에서 위 3개의 패드는 전압 공급용이며, 왼쪽, 아래쪽 및 오른쪽 패드는 각각 LO 입력, RF 입력 및 IF 출력용이다.

주파수 스펙트럼 측정을 위하여, RF power source인 RF Synthesized Sweeper HP83650B, HP83752B와 스펙트럼 분석기 HP8563E가 사용되었으며, 제작된 믹서는 공급전압 3.0 V (극부 바이어스 공급전압 VA=3.0 V, VB=2.5 V 포함)에서 측정되었다. 그림10은 RF 입력에 -30 dBm, LO 입력에 -5.0 dBm을 인가하고, IF 출력 포트에서 50 MHz~8.0 GHz 사이에서 측정된 주파수 스펙트럼을 나타낸 것이다. 그림10의 아래 그림은 IF 주파수 315 MHz를 중심으로 하여 100 MHz 간격만을 확대하여 출력한 스펙트럼 측정결과로서, 전력 변환 이득은 7.5 dB를 나타내었다. 또한, LO to RF isolation은 46 dB, LO to IF isolation은 56 dB로 측정되어 포트 간 격리 특성이 매우 우수함을 확인할 수 있었다. 그림11은 LO 입력에 -5.0 dBm을 고정시킨 상태에서 RF two-tone 입력을 -30 dBm에서 -3 dBm 까지 sweep하여 IP3를 측정결과로서 IIP3는 -2.5dBm이다. 그리고, HP8970B Noise Figure Meter를 이용하여 측정된 하향믹서의 SSB

잡음지수(NF)는 26 dB로서 다소 높은 편이며, 이는 RF/LO 및 IF에서의 발룬 사용이 잡음지수 증가의 주된 요인으로 여겨진다. 본 논문의 7.5 dB변환 이득이 5.8 GHz 주파수에서 비교적 높은 편이므로 이는 다음 단의 잡음지수를 일부분 줄일 수 있을 것으로 사료되며, 회로 설계시 잡음 최적화도 필요하다고 사료된다. 측정결과를 종합하여 표3에 요약하였다.

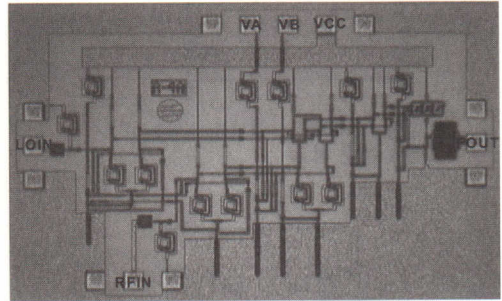


그림 9. 제작된 5.8 GHz SiGe 하향믹서의 칩사진.

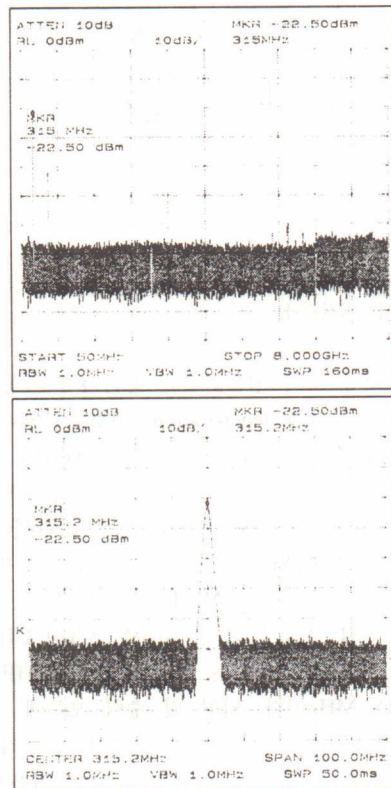


그림 10. IF 출력 포트에서 측정된 주파수 스펙트럼.  
(상: 50 MHz~8.0 GHz range, 하: 100 MHz span)

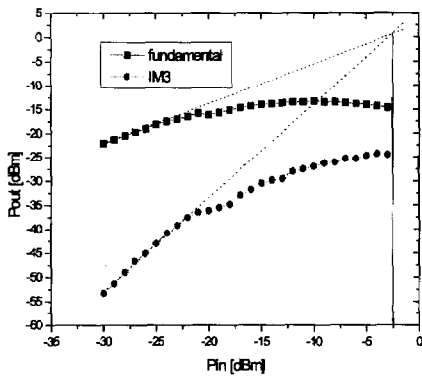


그림 11. LO=-5 dBm에서 RF 전력 sweep에 따른 IP3 측정 결과.

표 3. 제작된 하향믹서의 측정결과 요약.

parameters	simulated	measured
RF frequency[GHZ]	5.810	5.810
LO frequency[GHZ]	5.495	5.495
RF input return loss[dB]	-27.5	-22.4
LO input return loss[dB]	-32.9	-23.9
conversion gain[dB]	8.0	7.5
LO to RF isolation[dB]	68	46
LO to IF isolation[dB]	43	56
RF to LO isolation[dB]	56	34
RF to IF isolation[dB]	40	30
IIP3[dBm]	1.5	-2.5
NF[dB]	-	26
IC[mA]	20	21

## V. 결론

근거리무선통신(Dedicated Short Range Communication, DSRC)은 근거리 영역의 노변장치(Road Side Equipment, RSE)와 차량탑재장치(On-Board Equipment, OBE)와의 고속통신을 수행하는 통신시스템이며, 앞으로 대부분의 지능형교통시스템 서비스는 근거리무선통신에 의해 제공될 것으로 보여진다. 본 논문에서는 5.8 GHz 근거리무선통신 수신기용 하향믹서를 SiGe HBT를 이용하여 설계 및 제작하여 보았다. 설계된 5.8GHz 하향믹서는 믹서코어 회로와 더불어 RF/LO 입력 정합 회로,

RF/LO 입력 발룬과 IF 출력 발룬 회로가 온칩으로 구현되었으며, RF SoC 관점에서 실현해 보았다. 제작된 5.8 GHz 하향믹서는 1.9 mm X 1.3 mm의 크기를 가지며, 7.5 dB의 전력변환이득과 -2.5 dBm의 IIP3, 46 dB의 LO to RF isolation, 56 dB의 LO to IF isolation, 3.0 V의 공급전압 하에서 21 mA의 전류소모로 측정되었으며, 특히 LO 격리 특성이 매우 우수하였다.

## 감사의 글

본 연구는 정보통신부의 연구비 지원에 의해 수행되었으며 이에 감사드립니다.

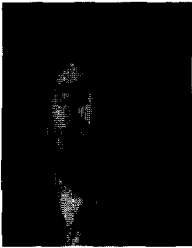
## 참고 문헌

- [1] H. Oh, C. Yae, D. Ahn, and H. Cho, "5.8 GHz DSRC packet communication system for ITS Services," *IEEE Vehicular Technology Conference*, pp. 2223-2227, 1999.
- [2] E.C. Low, K. Yan, H. Nakamura, H. Fujishiro, "A plastic package GaAs MESFET 5.8-GHz receiver front-end with on-chip matching for ETC system," *IEEE Tran. on Microwave Theory and Techniques*, 48(2), pp. 209-213, Feb. 2000.
- [3] S.-Y. Lee, H.-S. Kim, S.-H. Lee, K.-H. Shim, J.-Y. Kang, M.-K. Song, "The behavior of Ti silicidation on Si/SiGe/Si base and its effect on base resistance and fmax in SiGe hetero-junction bipolar transistors," *Journal of Materials Science: Materials in Electronics*, 12(8), pp. 467-472, August 2001.
- [4] B. Razavi, *RF Microelectronics*, Prentice Hall, Inc., pp. 166-204, 1998.
- [5] B. Gilbert, "The multi-tanh Principle: A tutorial overview," *IEEE Journal of Solid-State Circuits*, 33(1), pp. 2-17, Jan. 1998.
- [6] D.W. Suh, B.K. Mheen, J.Y. Kang, and M.C. Paek, "Enhancement of Q factor in parallel-branch spiral inductors," *Journal of the Korean Institute of Electrical and Electronic Material Engineers*, 16(1), pp. 83-87, Jan. 2003.
- [7] D.-Y. Kim, S.-G. Lee, J.-H. Lee, "Up-conversion mixer for PCS application

using Si BJT," *IEEE 2nd International Conference on Microwave and Millimeter Wave Technology Proceedings*, pp. 424-427, 2000.

- [8] K.L. Fong and R.G. Meyer, "High-frequency nonlinearity analysis of common-emitter and differential-pair transconductance stages," *IEEE Journal of Solid-State Circuits*, 33(4), pp. 548-555, April 1998.

이 상 흥(Sang-Heung Lee) 정회원



1988년 2월 : 충남대학교 전자공학과 졸업 공 학사  
 1992년 2월 : 충남대학교 전자공학과 졸업 공 학박사  
 1998년 2월 : 충남대학교 전자공학과 졸업 공학박사  
 1998년 4월~1999년 6월 : 한국전자통신연구원 회로 소자

기술연구소 박사후 연수연구원 (Post Doc.)  
 1999년 7월~현재 : 한국전자통신연구원 기반기술연구소 고속SoC연구부 SiGe소자팀 선임연구원  
 <관심분야> RF 집적회로 설계, 고속 SoC 설계, 반도체소자 모델링 및 변수추출

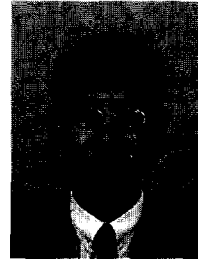
이 자 열(Ja-Yol Lee) 정회원



1998년 2월 : 건국대학교 전자공학과 졸업 공학사  
 2000년 2월 : 충남대학교 전자공학과 졸업 공학석사  
 2000년 3월~현재 : 충남대학교 전자공학과 박사 과정  
 2001년 3월~현재 : 한국전자통신연구원 기반기술연구소 고속 SoC연구부 SiGe소자팀 연구원

<관심분야> RF/아날로그 회로 설계

이 승 윤(Seung-Yun Lee) 정회원



1994년 2월 : 한국과학기술원 재료공학과 졸업  
 1996년 2월 : 한국과학기술원 재료공학과 졸업 공학석사  
 1999년 8월 : 한국과학기술원 재료공학과 졸업 공학박사  
 1999년 9월~현재 : 한국전자통신연구원 기반기술연 구

소 고속SoC연구부 SiGe소자 팀 선임연구원  
 <관심분야> 화합물 반도체 소자 및 공정 (SiGe HBT devices & process), 금속 배선 공정 (Copper metallization process)

박 찬 우(Chan Woo Park) 정회원



1994년 2월 : 한국과학기술원 재료공학과 졸업  
 1996년 2월 : 한국과학기술원 재료공학과 졸업 공학석사  
 2000년 8월 : 한국과학기술원 재료공학과 졸업 공학박사  
 2000년 7월~현재 : 한국전자

통신연구원 기반기술 연구소 미래기술연구본부 나노전자소자팀 선임연구원  
 <관심분야> SiGe HBT 소자공정, 분자전자소자

강 진 영(Jin-Yeong Kang) 정회원



1977년 2월 : 서울대학교 천문학과 졸업 이학사  
 1979년 2월 : 한국과학기술원 물리학과 졸업 이학석사  
 1991년 2월 : 한국과학기술원 물리학과 졸업 이학박사  
 1979년~현재 : 한국전자통신연구원 기반기술연구소 SiGe

소자팀 팀장/책임연구원  
 <관심분야> SiGe 반도체, 반도체소자공정