

DCT 기반 소형, 저전력 잡음 발생기 구현

정희원 김대익*, 박홍열**, 정진균**

Implementation of DCT-based Low Area/Power Noise Generation System

Dae-Ik Kim*, Hong-Yul Park**, Jin-Gyun Chung** *Regular Members*

요약

통신 시스템의 성능은 여러 가지 요구 조건을 고려하여 측정되어야 한다. 이러한 목적으로 잡음 발생기는 주어진 특성을 갖는 잡음 신호를 생성하는데 사용되는 시스템이다. 본 논문에서는 최근에 제안된 DCT를 이용한 잡음 발생기에서 DCT를 제외한 회로의 면적을 약 44~47% 정도 줄이는 구조를 제안한다. 또한, 제안된 구조는 내부의 빠른 클럭을 사용하지 않게 되어 74~77% 정도의 전력소모를 감소시켰다.

ABSTRACT

The performance of communication systems should be tested against a set of requirements. To this end, noise generation systems are used to generate noise signals with specified characteristics. In this paper, we propose the area & power-efficient noise generation system based on DCT method. It is shown that the proposed structure results in area reduction of non-DCT block by 44~47%. Moreover, since the proposed structure does not use high-speed internal clock, it achieves power reduction by 74~77%.

I. 서론

모뎀을 비롯한 통신장비는 선로잡음이나 기타 잡음의 영향을 고려하여 시스템을 측정하고 평가해야 한다. 그러나 실제의 잡음 환경을 구현하고 측정하기란 매우 어렵고, 비용 또한 무시할 수 없는 경우가 많다. 따라서 통신 시스템을 측정할 때는 신호에 영향을 주는 요소들을 인위적으로 만들어 실제 전송되는 신호를 가정하게 되는데, 이때 요구되는 것이 잡음 발생기이다.

고속모뎀의 테스트에 사용하는 VDSL의 선로잡음은 AWGN, 누화, 라디오 잡음, 임펄스 잡음, 배경 잡음 등이 있다. 일반적으로 잡음 발생을 위해 Yule-Walker equation을 사용하여 디지털 필터를 구현할 수 있다^{1), 2)}. 그러나 일반적으로 천이 대역폭이 좁으며 요구되는 주파수특성이 주파수에 대해 빠르게 변화할 경우 이를 만족시키는 디지털필터를

구현하기는 어려우므로 이 방법을 이용하여 VDSL에 적용하기 위한 잡음발생기의 필터 계수를 구하면 VDSL의 잡음 스펙과 오차가 심하게 발생되어 잡음 신호로서 부적합한 경우가 있게 된다. 이러한 문제점을 해결하기 위해서 Yule-Walker equation을 이용하는 대신 중심 극한 정리(Central Limit Theorem)와 DCT(Discrete Cosine Transform)를 이용하여 잡음신호를 발생시키는 알고리즘이 최근에 제안되었다³⁾.

본 논문에서는³⁾에 제안된 잡음 발생기의 구조적 동작 특성을 이용하여 잡음 발생회로에서 DCT 블록을 제외한 나머지 회로의 면적을 약 44~47% 정도 줄일 수 있는 새로운 구조를 제안한다. 또한, 기존의 잡음발생기에서 요구되었던 빠른 내부 클럭을 제거하여 회로의 스위칭 동작을 감소시켜 전력 소모를 약 74~77% 정도 줄일 수 있음을 보인다.

II절에서는 DCT를 이용한 기존의 잡음 발생기

* 여주대학교 반도체응용물리학과 (dikim@yosu.ac.kr), ** 전북대학교 전자정보공학부 (jgchung@moak.chonbuk.ac.kr)
논문번호 : 020286-0703, 접수일자 : 2002년 7월 3일

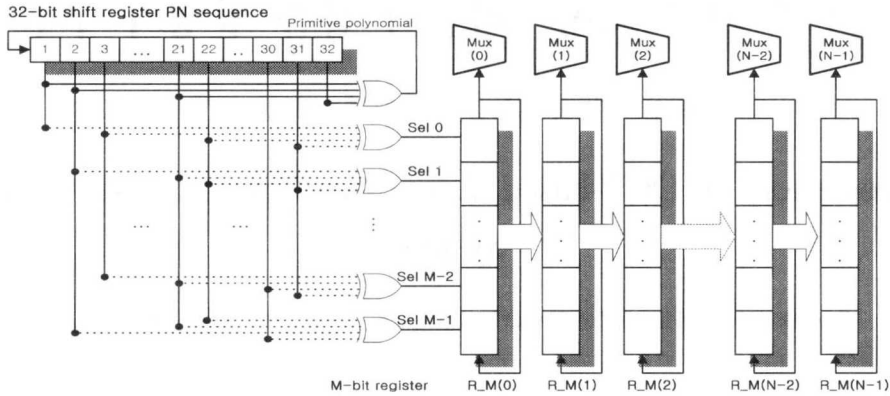


그림 1. PN 시퀀스 발생기를 이용한 MUX 선택신호 발생기.

구조를 간단히 설명하고, III절에서는 면적과 전력소모를 감소시키기 위하여 새로 제안된 잡음 발생기 구조에 대하여 서술하며, 마지막으로 IV절에서 결론을 맺는다.

II. DCT를 이용한 잡음발생기

1. 중심 극한 정리를 이용한 Gaussian 분포를 갖는 독립변수의 생성

일반적으로 통신시스템 측정에 사용되는 잡음신호는 Gaussian 분포를 가진다^[4]. Uniform 분포를 갖는 신호를 Gaussian 분포를 갖는 신호로 변환하기 위해 Box-Muller equation을 사용할 수 있다^[5]. 그러나 Box-Muller Equation은 sin, cos, log 함수를 계산하기 위한 ROM 테이블과 복잡한 곱셈기를 필요로 하기 때문에 하드웨어적으로 많은 면적을 차지하게 된다.

서로 독립인 M개의 독립변수(Random Variables) $X_i, i=1, 2, \dots, M$ 가 주어지고 M이 충분히 클 경우, 이 신호의 합인 $X = X_1 + \dots + X_M$ 는 중심 극한 정리에 의하여 Gaussian 분포를 갖는 신호를 만들어 낸다^[5].

그림 1은 uniform 분포를 갖는 M개의 독립변수를 발생시키기 위한 회로를 보여주고 있다. 여기에서 M개의 독립변수는 PN 시퀀스 발생기를 사용하여 발생시킨다. 실선을 입력으로 갖는 XOR 게이트는 32비트 쉬프트 레지스터를 이용하여 원시 다항식(primitive polynomial)을 발생시키기 위한 것이며, 점선을 입력으로 갖는 M개의 XOR 게이트는 서로 독립적인 uniform 분포를 가지는 신호를 만들어 내기 위한 것이다. 이때 XOR게이트에 입력되는 신호

는 서로 각기 다른 패턴을 가져야 한다.

M개의 XOR 게이트의 출력은 M비트 쉬프트 레지스터 $R_M(0)$ 에 저장되고 M-clk 동안 레지스터 내에서 쉬프트 되면서 Mux(0)의 선택신호로 사용된다. 그 후 $R_M(0)$ 의 데이터는 $R_M(1)$ 로 이동되고 XOR 게이트의 새로운 출력이 $R_M(0)$ 에 저장된다. $R_M(1)$ 의 데이터는 M-clk 동안 Mux(1)의 선택신호로 사용되고 $R_M(2)$ 로 이동한다. 즉, $R_M(i)$ 의 데이터는 M-clk 동안 Mux(i)의 선택신호로 사용되고 $R_M(i+1)$ 로 이동한다.

2. DCT를 이용한 잡음 발생기

DCT를 이용한 잡음발생기의 구조는 그림 2와 같다. $(L+1)$ -point DCT를 이용한 잡음 발생 알고리즘은 다음과 같다 ($L = N/2$).

- ① 주어진 PSD(Power Spectral Density) 스펙으로부터, $(L+1)$ 개의 샘플 $X(0), X(1), \dots, X(L)$ 을 구한다.
- ② $(L+1)$ 개의 샘플 값을 입력으로 하는 $(L+1)$ -point DCT를 취한다.
- ③ 그림 1에서 발생된 N개의 출력을 그림 2의 Mux 선택 신호의 입력으로 사용한다.
- ④ 그림 2와 같이 N개의 신호를 더하여 실수 값의 시간영역 신호를 얻을 수 있다.

그림 2에서 PSD=1을 갖는 PN 시퀀스 발생기는 32-bit 쉬프트 레지스터가 사용되었다. Mux의 선택신호는 그림1에서 보여준 M개의 4-input XOR 게이트를 사용하여 얻을 수 있다. Adder Tree 앞에 있는 스위치가 열려있는 동안, Mux 출력 값은 M-clk 동안 ACC(Accumulator) 블록 내에 누적된

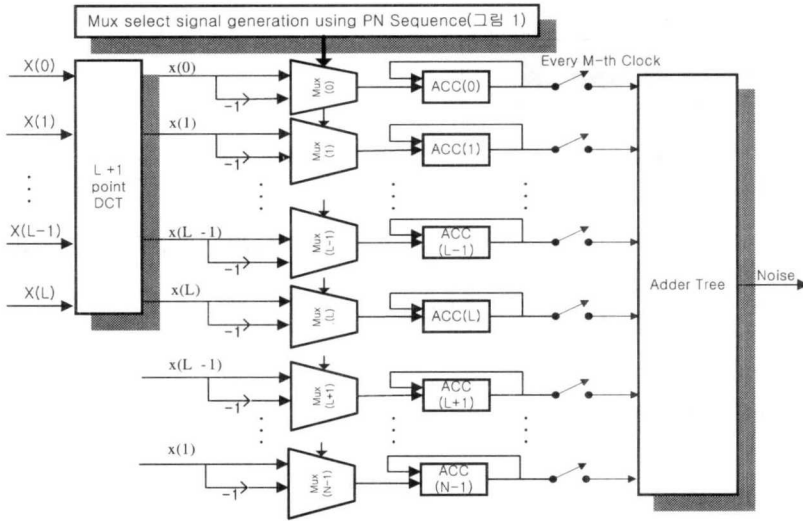


그림 2. DCT를 이용한 잡음발생기의 구조

다. M-clk 후에 스위치가 연결되고 잡음 출력신호는 ACC 블록에 누적된 N개의 신호를 Adder Tree에서 합하여 얻게 된다.

PN 시퀀스는 '1'과 '0'의 논리 값으로 이루어져 있으므로, 잡음을 발생시키기 위해 복잡한 곱셈기를 사용하는 대신 단순한 Mux를 사용하여 곱셈을 수행할 수 있다. 반면에 Box-Muller equation을 사용하여 Gaussian 분포를 갖는 잡음 신호를 얻기 위한 시스템을 구성할 경우에는 복잡한 곱셈기를 사용해야 하기 때문에 효율성이 떨어지게 된다.

Yule-Walker equation과 33-point (N=64) DCT를 이용한 알고리즘을 사용하여 발생시킨 HDSL과 VDSL 간의 누화잡음 신호의 PSD를 그림 3에 보였다. 시뮬레이션 결과를 통하여 Yule-Walker equation을 사용하는 것보다 DCT를 이용한 알고리즘을 사용함으로써 요구되어지는 PSD 스펙에 근접한 신호를 발생시킬 수 있다.

III. 제안된 잡음발생기의 구조

1. 전력 감소를 위한 구조

그림 2에서 Mux의 동작특성을 살펴보면, PN 시퀀스를 이용한 Mux 선택 신호가 '0'인 경우에는 DCT 블록의 출력 $x(j), j=0, 1, \dots, L-1, L$ 가 선택되고 '1'인 경우에는 $-x(j)$ 가 선택되어진다.

그림 2에서 Mux의 동작특성을 살펴보면, PN 시퀀스를 이용한 Mux 선택 신호가 '0'인 경우에는

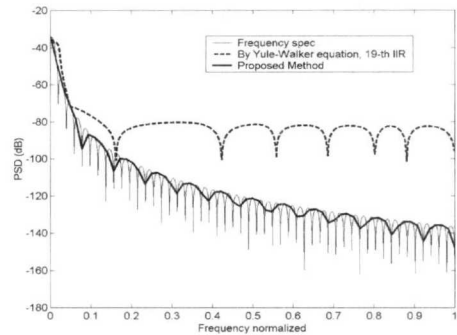


그림 3. Yule-Walker equation과 DCT를 이용한 알고리즘에서 얻은 HDSL에서 VDSL로의 누화잡음 신호의 PSD (Sampling frequency = 40 MHz).

DCT 블록의 출력 $x(j), j=0, 1, \dots, L-1, L$ 가 선택되고 '1'인 경우에는 $-x(j)$ 가 선택되어진다. 따라서 Mux 선택 신호 발생기의 M-bit 쉬프트 레지스터에 저장되어 있는 '0'과 '1'에 따라 ACC 블록에서 M-clk 동안 덧셈과 뺄셈을 수행하게 된다. 이러한 동작을 수행하기 위해 메인클럭보다 M배 빠른 클럭신호를 사용하여 쉬프트 레지스터에 저장된 값을 순환시켜줘야 하며, 이 동작에 따라 Mux의 출력 신호가 결정되며 또한 ACC 블록도 M배 빠른 클럭에 동기되어 동작되는 것을 알 수 있다.

M-clk 후 $ACC(i)$ 블록에서 발생하는 신호 값은 다음과 같이 정의할 수 있다.

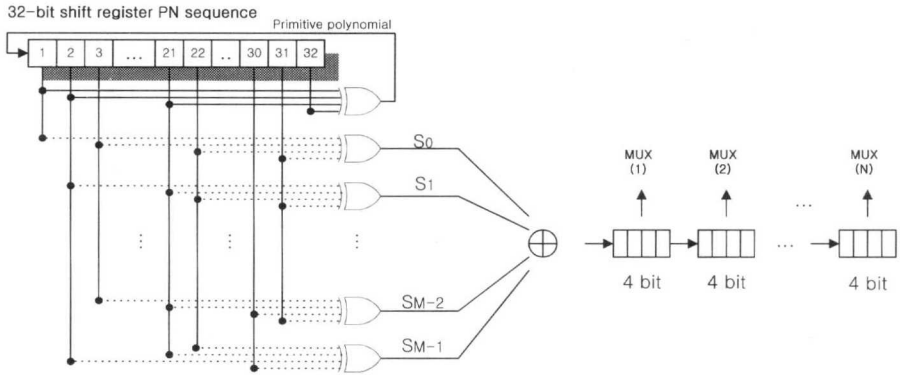


그림 4. 수정된 PN 시퀀스 발생기.

$$\begin{aligned}
 ACC(i) &= x(j)R_M(i)_0 + x(j)R_M(i)_1 + \\
 &\dots + x(j)R_M(i)_{M-2} + x(j)R_M(i)_{M-1} \\
 &= x(j) \sum_{k=0}^{M-1} R_M(i)_k, \quad (1) \\
 i &= 0, 1, \dots, N-1, \\
 &\begin{cases} \text{if } i \leq L, j = i, \\ \text{if } i > L, j = N - i. \end{cases}
 \end{aligned}$$

여기에서, $x(j)$ 는 DCT 블록의 j 번째 출력, $R_M(i)_k$ 는 $R_M(i)$ 쉬프트 레지스터의 k 번째 레지스터 값이 '0'인 경우 '1'이고 '1'인 경우 '-1'이 된다.

식(1)을 살펴보면 $ACC(i)$ 의 결과 값은 $x(j)$ 와 $R_M(i)$ 에 저장된 '0'의 개수와 '1'의 개수의 차와의 곱셈으로 발생됨을 알 수 있다.

즉, M 배 빠른 클럭 신호를 이용하여 $ACC(i)$ 출력을 얻는 대신 $R_M(i)$ 에 저장된 '0'의 개수와 '1'의 개수의 차를 계산하여 shift-and-add 동작을 이용한 곱셈을 수행하여 결과 값을 얻을 수 있다. 이러한 동작을 수행하기 위해 그림 2의 PN 시퀀스 발생기를 그림 4와 같이 수정하였다.

독립변수의 개수를 M , 그림 4에서 XOR된 독립변수의 값을 $S_0, S_1, \dots, S_{M-2}, S_{M-1}$, 그리고 LFSR에서 XOR되어서 나오는 1의 개수를 R 이라고 할 때, $R = S_0 + S_1 + \dots + S_{M-2} + S_{M-1}$ 가 된다. 따라서 $\sum_{k=0}^{M-1} R_M(i)_k$ 의 결과 값을 P 라 할 때 $P = M - 2R$ 이 성립된다. $M=10$ 이라 가정하면, P 는 다음의 표 1과 같이 결정된다.

표 1에서 음수인 경우와 양수인 경우, 그리고 '1'의 개수와 '0'의 개수가 같을 경우로 나누어서 생각할 수 있다. (여기에서 x 는 DCT의 출력)

표 1. $M=10$ 인 경우, P 값

1의 개수 표현=R	Operation(P)
1010 (10)	-10x
1001 (9)	-8x
1000 (8)	-6x
0111 (7)	-4x
0110 (6)	-2x
0101 (5)	0x
0100 (4)	2x
0011 (3)	4x
0010 (2)	6x
0001 (1)	8x
0000 (0)	10x

i) $R < 5$ 인 경우 : 양의 값을 갖기 때문에 $2x, 4x, 6x, 8x, 10x$ 를 각각 계산한다.

ii) $R = 5$ 인 경우 : '1'의 개수와 '0'의 개수가 같기 때문에 '0' 값을 출력한다.

iii) $R > 5$ 인 경우 : 음의 값을 갖기 때문에 $2x, 4x, 6x, 8x, 10x$ 를 계산한 다음 보수를 취해준다.

위의 값들은 곱해지는 값(DCT의 출력 $x(j)$)이 정해져 있기 때문에 다음과 같이 shift-and-add 곱셈 방법을 이용하여 구현할 수 있다.

- i) $2x$: x 의 값을 1-비트 왼쪽으로 이동시킨다.
- ii) $4x$: x 의 값을 2-비트 왼쪽으로 이동시킨다.
- iii) $8x$: x 의 값을 3-비트 왼쪽으로 이동시킨다.
- iv) $6x$: $2x$ 와 $4x$ 의 값을 덧셈(add)하여 준다.
- v) $10x$: $2x$ 와 $8x$ 의 값을 덧셈하여 준다.

그림 5는 위에서 설명한 shift-and-add 방식을 이용한 수정된 Mux 블록을 보여준다. 표 1에서 P 의 동작은 0을 중심으로 symmetric한 특징을 가지고

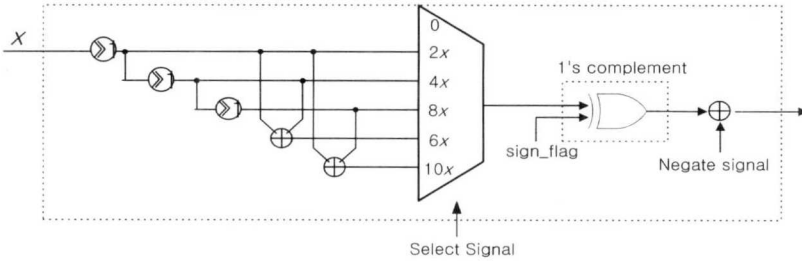


그림 5. Shift-and-add 곱셈을 이용한 Mux 블록.

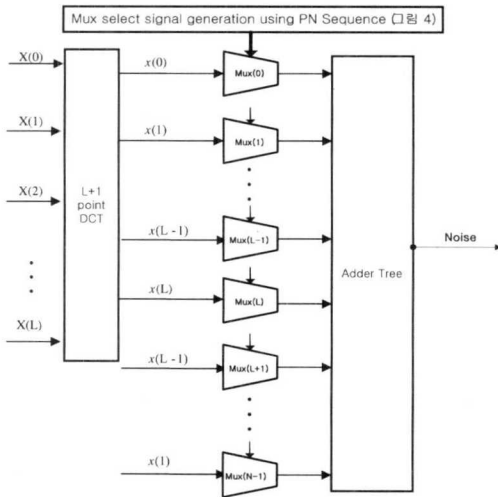


그림 6. Shift-and-add를 이용한 수정된 잡음발생기.

있음을 알 수 있다. 따라서 음의 값을 곱하는 경우에는 R의 조건에 따라 sign_flag 신호를 발생시켜, 양의 값을 1의 보수로 바꾼 후 negate 신호를 더하여 2의 보수를 발생시킨다.

그림 4의 PN 시퀀스 발생기와 그림 5의 Mux 블록을 적용하고, M-clk을 사용하는 ACC 블록을 제거한 수정된 잡음발생기를 그림 6에 보여준다.

수정된 잡음발생기는 PN 시퀀스 발생기에 사용되는 쉬프트 레지스터의 크기 M과 관련된 M배의 빠른 클럭을 사용하지 않고 메인클럭에 동기되어 출력이 발생되므로 회로의 동작속도를 높일 수 있고 전력소모를 줄일 수 있는 장점을 갖고 있음을 알 수 있다.

2. 중복입력을 고려한 면적 감소를 위한 구조

그림 6의 DCT 출력 뒤 단을 살펴보면 $x(1)$ 은 Mux(1)과 Mux(N-1)의 입력으로 중복되어 사용되며, Mux(1)과 Mux(N-1)의 출력신호가 Adder Tree에서 서로 더해짐을 알 수 있다. 따라서 이러한 특성을 이용하여 그림 6에서 $x(1)$ 과 관련된 회로를 그림 7과 같은 구조로 수정할 수 있다.

잡음발생기의 메인클럭인 CLK가 그림 7의 Mux_B의 선택 신호로 사용되어 CLK='1'인 경우 Mux(1)의 신호를 선택하고 CLK='0'인 경우 Mux(N-1)의 신호를 선택한다. 한 클럭 내에 Mux(1)과 Mux(N-1) 두 신호가 Mux_A의 선택신호로 사용된다. 또한 $x(0)$ 과 $x(L)$ 을 제외한 $x(1) \sim x(L-1)$ 신호에 대해서도 똑같은 관계가 성립한다.

그림 4의 PN 시퀀스 발생기와 그림 7의 중복입력을 고려한 Mux 블록을 적용한 제안된 잡음발생기를 그림 8에 보여준다. 여기에서 Mux(0)와

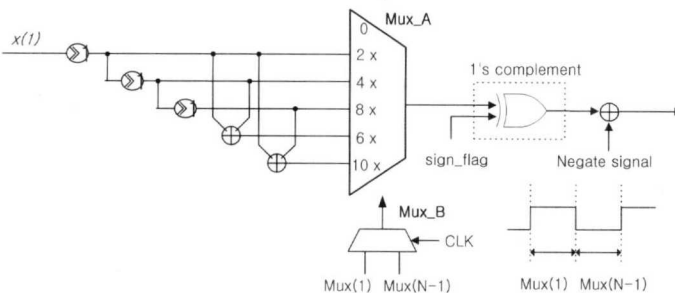


그림 7. 면적감소를 위한 수정된 Mux 블록.

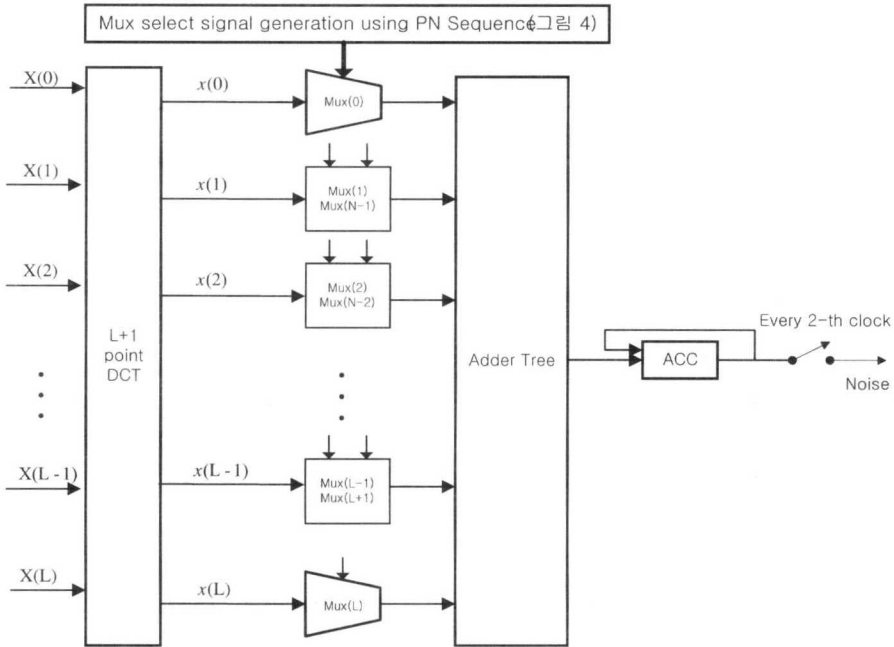


그림 8. 제안된 잡음발생기.

Mux(L) 블록은 중복 입력이 없기 때문에 그림 5의 Mux 블록을 사용하였다. 제안된 구조에서는 (L-1) 개의 Mux 블록이 감소되었으나 Adder Tree 뒷단에 2-clk로 동작되는 ACC 블록이 추가되었다. 이는 메인클럭 1-clk안에 두 번의 Mux 선택 Mux(1)과 Mux(N-1)에 의한 출력 값을 더해줘야 하기 때문이다.

표 2와 표 3은 기존의 구조(그림 2), shift-and-add 방식을 사용한 수정된 구조(그림 6), 그리고 제안된 잡음발생 구조(그림 8)에서 DCT 뒷단의 면적과 전력을 비교한 것이다. 각각의 회로는 VHDL로 코딩하였으며, Synopsys CAD tool을 이용하여 합성과 전력소모 계산을 수행하였다. 여기에서 사용된 target library는 Synopsys에서 제공하는 class library이다.

표 2의 각 구조에 따른 면적을 살펴보면, 그림 6의 구조가 그림 2의 기존의 구조에 비해 약 13% 정도의 면적감소를 보였다. 이것은 기존 구조에 사용되었던 ACC 블록을 제거하고 그 대신 shift-and-add 동작을 위한 쉬프트 레지스터와 덧셈기를 포함하는 Mux 블록을 사용하였기 때문에 많은 면적을 감소시키지는 못하였다. 그러나 그림 8의 제안된 구조는 그림 6의 구조에서 Mux 블록을 (L-1)개 감소시켰으므로 기존의 구조에 비해 약 45% 정도

의 면적을 감소시킬 수 있었다.

표 3에 보여준 구조별 전력소모를 살펴보면, 그림 6의 구조에서는 기존의 구조에서 사용되었던 M-clk을 제거함으로써 약 88% 정도의 전력을 감소시켰다. 반면 제안된 구조에서는 중복입력을 고려하여 (L+1)개의 Mux 블록을 사용하여 메인클럭 1-clk 내에 두 개의 Mux 선택 신호를 더해줘야 하기 때문에 그림 6의 구조에 비해 면적이 줄어들었음에도 불구하고 약 76% 정도의 전력이 감소되었다.

결과적으로 그림 6의 구조는 전력 감소측면에서 가장 우수하지만, 요구되는 면적과 전력 감소를 살펴보면 기존의 구조에 비해 약 45% 정도의 면적 감소와 약 76% 정도의 전력 감소를 보인 제안된 구조가 trade-off를 따져 볼 때 좀 더 개선된 구조라 할 수 있다.

표 2. 구조별 면적 비교 (Gate 수)

구 분	DCT point 수		
	16	32	64
그림 2 구조 - ①	16316	32465	64143
그림 6 구조 - ②	14304	28137	55446
그림 8 구조 - ③	9192	17693	33884
②:① 감소율(%)	12.3	13.3	13.6
③:① 감소율(%)	43.7	45.5	47.2

표 3. 구조별 전력 비교 (uW)

DCT point 수	16	32	64
구분			
그림 2 구조 - ①	234.1793	453.7214	869.5307
그림 6 구조 - ②	29.1155	52.4499	92.5048
그림 8 구조 - ③	60.2314	108.3426	196.0874
②:① 감소율(%)	87.6	88.4	89.4
③:① 감소율(%)	74.3	76.1	77.4

IV. 결론

본 논문에서는 DCT를 이용한 잡음 발생회로의 면적과 전력을 감소시키기 위한 방안을 제시하였다. 제안된 잡음발생기는 shift-and-add 곱셈 구조를 이용하여 기존의 구조에서 사용된 메인클럭보다 M배 빠른 M-clk을 제거함으로써 전력소모를 약 74~77% 정도 감소시켰다. 또한 잡음 발생회로에서 DCT의 출력에서 발생하는 신호의 중복사용을 고려하여, DCT를 제외한 나머지 회로의 면적을 DCT 포인트 수에 따라 약 44~47% 정도까지 줄일 수 있음을 보였다.

참고 문헌

- [1] J. S. Chow, *Finite-length equalization for multi-carrier transmission systems*. Ph.D Thesis, Stanford University, 1992
- [2] J. L. Dixon, J. S. Yeomans, and J. M. Goldthorp, "NEXTNOISE-a programmable noise generating system for testing wire-based loop transmission systems," *Proceedings of the Globecom' 93*, pp.1319-1324, Nov. 1993.
- [3] K. Tae, D. Kim, and J. Chung, "Noise Generation System Using DCT," *IEICE Trans. on Communications*, vol. E84-B, no. 9, pp. 2697-2700 Sept. 2001.
- [4] J. Cioffi, "Very-high-speed digital subscriber lines system requirements," *Committee T1-Telecommunications*, Nov. 1998.
- [5] A. Papoulis, *Probability, Random Variable, and Stochastic Processes*. McGraw-Hill Inc., 1991.

김 대 익(Dae-Ik Kim) 정회원

제 26권 제 12A호 참조

현재 : 여수대학교 반도체응용물리학과 전임강사

여수대학교 기초과학연구소 연구원

<주관심 분야> 저전력 VLSI 설계

박 흥 열(Hong-Yul Park) 정회원

제 26권 제 12A호 참조

2002년 8월 전북대학교 정보통신공학 공학석사

<주관심 분야> VLSI 신호처리

정 진 균(Jin-Gyun Chung) 정회원

제 26권 제 12A호 참조

현재 : 전북대학교 전자정보공학부 교수

<주관심 분야> VLSI 신호처리, 고속 DSL 모델