

파장다중 네트워크에 사용될 광 패킷 스위치 구조

정희원 최영복*, 김해근**, 주성순**, 이상화***

A Photonic Packet Switch for Wavelength-Division Multiplexed Networks

Young-Bok Choi*, Hae-Geun Kim**, Seong-Soon Joo**, Sang-Wha Lee*** *Regular Members*

요약

인터넷 트래픽의 급속한 증가로 인해 보다 큰 네트워크 용량이 요구되고 있다. 광 패킷 교환은 상이한 유형의 데이터를 지원하는 미래의 네트워크에서 필요한 특성들인 고속의 데이터 교환, 데이터 속도와 유형에 대한 투명성 등을 제공하여 준다. 본 논문에서는 IP 전송을 위해 광 패킷 코어 스위치와 광섬유링크로 구성된 광 백본 네트워크를 정의한다. 그리고 WDM 광 네트워크에서 광섬유 상에 존재하는 다수의 파장링크의 전 대역을 통합하여 단일 매체의 대역으로 관리하는 멀티링크 광 패킷 스위치를 제안한다. 제안된 스위치는 WDM 버퍼를 사용할 뿐만 아니라 출력 링크의 광 패킷 메모리를 균등하게 사용하여, 필요한 메모리의 수를 줄임으로써 광 패킷 메모리를 경제적으로 실현할 수 있다. 컴퓨터 시뮬레이션에 의한 성능평가의 결과는 제안 스위치의 효율성을 보여준다.

ABSTRACT

The current fast-growing Internet traffic is demanding more and more network capacity. Photonic packet switching offers high-speed, data rate/format transparency, and configurability, which are some of the important characteristics needed in future networks supporting different forms of data. In this paper, we define that optical backbone networks for IP transport consist of optical packet core switches and optical fibers. We propose a multi-link photonic packet switch managing as single media which unifies the whole bandwidth of multiple wavelengths on the optical fiber in the WDM optical networks. The proposed switch uses optical packet memories of output link equally as well as using the WDM buffer. So it cuts down the required number of buffers and realizes of the optical packet memory economically.

1. 서론

인터넷 이용자의 빠른 증가로 인해 인터넷 트래픽의 급격한 증가를 겪고 있는 현재, 후자는 인터넷 트래픽의 증가는 6개월에 2배씩 늘어난다고 조심스레 예측하기도 한다^[1]. 또한 인터넷 트래픽은 계속해서 보다 큰 네트워크 용량을 필요로 하고 있다. 광 패킷 교환은 상이한 형태의 데이터를 지원하는 미래의 네트워크에서 필요한 특성들인 고속의 데이

터 교환, 데이터 속도와 유형에 대한 투명성 등을 제공하여 준다^{[2][3]}.

파장다중 기술은 미래의 광 네트워크 구성에 가장 유력한 기술로 대두되고 있다^[4]. 파장다중 광 네트워크에서 특정 두 노드 사이의 단일 광섬유 상에는 많은 파장 채널이 존재함으로써 거대한 양의 멀티미디어 정보를 전송할 수 있는데, 따라서 교환 노드는 매우 큰 스위칭 용량을 가지고 있어야 한다.

광 패킷 스위치는 다양한 멀티미디어 정보를 전

* 동명정보대학교 정보통신공학과 (ybchoi@tit.ac.kr)

** 한국전자통신연구원 네트워크연구소

*** 서원대학교 컴퓨터정보통신공학부

논문번호: 020071-1215, 접수일자: 2002년 2월 15일

※ 본 연구는 부분적으로 2002년도 동명정보대학교 학술연구비 지원에 의하여 수행되었음

송할 미래의 통신망을 위해 활발히 연구되어지고 있으며 이는 광 스위칭 구조와 전기적 제어 구조의 2계층 구조로 최근까지 발전되어 왔다^{[5][6][7][8][9]}. 그러나 대용량의 광 패킷 버퍼를 실현하는 것은 현재 기술적으로 매우 어려운 문제이다^[10].

두 개의 노드사이에 여러 개의 물리적 링크가 존재하는 네트워크에서 그 링크들을 높은 대역의 단일 매체로 사용하는 멀티 링크 패킷 스위치가 연구되어지고 있다. 파장다중 광 네트워크에서는 특정한 두 노드사이에 있는 하나의 광섬유 사이에 복수개의 파장링크가 존재하게 된다^[11].

본 논문에서는 이러한 파장다중 광 네트워크에서 광섬유 상에 존재하는 복수개의 파장링크의 전 대역을 통합하여 단일 매체의 대역으로 관리하는 멀티링크 광 패킷 스위치를 제안한다.

II. 파장다중 광 패킷 네트워크

인터넷 트래픽 전송을 위한 광 백본 네트워크는 그림 1과 같이 광 패킷 코어 스위치와 광섬유링크로 구성된다. 각 라우터는 패킷 코어 스위치에 연결되어 있으며, 광섬유링크 상에는 많은 파장이 다중화 되어 있다. 백본 네트워크에서의 광 패킷은 고정 길이를 가지며 여러 개의 IP 패킷을 포함한다. 패킷은 동일 응용이라도 서로 다른 파장링크를 통하여 다음 교환노드로 전송될 수 있는데, 이때 패킷의 순서가 뒤바뀔 가능성을 지니고 있다. 제안된 스위치를 사용할 경우 네트워크 전체에서 패킷의 순서를 보전할 수 있다.

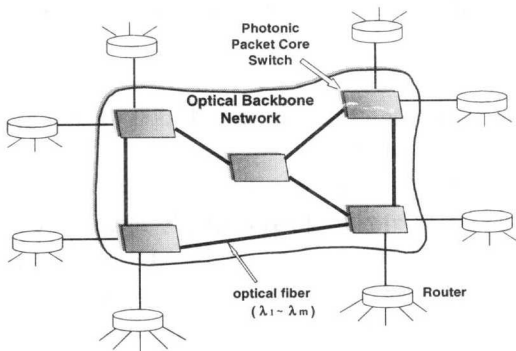


그림 1. 광 백본 네트워크

그림 2와 같이 제안된 스위치는 광 스위치 모듈과 패킷 분배기 모듈의 2단으로 구성되어 있다. 패킷을 목적지 출력단자로 교환하는 $i \times n$ 광 스위치 모듈에서 i 개의 입력단자 중 1번이 우선순위가 가

장 높으며, i 번이 우선순위가 가장 낮다. 광 스위치 모듈에서는 입력패킷을 목적 단자로 교환하기 위해 파장을 이용함으로써 제어 구조가 간단해진다. 또 WDM 버퍼를 사용하므로 버퍼 메모리의 하드웨어가 "1/파장 수"만큼 절약된다.

패킷 분배기 모듈에서는 매 타임 슬롯마다 모든 입력단자에 대하여 위에서부터 차례로 스케닝하여, 도착된 패킷은 출력광섬유링크의 파장으로 위에서부터 차례로 분배하게 된다. 광섬유 1개 당 파장 링크 수보다 입력단자의 수가 많을 것으로 가정되어지므로 파장링크 수보다 더 많은 패킷이 동시에 도착하게 되면 광 패킷 메모리에 저장한다. 이러한 방식에서는 패킷 분배기의 1번 파장이 우선순위가 가장 높아진다. 따라서 광 백본 네트워크의 노드를 제안한 스위치들로 구성하게 되면 동일 응용이 서로 다른 파장으로 전달되더라도 그 순서가 바뀌지 않는다는 것을 알 수 있다. 스위치의 성능 향상을 위해 광 스위치 모듈과 패킷 분배기 모듈사이의 패킷 전송속도를 k 배 고속화한다. 따라서 광 스위치 모듈의 버퍼 오버플로우가 감소되고 또한, 패킷 분배기 모듈로 광 패킷이 빠르게 전송되므로 출력광섬유링크에서 각 파장의 패킷 전송효율이 향상된다. 이에 따라 패킷 손실률과 지연시간에 대한 스위치의 성능 향상을 가져오게 된다.

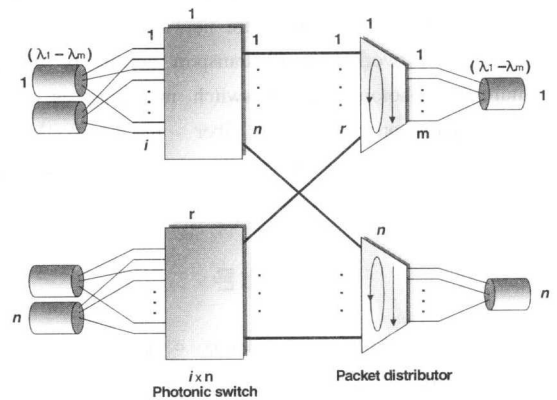


그림 2. WDM 네트워크용 광 패킷 스위치

현재, 광 패킷 스위치 제작상의 가장 큰 문제는 광 패킷 메모리 구현인데, 제안한 스위치는 WDM 버퍼를 사용하는 것 뿐만 아니라 패킷 분배기 모듈의 광 패킷 메모리를 균등하게 사용하여 필요한 버퍼의 수를 줄임으로써 광 패킷 메모리를 경제적으로 구현할 수 있다. 이것은 특히 버스트 트래픽에 매우 효과적이다. 일례로 입출력 패킷의 속도 $s=10$ Gbit/s

이고, 입출력 링크의 수 $n=32$, 그리고 다중화된 파장수 $m=32$ 일 때 10.24 Tbit/s의 스위칭 용량을 가지게 되는데, 이는 매우 큰 용량임을 알 수 있다.

III. 광 스위치 모듈

1. 스위칭 구조

광 패킷을 목적지 광섬유링크로 교환하는 광 스위치 모듈은 그림 3에서와 같이 입력 정합부(IIM), 가변 파장 변환기(TWC), 파장다중(WDM) 버퍼, 파장 DMUX 및 전자 제어부(스위치 제어)로 구성된다. 여기서, λ_{ix} 는 입력 링크 상의 파장을, λ_{sx} 는 패킷 스위치에서 스위칭을 위해 사용되는 파장을 나타낸다.

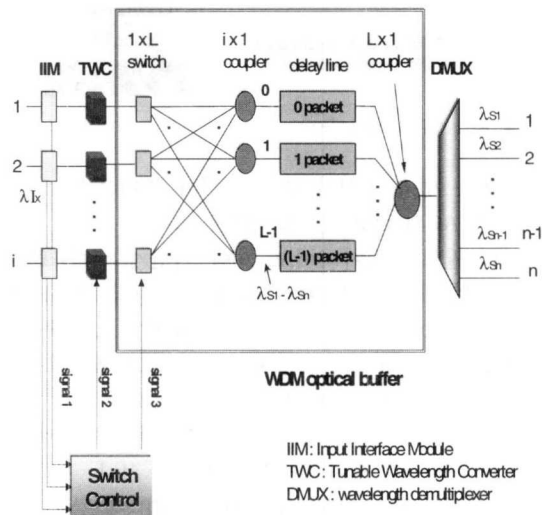


그림 3. 광 스위치 모듈

광 스위치 모듈에서 입력 패킷을 목적지 출력단으로 교환하는 동작은 입력 패킷 파장 λ_{ix} 를 목적지 출력 링크에 대응하는 파장 λ_{sx} 로 변환함으로써 이루어진다. 입력 정합부(IIM)에서는 도착한 광 패킷을 가변 파장 변환기에 광 신호의 상태로 보냄과 동시에 패킷의 헤더 부분을 추출하고 전기 신호로 바꾸어 스위치 제어부의 앞으로 보낸다. 입력 정합부와 가변 파장 변환기 사이에는 전기적인 제어 처리를 하기 위해 광 지연선을 첨가한다. 스위치 제어부는 패킷 헤더를 해석하여 가변 파장 변환기 및 광 버퍼 모듈을 제어하게 되는데 이로 인하여 광 패킷의 파장이 가변 파장 변환기에서 목적지 출력단에 대응하게 변환된다. 예를 들어 만약 목적지 출력단이 2번이라면, 패킷의 파장은 가변 파장 변환기

에서 λ_{s2} 로 변환된다. 광 패킷의 파장은 버퍼 모듈에서 $i \times 1$ 커플러에 의해 다중화되고, 파장 다중화된 패킷은 패킷 메모리에 저장되며, DMUX에서 각 파장채널로 역 다중화 되어 해당 목적지 출력링크로 전송된다.

WDM버퍼는 다수의 $1 \times L$ 스위치, $i \times 1$ 커플러, 광 지연선들과 하나의 $L \times 1$ 커플러로 구성된다. WDM 패킷 버퍼 모듈의 입력 포인터는 각 파장에 독립적으로 관리되는데, 여기에서 각 파장은 목적지 출력 링크에 맞게 변환된다. 이러한 동작에는 버퍼 출력을 위한 제어가 필요치 않게 된다.

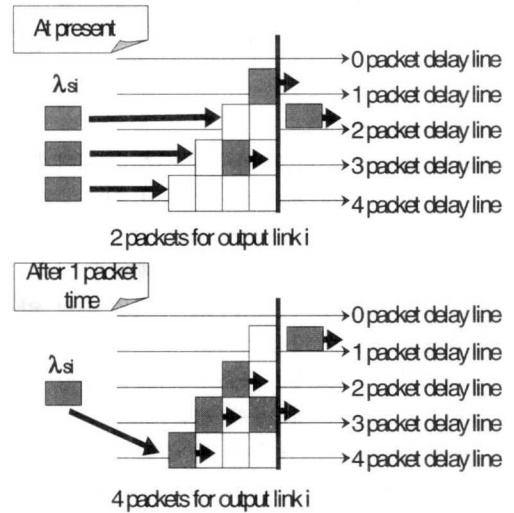


그림 4. 출력링크 i로 향하는 패킷들에 대한 WDM버퍼의 동작

그림 4에서 WDM 버퍼의 동작 설명을 위한 직관적인 모델을 보여주고 있다. 특정 출력 단자 i 를 향하는 두 개의 패킷이 저장되어 있고, 이 버퍼에 파장이 λ_{si} 인 3개의 패킷이 도착한다고 가정하면 도착한 3개의 패킷은 2, 3, 4 패킷 지연선에 순서대로 저장된 후 1패킷 지연선으로부터 한 패킷이 읽혀진다. 한 패킷 시간 후 버퍼에는 4개의 패킷이 남는다. 이 때 만약 파장 λ_{si} 의 한 패킷이 도착한다면 그 패킷은 4패킷 지연선에 저장될 것이다. 모든 파장에 대해 버퍼의 입력은 이러한 방법으로 제어되고, 이러한 광 패킷은 $i \times 1$ 커플러에서 파장 다중화된다. 따라서 특정한 파장을 가진 하나의 패킷은 일정한 타임슬롯에서 출력되게 된다. 특정 파장에서 버퍼에 저장될 수 있는 최대 패킷의 수는 가장 긴 지연선에 지연된 패킷의 수와 동일하다. 이와 같은 WDM 버퍼의 특징은 버퍼링 제어가 매우 간단하다

는 것이다.

각각의 광 지연선으로부터 출력된 패킷은 L x 1 커플러로 다중화되고, DMUX에서 역다중화된다. 그 다음에 패킷은 목적지 출력 단자로 전송된다.

광 스위치 모듈과 패킷 분배기 모듈 사이에는 bit-rate up converter와 bit-rate down converter^[5]를 각각 사용하여 광 패킷의 전송 속도를 k배로 고속화시키면 스위칭 성능이 향상될 것이다. 이렇게 함으로써 광 패킷이 패킷 분배기 모듈로 빨리 전송됨으로 광 스위치 모듈에서의 버퍼 오버플로우가 줄어들 것이고, 패킷 분배기 모듈은 버퍼를 균등하게 사용하기 때문에 전체 패킷 손실율이 줄어들 것이며, 이는 출력 링크의 사용율을 높이는 결과를 가져올 것이다.

2. 스위칭 제어

최근에 연구되는 광 스위치는 전기적 제어가 필요한 광-전 스위칭 장치로 구성되어 있다. 제안된 스위치에서 광 데이터 패킷은 헤더 정보에 따라 전기적으로 처리하는 전기 제어부의 제어에 의해 교환된다. 그러나 스위치 제어구조는 내부 패킷 라우팅에 WDM 기술을 사용함으로써 매우 단순해진다. 본 논문에서는 하드웨어 구조에 의해 라우팅 제어를 처리하는 고속의 제어부를 제안한다.

스위치 제어부는 그림 5에서와 같이 디코더, 버퍼 할당 관리부(BAM) 및 버퍼 입력 제어부(BIC)로 구성된다. 디코더는 전기적인 패킷 헤더를 분석하고 가변 파장 변환기를 제어하며 그림 5에서와 같이 모두 버퍼 할당 관리부로 향하는 작은 제어 패킷을 생성하는데, 생성된 제어 패킷은 1비트의 AC(active flag)와 버퍼 입력 포인터(BIP) 필드로 구성된다. 광 데이터 패킷에 해당하는 제어 패킷이 특정한 출력 단으로 향한다면 AC 필드는 1로 세팅되고, 그렇지 않으면 0이 된다. 버퍼 입력 포인터(BIP) 필드는 AC 필드와 같은 값으로 초기화 된다.

BAM은 각각의 출력단에서 패킷의 버퍼 입력 포인터(BIP)를 계산하며, 그림 6에서와 같이 $i \times i$ 연속 가산 망, 입력 포인터 인코더(IPE), 현재 입력 포인터 관리기(CIPM)로 구성된다. 연속 가산 망의 기능은 출력단에서 현재 입력 포인터 값과 주소 일치 패킷들의 수를 연속으로 더하는 것이다^[12]. 이들 각 요소의 동작은 그림 6의 왼쪽 상단에 나타나 있다. 두 개 입력의 BIP 값은 더해지고, 그 결과는 수평 출력선에 새로운 BIP 필드 값으로 출력된다. 수직 출력선은 단순하게 통과하고, 수평 출력에서

AC 필드의 값은 수평 입력과 같다. 그림 6은 연속적인 덧셈의 전형적인 예를 설명하는데, 주소가 일치된 5개의 패킷에는 7을 시작으로 연속적인 번호가 할당된다.

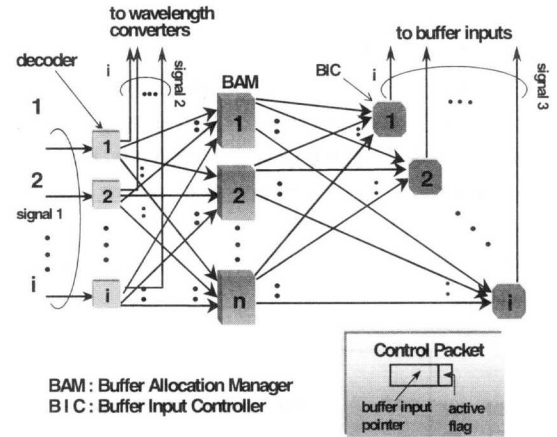


그림 5. 스위치 제어 구조

IPE는 연속 가산기 출력과 버퍼 크기 L을 참조하면서 AC와 INP 필드를 갱신한다.

- AC 필드의 값이 1이고, 연속 가산기 출력에 BIP 필드의 값이 버퍼 크기 L보다 작다면(정확히, $BIP \leq L$), AC 필드는 변경 없이 통과되고 BIP 필드는 BIP-1이 된다. 결과적으로 BIP 필드의 값은 0에서 L-1까지 변하게 된다.
- AC 필드의 값이 1이고 연속 가산기 출력에서 BIP 필드의 값이 버퍼 크기 L보다 크다면(정확히, $BIP > L$), AC 필드와 BIP 필드는 둘 다 0으로 세팅된다. 이것은 버퍼의 오버플로우를 의미한다.
- AC 필드가 0이면, AC 필드와 BIP 필드는 0으로 세팅된다.

AC 필드의 값은 (값이 1일 때 active) 일치하는 광 데이터 패킷이 버퍼에 입력될 수 있는지를 결정한다. BIP 필드는 데이터 패킷의 버퍼링 위치를 결정하며, CIPM은 연속 가산기의 마지막 출력선에서 BIP 값으로부터 현재의 입력 포인터를 계산한다. 현재 입력 포인터의 값은 현재 버퍼에 저장되어 있는 패킷의 수를 나타낸다. 그림 6에서 버퍼 크기 L은 10이고 현재 입력 포인터는 6이며, 다섯 개의 패킷이 버퍼의 특정 출력선에 도착한다. 4개의 패킷은 버퍼 내에 안전하게 할당되지만 하나의 패킷은 버퍼 오버플로우로 인해 버려진다. 다음 타임 슬롯 동안 현재 입력 포인터는 9가 될 것이다.

스위치 제어부의 BIC는 AC 필드가 1인 제어 패킷의 BIP 필드에 근거한 버퍼 입력 앞단의 1 x L 스위치를 제어한다.

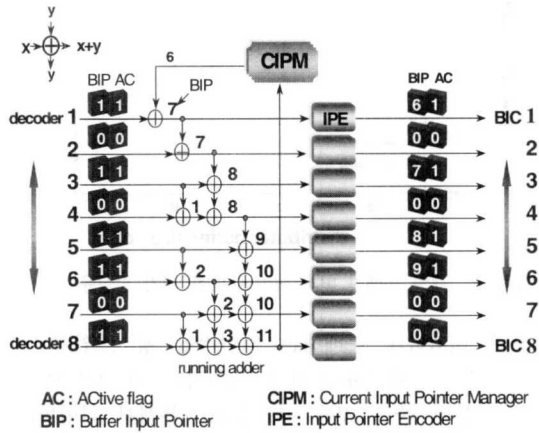


그림 6. 버퍼 할당 관리자. (예, i=8, L=10)

IV. 패킷 분배기 모듈

패킷 분배기 모듈의 구조는 그림 3에 보여진 광 스위치 모듈에서 출력단의 DMUX를 제거한 구조와 동일하다. 패킷 분배기 모듈에서는 도착한 광 패킷의 파장을 λ_1 에서 λ_m 까지 순차적으로 변환한다. 그 후 광 패킷은 WDM 패킷 버퍼에 저장되며, 파장 다중화된 광 패킷은 출력 광섬유링크로 전달되게 된다.

패킷 분배기의 제어부는 그림 7과 같이 디코더, r x r 연속 가산망, 파장 할당 인코더(WAE), 입력 제어기(IC), 그리고 포인터 관리자(PM)로 구성되어 광 스위치 모듈의 제어부 보다 훨씬 간단하다.

디코더는 패킷 헤더를 분석하고 1bit의 AC(active flag) 필드와 AW(assigned wavelength) 필드, 그리고 DS(displacement) 필드로 구성된 작은 제어 패킷을 생성시킨다. 분배기의 입력포트에 대응하는 광 패킷이 동작하게 되면 AC 필드는 1, 그렇지 않으면 0으로 세팅된다. 초기에 AW 필드는 AC 필드와 같은 값으로 세팅되며, DS 필드는 영향을 받지 않는다.

연속 가산망은 LAW(last assigned wavelength) 파장의 값과 출력광섬유에 도착한 패킷의 수를 계속해서 가산하는 기능을 가진다. AW의 두 입력은 더해지고 그 결과는 출력선에서 새로운 AW 필드 값으로 출력된다. 수직 출력선은 단순히 통과되고, 수평 출력선에서 AC 필드의 값은 수평 입력과 동

일하다. 그림 7은 연속 가산의 전형적인 예를 든 것으로 도착된 다섯 개의 패킷이 3에서부터 연속적인 값을 할당받는 것을 보여주고 있다.

Control of the packet distributor : i=8, m=4

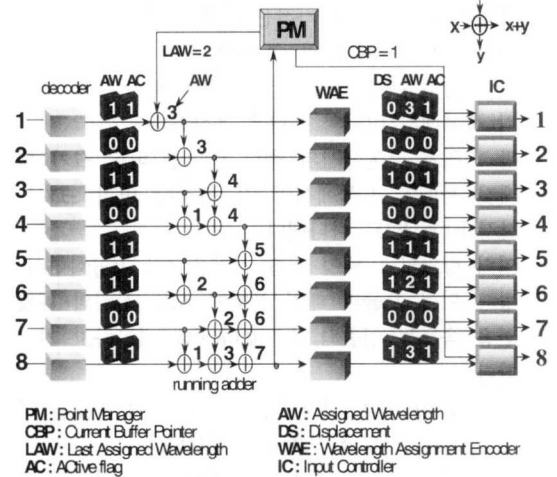


그림 7. 패킷 분배기의 제어구조

파장 할당 인코더(WAE)는 AW 필드와 DS 필드를 갱신한다. 연속 가산기에서 출력된 AW 필드의 값은 파장 할당 인코더내에서 다중화된 파장 수인 m에 의해 나누어지게 된다. 이때 몫은 DS 필드의 값이 되고 나머지는 AW 필드의 값이 된다.

각 입력 제어기는 AW 필드의 값을 참조해 대응하는 가변 파장 변환기(TWC)를 제어하고, DS 필드의 값을 참조하여 WDM 버퍼의 입력 스위치를 제어한다.

IV. 성능 평가

제안된 광 패킷 스위치의 성능을 평가하기 위하여 컴퓨터 시뮬레이션에 의해 패킷 손실률 및 지연 시간을 구하였다. 성능 평가의 목표는 제안 스위치를 사용하여 패킷 순서 바뀔 없이 출력 광섬유링크의 복수 개 파장에 패킷을 차례로 분배함으로써 성능이 개선되는 것을 확인하기 위한 것이다. 일반적인 광 패킷 스위치에서는 출력 광섬유링크로 패킷을 전송할 때, 하나의 응용에 속하는 패킷들은 패킷 순서 바뀔을 방지하기 위해서는 같은 파장으로 보내야만 한다. 따라서 어떤 시점에는 특정 파장으로 트래픽이 집중되는 경우도 있을 것으로 예측된다. 이와 같은 기존 방식을 출력 광섬유 링크에서 복수 개의 파장에 패킷을 랜덤하게 분배하는 것으로 모

텔링 하고, 본 논문에서 제안한 패킷을 순차적으로 분배하여 트래픽이 모든 파장에 균등하게 분포되게 하는 스위치와 비교하였다.

1. 시뮬레이션 모델

시뮬레이션을 위한 가정은 아래와 같다.

- 입출력 광섬유링크 의 수 $m=8$
- 출력 광섬유링크에서 파장의 수 $n=8$
- 각 출력에서 버퍼의 용량은 유한하다.
- 광 스위치 모듈에서의 출력 링크당 버퍼 크기 및 패킷 분배기 모듈에서의 각 파장당 버퍼 크기는 각각 b_1 과 b_2 로 나타낸다.
- 입력 링크의 1 패킷 전송 시간을 1로 정규화한다.
- 광 스위치 모듈과 패킷 분배기 모듈 사이의 패킷 전송 속도는 입출력 속도보다 k 배 빠르다고 가정한다.
- 모든 입력단자의 패킷 도착은 베르누이 분포를 따르고, 동일한 평균 도착율을 갖는다.
- 광 스위치 모듈에 도착한 패킷이 각 출력 광섬유 링크를 선택하는 확률은 동일하다.
- 패킷 분배기에서 각 패킷이 출력 광섬유 링크에서 파장을 선택하는 형태에 따라 2가지 트래픽 패턴이 있다.
 - uniform 트래픽 : 각 패킷은 모든 출력 파장에 대한 선택 확률이 동일하다.
 - hot-spot 트래픽 : 이 트래픽 패턴에서는 각 패킷이 hot-spot 파장과 그 외의 파장을 선택하는 확률이 다르다. 각 패킷이 hot-spot 파장을 선택할 확률이 파장을 선택할 확률보다 h 만큼 더 크다. 즉, 각 패킷이 파장을 선택할 확률은 다음과 같다.
 - hot-spot 파장 : $(1-h)/n + h$
 - 그 외의 파장 : $(1-h)/n$

2. 평가 결과

그림8은 uniform 트래픽의 부하 $p=0.9$, 고속화 요소 $k=2$, 광 스위치 모듈 버퍼 크기 $b_1=20$ 의 조건에서, 패킷 분배기 모듈의 버퍼 크기 b_2 에 대한 패킷 손실률 특성을 보여준다. 패킷 손실률은 광 스위치 모듈과 패킷 분배기 모듈에서의 종합적인 패킷 손실률이다.

이 그래프에서는 부하 $p=0.9$ 에서 10^{-6} 보다 작은 패킷 손실률을 갖는 버퍼 크기를 평가하는 것을 목적으로 한다. 패킷 분배기 모듈의 버퍼 크기 b_2 의 증가에 따라 연속적으로 패킷 손실률이 개선되는 것을 알 수 있다. 패킷을 출력 광섬유 링크의 각 파

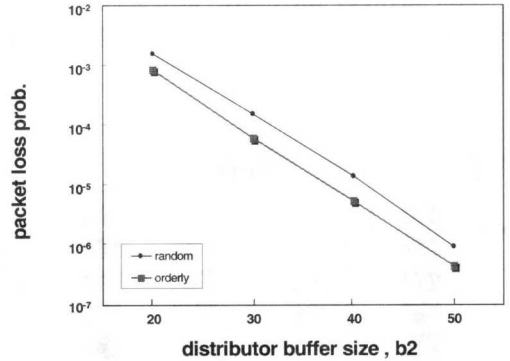


그림 8. 패킷 분배기 버퍼 크기에 따른 패킷 손실률

장에 랜덤하게 분배하는 일반적인 광 스위치보다 순차적으로 할당하는 제안 스위치가 전 영역에 걸쳐 성능이 좋은 것이 이 결과를 통해서 확인된다. 이 결과로부터, 부하가 0.9일 때 패킷 분배기의 각 파장마다 50개의 패킷 버퍼를 가지면, 제안 스위치에서는 패킷 손실률이 10^{-6} 보다 작아지는 것을 알 수 있다.

그림9는 그림8과 같은 조건에서 패킷 분배기 모듈의 버퍼 크기 b_2 에 대한 지연특성을 나타낸다. 평균 지연시간은 광 스위치 모듈과 패킷 분배기 모듈에서의 총 큐잉 지연의 평균이다. 제안 스위치의 지연특성이 전 영역에 걸쳐서 개선되는 것을 알 수 있는데, 손실률이 개선되면서(그림8) 지연특성도 개선된다는 것은 트래픽이 출력 링크의 특정 파장에 집중되지 않고 모든 파장에 고르게 분포됨으로써 더 빨리 스위치에서 출력되며, 이는 광섬유 링크 각 파장의 전송효율이 높아지는 것을 의미한다.

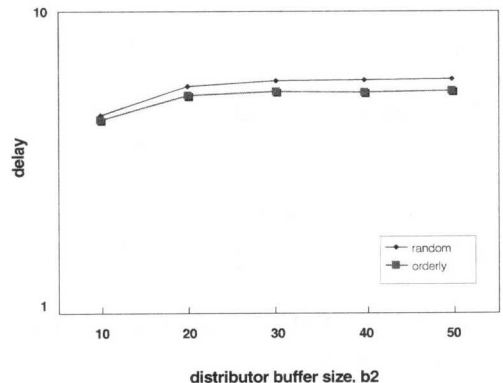


그림 9. 패킷 분배기 버퍼 크기에 따른 지연시간

그림10에서는 uniform 트래픽의 부하 $p=0.9$, 고속화 요소 $k=2$, 양쪽 모듈의 출력 파장당 버퍼 크기

의 합을 50 (즉, $b_1+b_2=50$)으로 고정한 상태에서, 광 스위치 모듈의 버퍼 크기 b_1 에 대한 패킷 손실률 특성을 보여준다. 광 스위치 모듈의 버퍼 크기(b_1)가 8정도 될 때 손실률 특성이 가장 좋아지는 것을 알 수 있으며, 전 영역에 걸쳐 제안 스위치의 성능이 더 좋은 것을 확인할 수 있다. 버퍼 크기 b_1 이 8일 때를 중심으로 양쪽으로 성능이 나빠지는 것은 b_1 이 8보다 적을 때는 광 스위치 모듈에서 손실이 많고, b_1 이 8보다 클 때는 패킷 분배기 모듈에서 손실이 많이 일어나기 때문일 것으로 추측되어진다.

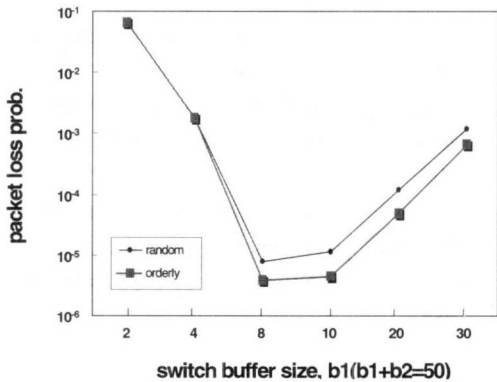


그림 10. 광 스위치 버퍼 크기에 따른 패킷 손실률

그림11은 그림10과 같은 조건에서 광 스위치 모듈의 버퍼 크기 b_1 에 대한 지연특성을 나타낸다. 전 영역에 걸쳐서 제안 스위치의 지연 특성이 개선되며, 그림8에서 가장 우수한 손실특성을 보여주는 $b_1 = 8$ 에서 지연특성도 개선된다는 것은 도착한 패킷이 스위치로부터 신속히 출력되며 이는 광섬유 링크에서 각 파장을 균등하게 사용함으로써 전송효율을 개선하는 것을 의미한다.

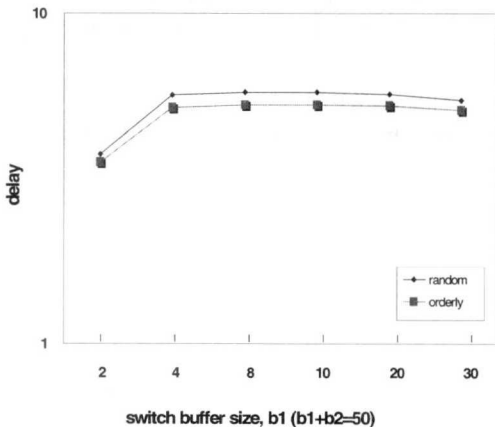


그림 11. 광 스위치 버퍼 크기에 따른 지연시간

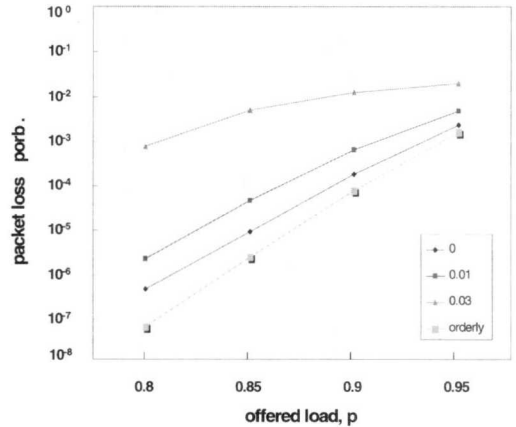


그림 12. hot-spot 트래픽 환경에서 패킷 손실 특성

그림12는 트래픽이 특정 파장으로 집중되는 hot-spot 트래픽에서 트래픽 집중율 h 를 파라미터로 모든 파장에 대한 평균 패킷 손실률을 나타낸다. 고속화 요소 $k=2$, 광 스위치 모듈 버퍼 크기 $b_1=20$, 패킷 분배기 모듈 버퍼 크기 $b_2=30$ 으로 가정하였다. 트래픽 집중율이 높아질수록 손실특성이 나빠지는 것을 확인할 수 있는데, 이는 패킷 분배기의 출력 링크에서 특정 파장에 트래픽이 집중되어 발생하는 버퍼 오버플로우에 의한 손실이 주된 원인이며, 출력 링크 파장 이용 효율을 나쁘게 할 것으로 예상된다. 이 결과로부터 각 파장간 트래픽 균형의 중요성을 인식할 수 있으며, 제안 스위치의 우수성을 확인할 수 있다.

V. 결론

본 논문에서는 광 패킷 코어 스위치와 광섬유링크로 구성된 인터넷 트래픽 전송을 위한 광 백본 네트워크를 정의하였으며, 파장다중 광 네트워크에서 광섬유 상에 존재하는 다수의 파장링크의 전 대역을 통합하여 단일 매체의 대역으로 관리하는 멀티링크 광 패킷 스위치를 제안하였다. 광 패킷 스위치는 광 스위치 모듈과 패킷 분배기 모듈의 2단으로 구성된다. 광 스위치 모듈은 패킷을 출력 링크로 교환하며, 패킷 분배기 모듈은 매 타임 슬롯마다 모든 입력 링크를 처음부터 차례로 스캐닝하여 도착한 패킷은 출력 광섬유 링크의 파장에 순서대로 분배한다. 내부 패킷 라우팅에는 파장다중 기술을 활용하여 스위치의 제어 구조가 매우 단순하다. 이에 본 논문에서는 하드웨어 메커니즘에 의해 라우터

리가 이루어지는 고속의 제어부도 설계하였다. 제안된 광 패킷 스위치는 WDM 버퍼를 사용할 뿐 만 아니라 패킷 분배기 모듈의 광 패킷 메모리를 균등하게 사용하여 필요한 버퍼의 수를 줄일 수 있다. 따라서 광 패킷 스위치 제작 상의 가장 어려운 문제인 광 패킷 메모리를 경제적으로 실현할 수 있다. 제안한 광 패킷 스위치의 성능을 컴퓨터 시뮬레이션을 이용하여 평가하였다. 평가 결과는 제안 스위치가 광 패킷 메모리를 절약할 수 있는 구조이며, 광섬유 링크상의 파장 이용율을 높일 수 있음을 보여주었다.

참 고 문 헌

[1] J. Anderson, J. Manchester, A. Rodriguez-moral, and M. Veeraraghavan, "Protocols and Architectures for IP Optical Networking," *Bell Labs Technical J.*, pp.105-124, Jan.-Mar. 1999.

[2] S. Yao and B. Mukherjee, "Advanced in Photonic Packet Switching : An overview," *IEEE Commun. Mag.* Vol.38, no.2, pp.84-94, Feb. 2000.

[3] F. Callegati, M. Casoni, and C Raffaelli, "Packet Optical Networks for High-Speed TCP-IP Backbones," *IEEE Commun. Mag.* vol.37, no.1, pp.124-129, Jan. 1999.

[4] K. C. Lee, and V. O. K. Li, "A Wavelength-Convertible Optical Network," *IEEE J. Lightwave Technol.*, vol.11, no.5/6, pp.962-970, May/June. 1993.

[5] Y. Shimazu and M. Tsukada, "Ultrafast Photonic ATM Switch with Optical Output Buffers," *IEEE J. Lightwave Technol.*, vol.10, no.2, pp.265-272, Feb. 1992.

[6] Z. Haas, "The Staggering Switch : An Electronically Controlled Optical Packet Switch," *IEEE J. Lightwave Technol.*, vol.11, no.5/6, pp.925-936, May/June 1993.

[7] T. Matsunaga, "Sorting-Based Routing Algorithms of a Photonic ATM Cell Switch : HiPower," *IEEE Trans. Commun.*, vol.41, no.9, pp.1356-1363, Sep. 1993.

[8] W. D. Zhong, Y. Shimazu, M. Tsukada, and K. Yukimatsu, "A Modular Tbit/s TDM-WDM Photonic ATM Switch Using Optical Output

Buffers," *IEICE Trans. Commun.*, vol.E77-B, No.2, pp.190-196, Feb. 1994.

[9] P. Cinato, G. Bendelli, M. Burzio and P. Gambini, "Architectural Analysis, Feasibility Study and First Exerimental Results for a Photonic ATM Switching Module to be Employed in a Large Size Switching Network," *in proc. ISS'95*, vol.2, pp.382-386, April 1995.

[10] K. Yukimatsu, "Photonic Switching Technology," *IEICE Technical Report*, SSE93-119, 1993.

[11] I. Widjaja, H. S. Kim, and A. Leon-garcia, "A High-capacity Broadband packet Switch Architecture based on a Multilink Approach," *Intern. J. Commun. Systems*, vol.8, pp.69-78, 1995.

[12] T. T. Lee, "Nonblocking Copy Networks for Multicast Packet Switching," *IEEE J. Sel. Areas Commun.*, vol.6, no.9, pp.1455-1467, Dec. 1988.

최 영 복(Young-Bok choi) 정회원
한국통신학회논문지 제24권 제3호 참조
현재 : 동명정보대학교 정보통신공학과 부교수

김 해 근(Hae-Geun Kim) 정회원
한국통신학회논문지 제21권 제8호 참조
현재 : 한국전자통신연구원 네트워크연구소 책임연구원

주 성 순(Seong-Soon Joo) 정회원
한국통신학회논문지 제19권 제3호 참조
현재 : 한국전자통신연구원 네트워크연구소 책임연구원

이 상 화(Sang-Wha Lee) 정회원
현재 : 서원대학교 컴퓨터정보통신공학부 정보통신공학전공 교수