

IMT-2000 시스템을 위한 승산기를 사용하지 않는 인터플레이션 FIR 필터 구현

정희원 임인기*, 정희범*, 김경수*, 김환우**

Implementation of Multiplierless Interpolation FIR Filters for IMT-2000 Systems

In-Gi Lim*, Hee-Bum Jung*, Kyung-Soo Kim*, Whan-Woo Kim** *Regular Members*

요 약

본 논문은 승산기를 사용하지 않는 인터플레이션 FIR 필터에 관한 것이다. 승산기를 사용하지 않기 위하여 2의 보수 형태인 멀티 비트 필터 입력을 단일 비트로 변환하는 필터 입력의 단일 비트화 기법과 필터 계수의 대칭성 및 룩업 테이블 내의 대칭성을 효과적으로 사용한 룩업 테이블 최소화 기법을 사용함으로써 승산기를 사용하지 않고 B 비트 입력의 T탭 1:N 인터플레이션 FIR 필터 연산을 처리하는 새로운 필터의 설계 기법을 제안하였다.

본 논문에서 제안한 2가지 FIR 필터의 성능을 측정하기 위해 IMT-2000에서 규격으로 채택한 2가지 설계 파라미터를 적용하여 구현하였고, 설계 결과의 상대적인 비교를 위하여 일반적으로 널리 알려진 구조인 transversal 필터의 설계 결과와 비교한 결과 두가지 필터 구조 모두 동작 주파수의 큰 증가 없이 게이트 수를 약 70 % 줄일 수 있는 장점을 가졌다.

ABSTRACT

This paper is concerned about multiplierless interpolation FIR filters.

In this paper, we propose a filter that performs T tap 1:N interpolation FIR filter operation with B-bit inputs without using multipliers. This is done by applying a method which converts a 2s complement multi-bits input to multiple single-bit inputs and a lookup table minimization method which reduces the size of lookup tables by use of the symmetry of filter coefficients and the symmetry of each lookup table.

Two FIR filters are implemented using the methods proposed in this paper. Each of the two filters respectively follows the two design parameters in the specification of IMT-2000. Those two FIR filters have an advantage that the number of required gates is reduced up to 70% comparing to that of a conventional transversal FIR filter.

1. 서론

디지털 이동통신에서 사용되는 펄스 성형용 전송 필터의 경우를 살펴보면 적용 시스템이 복잡해지고, 구현 필터의 규격이 어려워질수록 요구되어지는 필터의 탭(tap)수는 증가되고 있는 실정이며, 전송하여야 하는 물리 채널수의 증가로 인해 채널의 다중화가 발생하고 이로 인해 필터 입력의 비트 수 또한

증가되고 있다.^[1,2]

FIR (Finite Impulse Response) 필터에서 탭수의 증가와 필터 입력 비트수의 증가는 승산기, 가산기, 다-플립플롭(D-flipflop)의 증가로 이어져 게이트 수가 증가된다. 따라서 디지털 이동통신 단말기에서 필수적인 소형화, 저 전력화를 위하여 상대적으로 게이트 수가 큰 승산기를 사용하지 않고 FIR 필터를 구현하는 방법들이 연구되고 있다.

* 한국전자통신연구원 반도체원천기술연구소 집적회로연구부 (iglim@etri.re.kr),

** 충남대학교 전자공학과

논문번호 : 010314-1031, 접수일자 : 2001년 10월 31일

이와 관련되어 최근에 발표된 논문으로는 필터 계수를 CSD(Canonical Signed Digit) 변환함으로써 승산을 수행하는 가산기의 수를 최소화하는 논문^[3,4]과 DA(Distributed Arithmetic)를 사용한 bit-serial 계산과 룩업 테이블(Lookup table)을 사용하는 FIR 필터^[5,6] 등이 있다.

본 논문에서는 DA를 응용한 필터 입력의 단일 비트화 기법 및 단일 비트 입력을 가지는 FIR 필터의 하드웨어 사용량을 줄이기 위해 필터 계수의 대칭성 및 룩업 테이블 내의 대칭성을 효과적으로 사용한 룩업 테이블 최소화 기법을 사용하였다.

본 논문에서는 필터 입력의 단일 비트화 기법과 룩업 테이블 최소화 기법이 적용된 승산기를 사용하지 않는 인터폴레이션(Interpolation) FIR 필터 구조 2가지를 제안하였다. 첫째는 계수 그룹별 룩업 테이블 갯수를 2개씩 사용하고 동작주파수를 최적화한, 필터 탭수가 작고 동작주파수를 최적화 할 때 사용되면 유용한 필터(FIR 필터(I)) 구조이고, 둘째는 계수그룹별 룩업 테이블 갯수를 1개씩으로 사용하고 동작주파수를 2배로 늘린, 필터 탭수 크기가 크고 동작주파수가 여유가 있을 때 사용되면 유용한 필터(FIR 필터(II)) 구조를 제안하였다.

II 장에서는 본 논문에서 제안한 필터 입력의 단일 비트화 기법에 대해 기술하며, III 장에서는 본 논문에서 제안한 2가지 구조의 승산기를 사용하지 않는 FIR 필터 설계에 대해 기술하며, IV 장에서는 본 논문에서 제안한 승산기를 사용하지 않는 인터폴레이션 FIR 필터의 두가지 구조에 대한 설명과 IMT-2000 시스템의 전송 필터 규격^[1,2]을 만족하는 2가지 설계 파라미터를 사용하여 본 논문의 FIR 필터와 기존의 transversal FIR 필터에 적용한 결과에 대해 비교 평가한다.

II. 필터 입력의 단일 비트화 기법

일반적으로 FIR 필터링은 식(1)과 같이 간단한 내적(inner product)으로 표현된다.^[7]

$$y[n] = \sum_{k=0}^{T-1} h[k] \cdot x[n-k] \quad (1)$$

여기서, $x[n]$, $y[n]$ 과 $h[n]$ 은 필터 입력, 필터 출력, 필터 계수를 나타내고, T 는 필터 탭수를 나타낸다.

최근의 디지털 이동통신에서는 전송 필터로서 하나의 필터 입력에 대하여 N 개의 필터 출력이 생성

되는, 즉 필터의 입력 주기(T_c)와 필터의 출력 주기(T_s)가 $T_c = NT_s$, 인 1:N 인터폴레이션 FIR 필터가 널리 사용되고 있으며, 이 경우 식(1)은 식(2)와 같이 표현된다.

$$y[N \times n + i] = \sum_{k=0}^{(T/N)-1} h[N \times k + i] \cdot x[n-k] \quad (2)$$

여기서, N 은 인터폴레이션 비이고, $i = 0, 1, \dots, N-1$ 을 가진다.

본 논문에서는 FIR 필터링 등의 내적 연산에 효율적인 구조를 가지는 DA^[4]를 응용한 필터 입력의 단일 비트화 기법을 사용하였다. 본 논문에서의 FIR 필터는 B 비트를 가지는 2의 보수 형태의 필터 입력 $x[n]$ 을 NRZ(Non-Return-to-Zero)신호인 '+1, -1'의 값 (이때, 2의 보수의 각 비트 값인 '0'은 '+1'로 '1'은 '-1'로 계산됨)을 가지는 1 비트 필터 입력으로 처리하기 위한 것으로, 필터 입력의 최상위 비트이며 부호 값을 나타내는 x_0 은 그대로 사용되며, 나머지 하위 비트들은 반전되어 사용된다. 필터 입력 $x[n]$ 을 편의상 $|x[n]| < 1$ 로 가정하면 각 비트 요소인 x_j 로 아래 식(3)과 같이 나타낼 수 있다.

$$x[n] = \frac{1}{2} \left[\sum_{j=0}^{B-1} x_j[n] \cdot 2^{-j} - 2^{-(B-1)} \right] \quad (3)$$

$$x_j = \begin{cases} \overline{x_j} & (j \neq 0) \\ x_j & (j = 0) \end{cases}$$

여기서, B 는 필터 입력의 비트수이고, $j=0$ 일 때가 최상위 비트이다.

필터 입력의 단일 비트화 기법에 의하여 새로이 정의된 식(3)의 필터 입력을 식(2)에 적용하면, 아래의 식(4)를 얻을 수 있다.

$$y[N \times n + i] = \frac{1}{2} \sum_{k=0}^{(T/N)-1} h[N \times k + i] \cdot \left[\sum_{j=0}^{B-1} x_j[n-k] \cdot 2^{-j} - 2^{-(B-1)} \right] \quad (4)$$

1 비트 필터 입력을 가지는 T 탭 1:N 인터폴레이션 FIR 필터를 y_s 함수로 식(5)와 같이 정의하고, 단일 비트화 기법의 적용시 발생된 각 계수 그룹별 FIR 필터의 옴셋값을 y_{os} 함수로 식(6)과 같이 정의한다.

$$y_s[N \times n + i] = \frac{1}{2} \sum_{k=0}^{(T/N)-1} h[N \times k + i] \cdot x_j[n-k] \quad (5)$$

$$y_{os}[i] = \frac{1}{2} \sum_{k=0}^{(T/N)-1} h[N \times k + i] \quad (6)$$

정의된 식(5)와 식(6)을 식(4)에 대입하면 본 논문에서 제안한 FIR 필터의 최종 수식인 식(7)을 얻을 수 있다.

$$y[N \times n + i] = \sum_{j=0}^{B-1} y_s[N \times n + i] \cdot 2^{-j} - y_{os}[i] \cdot 2^{-(B-1)} \quad (7)$$

식(7)에서 B 비트의 필터 입력을 가지는 T탭의 1:N 인터폴레이션 FIR 필터는 DA를 응용한 단일 비트화 기법의 적용에 의하여 필터 입력이 1 비트로 변환되면서 고속 연산이 가능하고 하드웨어의 크기를 줄일 수 있는 룩업 테이블 방식이 적용 가능하게 되었으며, 초기값으로 $-y_{os}[i]$ 를 가지는 각 계수 그룹별 적산기에 B 만큼 반복하여 시프트하면서 적산함으로써 B 비트 필터 입력의 FIR 필터링을 수행할 수 있음을 보여준다.

III. 1 비트 필터 입력의 FIR 필터 구조

식(5)로 정의된 y_s 함수는 1 비트 필터 입력을 가지는 T 탭 1:N 인터폴레이션 FIR 필터이며, 이의 구현을 위하여 본 논문에서는 필터 계수의 대칭성 및 룩업 테이블 내의 대칭성을 효과적으로 사용한 룩업 테이블 최소화 기법을 사용하며, 이해를 돕기 위해 40 탭 1:4 인터폴레이션 FIR 필터를 예로 하여 룩업 테이블 최소화 기법을 설명하기로 한다. 식(5)에 나타난 FIR 필터의 T/N 개의 내적을 T/2N 크기의 부분 내적의 합으로 처리하면 예로써 사용한 FIR 필터는 아래 식(8)과 같은 행렬식으로 전개된다.

$$\begin{bmatrix} y_s(4n) \\ y_s(4n+1) \\ y_s(4n+2) \\ y_s(4n+3) \end{bmatrix} = \begin{bmatrix} h(0) & h(4) & \dots & h(16) \\ h(1) & h(5) & \dots & h(17) \\ h(2) & h(6) & \dots & h(18) \\ h(3) & h(7) & \dots & h(19) \end{bmatrix} \begin{bmatrix} x(n) \\ x(n-1) \\ \vdots \\ x(n-4) \end{bmatrix} + \begin{bmatrix} h(20) & h(24) & \dots & h(36) \\ h(21) & h(25) & \dots & h(37) \\ h(22) & h(26) & \dots & h(38) \\ h(23) & h(27) & \dots & h(39) \end{bmatrix} \begin{bmatrix} x(n-5) \\ x(n-6) \\ \vdots \\ x(n-9) \end{bmatrix} \quad (8)$$

$h(n)=h(39-n)$ 인 관계를 이용하면 위 식(8)의 두번째 행렬은 아래 식(9)와 같이 변환된다

$$\begin{bmatrix} y_s(4n) \\ y_s(4n+1) \\ y_s(4n+2) \\ y_s(4n+3) \end{bmatrix} = \begin{bmatrix} h(0) & h(4) & \dots & h(16) \\ h(1) & h(5) & \dots & h(17) \\ h(2) & h(6) & \dots & h(18) \\ h(3) & h(7) & \dots & h(19) \end{bmatrix} \begin{bmatrix} x(n) \\ x(n-1) \\ \vdots \\ x(n-4) \end{bmatrix} + \begin{bmatrix} h(3) & h(7) & \dots & h(19) \\ h(2) & h(6) & \dots & h(18) \\ h(1) & h(5) & \dots & h(17) \\ h(0) & h(4) & \dots & h(16) \end{bmatrix} \begin{bmatrix} x(n-9) \\ x(n-8) \\ \vdots \\ x(n-5) \end{bmatrix} \quad (9)$$

필터 입력 행렬에서 NRZ 신호의 특성이 $x(n) \in \{+1, -1\}$ 인 것을 이용하면 위 식(9)는 최종적으로 식(10)과 같이 변환된다.

$$\begin{bmatrix} y_s(4n) \\ y_s(4n+1) \\ y_s(4n+2) \\ y_s(4n+3) \end{bmatrix} = x(n) \times \left\{ \begin{bmatrix} h(4) & h(8) & h(12) & h(16) \\ h(5) & h(9) & h(13) & h(17) \\ h(6) & h(10) & h(14) & h(18) \\ h(7) & h(11) & h(15) & h(19) \end{bmatrix} \begin{bmatrix} x(n) \cdot x(n-1) \\ x(n) \cdot x(n-2) \\ x(n) \cdot x(n-3) \\ x(n) \cdot x(n-4) \end{bmatrix} + \begin{bmatrix} h(0) \\ h(1) \\ h(2) \\ h(3) \end{bmatrix} \right\} + x(n-9) \times \left\{ \begin{bmatrix} h(7) & h(11) & h(15) & h(19) \\ h(6) & h(10) & h(14) & h(18) \\ h(5) & h(9) & h(13) & h(17) \\ h(4) & h(8) & h(12) & h(16) \end{bmatrix} \begin{bmatrix} x(n-9) \cdot x(n-8) \\ x(n-9) \cdot x(n-7) \\ x(n-9) \cdot x(n-6) \\ x(n-9) \cdot x(n-5) \end{bmatrix} + \begin{bmatrix} h(3) \\ h(2) \\ h(1) \\ h(0) \end{bmatrix} \right\} \quad (10)$$

식(10)은 본 논문에서 사용된 룩업 테이블 최소화 기법을 설명하는 수식으로써 식(9)에 나타난 룩업 테이블에 비해 크기를 반으로 줄일 수 있음을 나타낸다. 식(10)을 일반화하여 T탭 1:N 인터폴레이션 FIR 필터에 적용하면 전체 룩업 테이블의 크기는 $2N \times (2^{T/2N-1} \times M)$ 비트를 가진다. 여기서 M은 룩업 테이블의 출력 비트수이다.

식(10)에서 두번째 계수행렬은 행의 순서만 다르고 첫번째 계수행렬과 같은 값을 갖기 때문에 첫번째 계수행렬로 생성되는 하나의 계수그룹별 룩업 테이블 만을 사용하고 이를 두번째 계수행렬 계산 시에도 사용함으로써 다시 룩업 테이블의 크기를 반으로 줄일 수 있다. 이 방법은 필터 탭수가 큰 경우나 동작주파수에 여유가 있는 경우에 사용되며, 이 경우 룩업 테이블의 크기를 다시 반으로 줄일 수 있는 장점을 가지나 필터의 동작 주파수가 2배로 증가하는 단점을 가진다.

따라서 계수그룹별 룩업 테이블 갯수의 선택은 필터 입력 비트 수, 인터폴레이션 비 및 필터의 동작주파수와와의 관계를 따져 결정되어야 한다.

IV. 승산기를 사용하지 않은 인터폴레이션 FIR 필터의 구조 및 설계

본 논문의 승산기를 사용하지 않는 인터폴레이션 FIR 필터와의 결과 비교를 위해 식(2)를 만족하는 일반적인 transversal 구조의 40탭 1:4 인터폴레이션 FIR 필터의 구조도를 그림 1에 나타내었다.

위에서 전개한 식(7)과 룩업 테이블의 최소화 기법이 설명된 식(10)에 근거한 B 비트 필터 입력을 가지는 T탭 1:N 인터폴레이션 FIR 필터의 구조도를 그림 2에 나타내었다.

그림 2에서 제안한 구조는 앞절에서 논의되었던 계수그룹별 룩업 테이블 갯수를 2개씩 사용하여 병렬로 처리함으로써 필터의 동작주파수가 증가하지 않는 구조를 채택한 것으로 B비트 2의 보수 형태의

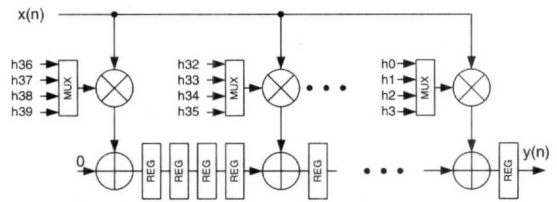


그림 1. 일반적인 transversal 구조의 40탭 1:4 인터폴레이션 FIR 필터의 구조도

필터 입력 x는 식(3)의 필터 입력의 단일 비트화 기법에 의하여 최상위 비트인 x_0 은 그대로 입력되고 그 하위 비트들인 $x_1, \dots, x_{B-2}, x_{B-1}$ 는 반전되어 각

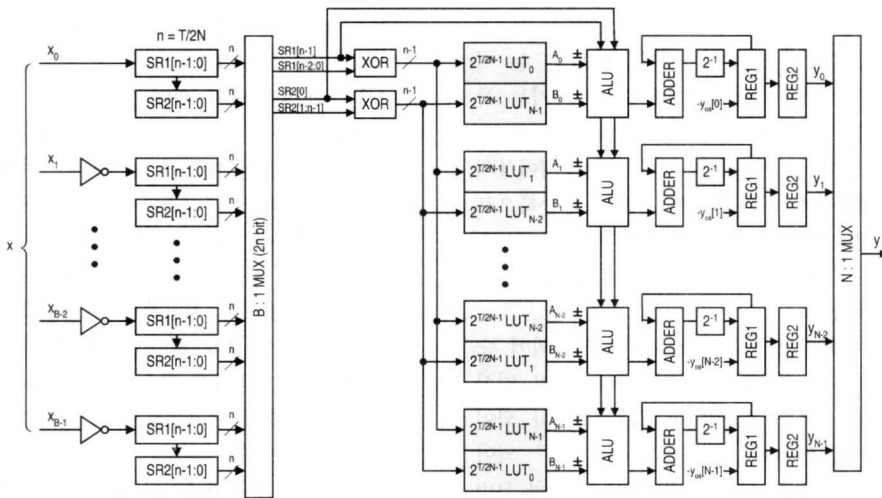


그림 2. 본 논문에서 제안한 승산기를 사용하지 않는 인터폴레이션 FIR 필터(I)의 구조도

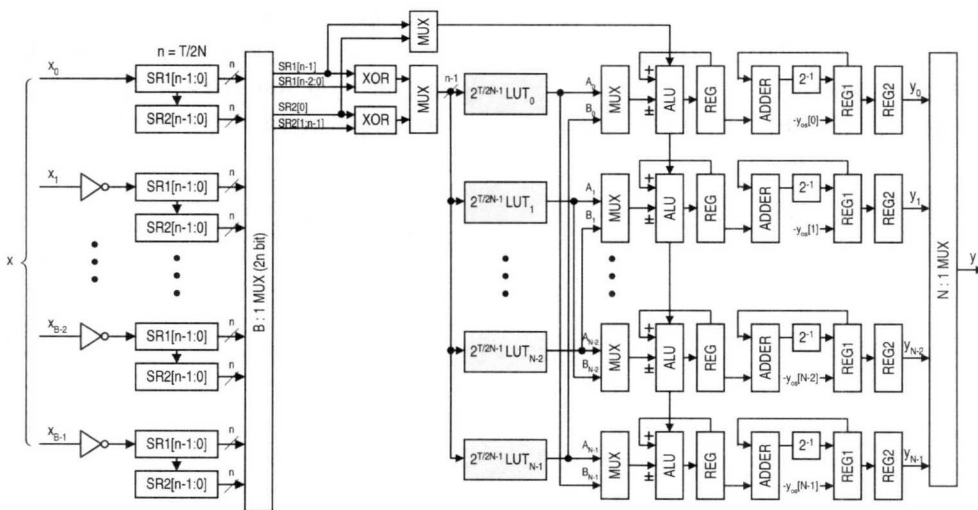


그림 3. 본 논문에서 제안한 승산기를 사용하지 않는 인터폴레이션 FIR 필터(II)의 구조도

각 $n(=T/2N)$ 비트를 가지는 시프트 레지스터 SR1을 거쳐 시프트 레지스터 SR2로 입력된다. SR1 및 SR2의 n 비트 입력들은 B:1 다중화기에 의하여 x_{B-1} 최하위 비트부터 순차적으로 선택되어진다. SR1 [n-1]과 SR2[0]는 반전 신호 제어선으로 '1'인 경우 SR1[n-2:0]과 SR2[1:n-1]의 값을 반전시키기 위하여 배타적 논리합(XOR) 게이트를 거쳐 룩업 테이블의 어드레스를 생성한다.

필터 계수의 좌우 대칭성인 $h(n) = h((T-1)-n)$ 의 성질을 이용하여 룩업 테이블 내의 부호가 반전된 형태의 값들을 삭제한 식(10)의 행렬식을 사용하여 $2^{T/2N-1}$ LUT₀, $2^{T/2N-1}$ LUT₁, ..., $2^{T/2N-1}$ LUT_{N-2}, $2^{T/2N-1}$ LUT_{N-1}의 룩업 테이블을 생성한다. 식(10)에서 알 수 있는 바와 같이 $2^{T/2N-1}$ LUT₀과 $2^{T/2N-1}$ LUT_{N-1} 그리고 $2^{T/2N-1}$ LUT₁과 $2^{T/2N-1}$ LUT_{N-2}는 어드레스의 순서만 바뀐 형태의 같은 값을 가지는 룩업 테이블이다. 룩업 테이블 뒷단의 연산장치(ALU)는 반전 신호 제어선의 값에 따라 룩업 테이블의 출력값을 반전시켜 가산하기 위한 블록으로 SR1[n-1]과 SR2[0]의 값이 각각 "00", "01", "10", "11"인 경우, 연산장치는 A+B, A-B, -A+B, -A-B의 연산을 수행한다.

필터 입력의 최하위 비트인 x_{B-1} 부터 입력되어 순차적으로 출력되는 각 계수그룹별 필터출력인 연산 장치의 출력들은 계수 그룹별 $-y_{os}[i]$ 로 초기화 되어 있는 레지스터1(REG1)의 값과 더해지고 2^{-1} 되어 레지스터1에 저장된다. 이 동작을 비트수 만큼 B번 반복하고 그 값은 레지스터2(REG2)에 저장된다. 이때 레지스터1은 다시 $-y_{os}[i]$ 로 초기화 된다. N개의 계수그룹별로 저장된 필터 출력인 y_0, y_1, \dots, y_{N-1} 은 N:1 다중화기에 의해 순차적으로 선택되어 최종 필터의 출력(y)으로 출력된다.

그림 3에서 제안한 구조는 계수그룹별 룩업 테이블

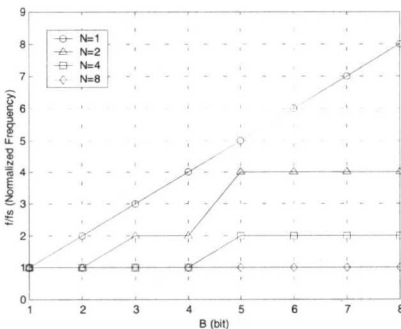


그림 4. 필터(I)의 필터 입력 비트수(B)에 따른 정규화된 동작주파수 (f/f_s).

블 갯수를 1개씩 사용하여 필터의 하드웨어를 최소화하는 구조로서 필터 탭수가 크고, 동작주파수에 여유가 있을 때 사용되면 유용한 구조이다. 그림 2에서 제안한 구조와 다른 부분만을 설명하면 다음과 같다. SR1[n-1]과 SR2[0]가 '1'인 경우 SR1[n-2:0]과 SR2[1:n-1]의 값을 반전시키는 배타적 논리합 게이트의 출력은 다중화기에 의해 SR1[n-1]과 SR1[n-2:0]이 먼저 선택되어져 SR1[n-2:0]은 $2^{T/2N-1}$ LUT₀, $2^{T/2N-1}$ LUT₁, ..., $2^{T/2N-1}$ LUT_{N-2}, $2^{T/2N-1}$ LUT_{N-1}에 입력되어 해당되는 출력인 $A_0, A_1, \dots, A_{N-2}, A_{N-1}$ 을 출력하고 그때 선택되어진 SR1[n-1]의 값에 따라 연산장치를 거쳐 레지스터에 저장된다. 다음으로 다중화기에 의해 SR2[0], SR2[1:n-1]이 선택되어져 SR2[1:n-1]은 $2^{T/2N-1}$ LUT₀, $2^{T/2N-1}$ LUT₁, ..., $2^{T/2N-1}$ LUT_{N-2}, $2^{T/2N-1}$ LUT_{N-1}에 입력되어 해당되는 출력인 $B_{N-1}, B_{N-2}, \dots, B_1, B_0$ 을 각각 출력하고 그때 선택되어진 SR2[0]의 값에 따라 반전 여부가 결정되어 연산장치에서 이전값과 가산되어 레지스터에 저장된다.

본 논문에서 제안한 그림 2와 그림 3의 B 비트 필터 입력을 가지는 T탭 1:N 인터플레이션 FIR 필터의 경우 필터의 정규화된 동작주파수 f/f_s 는 필터 입력 비트수인 B와 인터플레이션비인 N의 값에 따라 그림 4, 그림 5와 같은 관계를 가진다. 여기서 f_s 는 필터의 출력 주파수로서, 필터의 입력 주파수 f_c 의 N 배를 가진다.

그림 4와 그림 5에서와 같이 본 논문에서 제시한 필터 구조의 동작 주파수 특성은 필터 출력 주파수가 $f_s = N \times f_c$ 인 1:N 인터플레이션 필터의 주파수 관계와 단일 비트별 FIR 필터의 수행을 효과적으로 다중화하여 사용함으로써 동작주파수가 필터 입력 비트수인 B에 비례하여 증가하지 않고 인터플레이션 비인 N값의 함수와 관계됨을 알 수 있다.

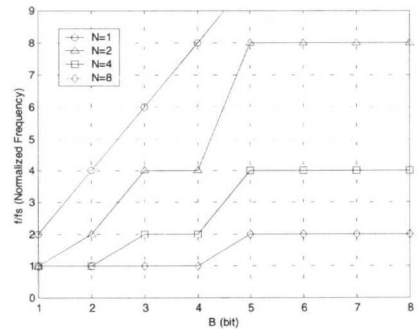


그림 5. 필터(II)의 필터 입력 비트수(B)에 따른 정규화된 동작주파수 (f/f_s).

그림 4에서 $N=1$ 인 경우, f/fs 는 필터 입력 비트수(B)에 비례하여 증가하나, $N=2, 4, 8$ 등의 인터플레이션 FIR 필터인 경우, $B \leq N$ 일때 f/fs 는 1이 되고, $N < B \leq 2N$ 일때 f/fs 는 2가 되는 것을 알 수 있다. 그림 5에서 $N=1$ 인 경우, f/fs 는 필터 입력 비트수(B)의 2배로 증가하고, $N=2, 4, 8$ 등의 인터플레이션 FIR 필터인 경우, $B \leq N/2$ 일때 f/fs 는 1이 되고, $N/2 < B \leq N$ 일때 f/fs 는 2가 되고, $N < B \leq 2N$ 일때 f/fs 는 4가 되는 것을 알 수 있다.

본 논문에서 제시한 그림 2와 그림 3의 승산기를 사용하지 않는 인터플레이션 FIR 필터를 현재 IMT-2000 비동기식과 동기식의 전송 필터 규격을 만족하는 두가지 설계 파라미터를 사용하여 0.25um 스탠다드 셀 라이브러리 (STD110)를 사용하여 구현하였다. 본 논문의 설계 결과와 상대적인 비교를 위하여 일반적으로 사용되고 있는 그림 1의 구조를

표 1. 설계 파라미터 1을 사용한 기존의 transversal FIR 필터와 제안된 FIR 필터(I)의 비교

	Transversal FIR 필터	본 논문의 FIR 필터(I)
필터탭 (T)		40 tap
계수 비트수		9 비트
입력 비트수(B)		8 비트
출력 비트수		10 비트
인터플레이션비(N)		4
출력주파수(f_o)		15.36 MHz
승산기 또는 룩업 테이블 크기	8 x 9 승산기 (10 개) 4,770 게이트	2^8 x 9 비트 LUT (8 개) 740 게이트
기타 구성요소 블록	9 비트 4x1 다중화기 (10 개) 16 비트 가산기 (10 개) 16 비트 레지스터 (36 개) 10 비트 레지스터 (1 개)	10 비트 시프트레지스터 (8 개) 10 비트 8x1 다중화기 (1 개) 9 비트 가산기 (4 개) 9 비트 레지스터 (4 개) 16 비트 가산기 (4 개) 16 비트 레지스터 (4 개) 10 비트 레지스터 (4 개) 10 비트 4x1 다중화기 (1 개) XOR 게이트 (80 개)
경유화된 동작주파수(f/fs)	1	2
게이트 수	9,020 게이트	2,713 게이트 (30%)

표 2. 설계 파라미터 2를 사용한 기존의 transversal FIR 필터와 제안된 FIR 필터(II)의 비교

	Transversal FIR 필터	본 논문의 FIR 필터(II)
필터탭 (T)		108 tap
계수 비트수		12 비트
입력 비트수(B)		4 비트
출력 비트수		10 비트
인터플레이션비(N)		4
출력주파수(f_o)		14.7456 MHz
승산기 또는 룩업 테이블 크기	12 x 4 승산기 (27 개) 9,260 게이트	$(2 \times 2^3 + 2^2) \times 12$ 비트 LUT (4 개) 2,850 게이트
기타 구성요소 블록	12 비트 4x1 다중화기 (27 개) 16 비트 가산기 (27 개) 16 비트 레지스터 (104 개) 10 비트 레지스터 (1 개)	27 비트 시프트 레지스터 (4 개) 27 비트 4x1 다중화기 (1 개) 6 비트 4x1 다중화기 (4 개) 6 비트 2x1 다중화기 (4 개) 12 비트 가산기 (10 개) 12 비트 레지스터 (2 개) 13 비트 가산기 (4 개) 13 비트 레지스터 (4 개) 10 비트 레지스터 (4 개) 10 비트 4x1 다중화기 (1 개) XOR 게이트 (176 개)
경유화된 동작주파수(f/fs)	1	2
게이트 수	24,410 게이트	7,130 게이트 (29%)

가지는 transversal FIR 필터와 그 결과를 각각 비교하였다. 설계 파라미터 1은 필터 탭이 크지 않고, 필터 입력 비트수가 인터플레이션 비에 비해 2배 큰 경우로서 하드웨어 크기에 비하여 동작주파수가 더욱 중요한 요소가 됨으로 그림2의 구조를 적용하여 설계하였으며, 그 설계 결과를 표 1에, 임펄스 응답을 그림 6에 나타내었다. 설계 파라미터 2는 필터 탭이 크며, 필터 입력 비트수가 인터플레이션 비와 같이 4 이므로 동작주파수 보다 하드웨어 크기가 더 중요한 요소가 되는 그림 3의 구조를 적용하여 설계하였으며, 그 설계 결과를 표 2에, 임펄스 응답을 그림 7에 나타내었다.

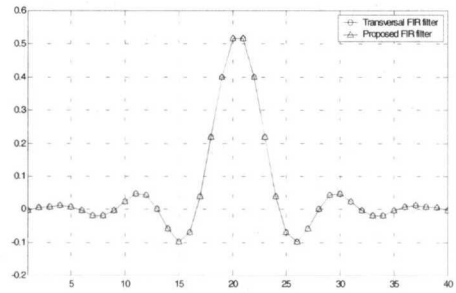


그림 6. 설계 파라미터 1을 사용하여 설계된 두 FIR 필터의 임펄스 응답

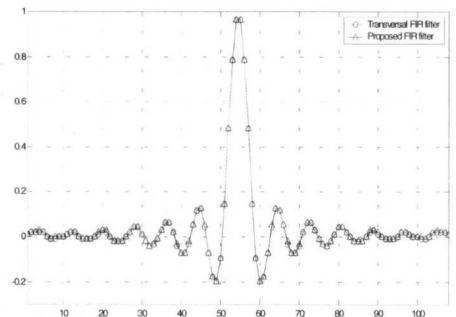


그림 7. 설계 파라미터 2를 사용하여 설계된 두 FIR 필터의 임펄스 응답

V. 결론

디지털 통신에서 필수적인 펄스 성형용 전송필터를 구현하는데 있어서 2의 보수 형태인 필터 입력을 단일 비트화 기법을 사용하여 단일 비트화하고, 필터 계수의 대칭성 및 룩업 테이블 내의 대칭성을 효과적으로 사용한 룩업 테이블 최소화 기법을 사용함으로써 승산기를 사용하지 않고 멀티 비트 입력의 인터플레이션 FIR 필터 연산을 처리하는 FIR

필터의 설계 방법을 하드웨어와 동작주파수 관점에서 각각 유리한 두가지 구조로 제안하였다.

제안된 두가지 FIR 필터 설계 방법을 IMT-2000 전송 필터 규격을 만족하는 두가지 설계 파라미터를 사용하여 각각 구현한 결과, 일반적으로 사용되는 transversal FIR 필터 구조에 적용한 설계 결과보다 입력 비트 수에 따라 동작주파수의 증가도 있었지만 게이트 수가 약 70% 감소하는 장점이 있었다.

참 고 문 헌

- [1] 3GPP2, *Physical Layer Standard for cdma2000 Spread Spectrum Systems*, TIA/EIA/IS-2000-2-A, pp. 2-130 ~ 2-133, Nov. 19 1999.
- [2] 3GPP, *3GPP TS 25.104 v4.1.0 : Technical Specification Group Radio Access Networks; UTRA(BS) FDD*; 3GPP, pp. 20~21, Jun. 2000.
- [3] Kei-Yong Khoo, et al, "A program- mable FIR digital filter using CSD coefficients," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 869-874, June 1996.
- [4] Hwan-Rei Lee, et al, "A new hardware-efficient architecture for program- mable FIR filters," *IEEE Transactions on Circuits and Systems*, Vol. 43, pp. 637-644, 1996.
- [5] S. A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review," *IEEE ASSP Magazine*, pp. 4-19, July 1989.
- [6] A. Sinha, M. Mehendale, "Improving area efficiency of FIR filters implemented using distributed arithmetic," *Proceedings Eleventh International Conference on VLSI Design*, pp. 104-109, 1998
- [7] Jhong Sam Lee, Leonard E. Miller, *CDMA Systems Engineering Handbook*, Artech HousePublishers, pp. 58, 1998.

임 인 기(In-Gi Lim)

정회원



1965년 1월 18일생
 1987년 2월 : 한양대학교
 전자공학과 졸업
 1989년 2월 : 한양대학교
 전자공학과 석사
 1989년 2월~현재 : 한국전자
 통신연구원 근무

2001년 9월~현재 : 충남대학교 전자공학과 박사과정
 <주관심 분야> 전자공학, 통신공학, VLSI 설계

정 희 범(Hee-Bum Jung)

정회원



1958년 3월 6일생
 1981년 2월 : 서강대학교
 전자공학과 졸업
 1983년 2월 : 한국과학기술원
 전기 및 전자공학과 석사
 1988년 6월 : 미국 Columbia
 University 전자공학과 박사.

1983년 3월~현재 : 한국전자통신연구원 근무
 <주관심 분야> 전자공학, 통신공학, VLSI 설계

김 경 수(Kyung-Soo Kim)

정회원

한국전자통신연구원 책임연구원
 한국통신학회 논문집 제23권 7호 참조

김 환 우(Whan-Woo Kim)

정회원



1954년 9월 20일생.
 1977년 2월 : 서울대학교
 전자공학과 졸업.
 1979년 2월 : 한국과학기술원
 전기 및 전자공학과 석사.
 1988년 6월 : 미국 University
 of Utah 전자공학과 박사.

1980년 6월~현재 : 충남대학교 전자공학과 교수
 <주관심 분야> 디지털 신호처리