

시간 제약 조건하에서의 최적 선택 공급 전압을 위한 전력 감소 스케줄링

정회원 최지영*, 김희석**

Reducing Power Consumption of a Scheduling Algorithm for Optimal Selection of Supply Voltage under the Time Constraint

Ji-young Choi*, Hi-seok Kim** *Regular Members*

요약

본 논문은 시간 제약 조건하에서의 최적 선택 공급 전압을 위한 전력 감소 스케줄링 알고리즘을 제안한다. 전력 감소 스케줄링에서는 전력소비를 줄이기 위해 가변 전압 레벨을 이용해 최적 공급 전압을 선택 휴리스틱 방법으로 연산을 수행하여 제어 스텝을 결정한다. 그리고 최적 선택 공급 전압 바인딩에서는 그래프 컬러링 기법을 이용해 레지스터 상의 전력 소비의 주원인인 스위칭 활동을 최소화한다. 상위 수준 벤치마크 예제를 이용한 실험으로부터 우리는 최적 선택 공급 전압을 이용한 제안한 알고리즘이 획일화된 단일 전압을 이용한 알고리즘보다 전력 소비를 줄이는데 효율적임을 보인다.

ABSTRACT

This paper proposes a reducing power consumption of a scheduling algorithm for optimal selection of supply voltage. In scheduling of reduction power consumption, we determine the control steps of operations to be executed by exploiting the possibility of using variable voltage levels to reduce power consumption. In the optimal selection of supply voltage binding, we minimize the main factor of the power consumption of the switching activity on the registers using a graph coloring technique. From a set of experiments using high-level benchmark examples, we show that the proposed algorithm prefer to use optimal selection supply voltages rather than uniformed single voltage is effective in reducing power consumption.

1. 서론

최근에 우리 주변에 휴대폰 전자수첩, 노트북 등과 같은 휴대용 기기가 사용이 많아졌다. 이러한 기기들은 휴대성을 높이기 위해서 크기가 작고 형태의 디지털 시스템의 휴대화에 대한 수요가 급증하게 되었다. 특히, 휴대용 장치에 있어서 크기나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 그리고 전력 손실이 큰 회로에 대한

packaging/cooling 비용의 상승으로 저 전력 소모를 위한 디지털 시스템 설계의 필요성이 요구되고 있다. 그러나 최근까지는 이러한 추세와는 달리 디지털 시스템의 설계에 있어서 주된 관심은 대상 회로의 속도의 증가와 성능 측면에 중점을 두어 왔으며, 상위 수준에서의 저 전력 소모를 지원하기 위한 연구가 최근 활발히 진행되고 있는 실정이다. 일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인으로 스위칭 활동(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit current)

* 제천기능대학 정보통신설비과 (cyj03@kopo.or.kr)

** 청주대학교 전자공학과 (khs8391@chongju.ac.kr)

논문번호 : 020193-0420, 접수일자 : 2002년 4월 20일

※ 본 연구는 과학기술부·한국과학기술재단지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.

등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 약 90% 이상으로 가장 큰 비중을 차지한다.^[14] CMOS 회로에서는 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로, 저 전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 중요한 관건으로 적용된다. 현재 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있다. 앞서서도 언급했듯이, 전력이 공급 전압의 제곱에 비례하는 관계로, 공급 전압의 감소는 큰 전력 감소를 초래할 수 있다. 하지만, 이때 공급 전압의 감소로 인해 지연 시간은 증가한다. 이런 이유로 인해 전력 감소를 위해 여러 변환 기법을 이용하여 회로의 성능을 높인 후, 원래의 성능 제한 조건을 위반하지 않는 범위 한도 내에서 전압을 낮춘다.^[15-18] 또한 과거에는 VLSI 설계에서 주 고려사항은 성능 및 비용 신뢰성 면적이었다. 반면 오늘날에는 무선통신 시스템, 음성 및 비디오를 기초로 한 멀티 미디어 제품 휴대용 데스크탑과 같은 개인용 컴퓨터의 성장은 휴대용을 요구한다. 모든 휴대용 장치들은 고속의 계산과 복잡한 기능뿐만 아니라 저 전력 소비를 요구한다. 결론적으로, 전력의 고려는 오늘날 VLSI 설계에서 지배적인 것으로 되고 있다.

광범위하게 보면 저 전력 시스템의 전력은 모든 설계 프로세스에서 최적화 될 수 있다.^[9] (시스템, 알고리즘, 구조, 로직, 회로, 프로세싱 기술 등) 본 논문에서 표현된 동작적 레벨 전력 최적화에 주요 점을 둔다. 알고리즘 레벨의 변환은 전력의 최적화에 사용되어 왔다.^[10] 또한 기능 연산자의 활동의 최소화를 위한 절차는 많이 제안되어 왔다.^[11-13] 또한 다른 행위적 레지스터 수를 줄이는 방법, 레지스터의 스위칭 활동을 줄이는 방법, 효율적인 레지스터 할당을 통해 전력 소모를 줄인다.^[12] 그러므로 그중 전력 소모를 가장 효율적인 방법은 공급 전압을 최소화하는 방법이라고 할 수 있다. 또한 이에 따른 회로 지연의 파이프라인 및 병렬처리에 의해 보상되어진다.^[12] 처리 능력을 유지하는 다른 방법은 가변 공급 전압에서 조작한 자원을 사용하는 것입니다.^[15-16] 임계 경로들에 노드들은 임계 경로들에 있지 않는 노드들이 저전압 자원에 전력 소비를 줄이는 노드가 할당될 수 있을 동안에 고전압 자원에 요구된 시간 제약에 대처하는 노드가 할당될 수 있다. 그러나, 많은 실용적인 문제는 가변 전압의 사용이 널리 행해지게 되기 전에 선행되어야 한다.^[15]

본 논문의 구성은 다음과 같다. 2장에서는 최적 공급 전압에 기초한 전력 감소 스케줄링 및 바인딩 알고리즘을 제안하고, 3장에서는 실험 및 고찰을 통해 기존의 공급 전압을 이용하여 생성된 전력과 최적 선택 공급 전압을 고려한 전력을 상위 레벨 합성 벤치마크 예제를 통하여 비교실험을 보이며, 마지막 4장에서는 결론으로 구성되어 있다.

II. 시간 제약 조건하에서의 최적 공급 전압에 기초한 전력 감소 스케줄링 알고리즘

서론에서도 언급한 바와 같이 CMOS 회로에서 주된 전력 소모의 원인은 스위칭 동작, 누설전류, 폐회로 전류이다. 여기서 스위칭 전력이 주로 차지한다. 이런 스위칭 전력은 CMOS 회로의 입력의 스위칭에 따라 공급 전압으로부터 충전되거나 접지로 방전될 때 발생하는 스위칭 전력 소모를 나타낸다. CMOS 게이트에서 소모되는 평균 전력^[3]은 (1)의 식과 같다.

$$P = fC V_{dd}^2 \dots\dots\dots \text{식(1)}$$

여기서 f는 샘플 주기마다 클럭 사이클의 수, V_{dd}는 공급전압, C는 클럭 주기마다 평균 스위칭 캐패시터이다. 즉 스위칭 동작의 수를 의미한다. 그러므로 (1)의 식으로부터 C를 줄이는 것이 효율적인 방안이다. 또한 더 나아가 공급 전압의 최대로 줄이는 것이 전력을 소비하는데 큰 주도적인 역할을 하는데 그 이유는 공급 전압이 줄어들면 전력은 제곱근으로 줄어들기 때문이다. 그러므로 본 논문에서는 공급전압을 최적 선택 공급 전압 제한 조건을 두어 최대한 전력 소비를 최소화한다.

우선 본 논문의 타겟 아키텍처는 연산기, 레지스터, 그리고 연결 구조로 구성되는 레지스터 전송 수준의 데이터패스이며 그림2 에서 타겟 아키텍처를 나타내었다.

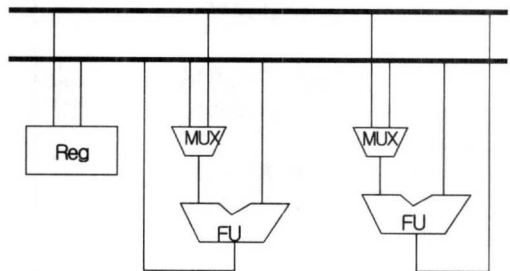


그림 1. 타겟 아키텍처

제한한 알고리즘은 HDL의 한 종류인 VHDL을 입력으로 받아 컴포넌트 라이브러리를 이용해 중간 표현인 데이터 플로우 그래프(Data Flow Graph)를 생성한다. 생성된 데이터 플로우 그래프는 라이프 타임을 구성한 후 ASAP 및 ALAP 스케줄링을 수행 후 최적 선택 공급 전압을 이용한 저력 감소 스케줄링 방법을 수행한다. 스케줄링된 결과를 가지고 전력 감소 바인딩 알고리즘에서는 그래프 컬러링 알고리즘을 적용하여 스위칭이 최소화된 최적 레지스터를 추출한다. 레지스터 할당 바인딩 관점에서 공유 가능한 데이터 즉, 변수들이 같은 레지스터에 할당될 때 레지스터의 스위칭은 저장되어 있는 한 데이터 변수가 다른 데이터 변수로 대체될 때 일어난다. 앞에서의 라이프 타임(life-time)이란 변수가 생성된 후 소멸되기까지의 시간을 말한다. 그림 1은 최적 선택 공급 전압에 기초한 전력 감소 스케줄링 및 바인딩 알고리즘을 나타낸다.

2.1 HDL 기술

최적 공급 전압 스케줄링 및 바인딩 알고리즘을 수행하기 위해 HDL의 한 기술인 VHDL을 입력으로 받아들인다. VHDL은 사용자가 하드웨어 동작을 기술하기 위해 사용하는 언어이다. 본 논문의 알고리즘은 VHDL 표현 방법 중 자료 흐름 모델링을 토대로 하고 있다. 그림 2는 HDL의 한 기술인 VHDL 입력기술이다. 특히, 프로세서 문은 VHDL 기술 구조 내에서 동작적 기술로 표현할 수 있는 가장 일반적인 회로 표현 방법이다. 프로세서 문 자체는 병행문이므로 여러 개의 프로세서 문이 있으면

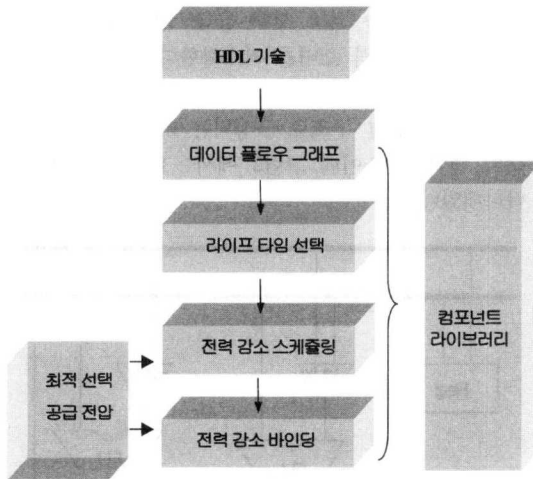


그림 1 최적 선택 공급 전압을 위한 전력감소 스케줄링 알고리즘

이들을 병행적으로 수행되며, 프로세서 문 내부는 하나씩 차례로 수행되는 순차문으로 표현된다. 이런 VHDL 기술을 입력으로 받아 중간 표현인 데이터 플로우 그래프(DFG)를 추출한다.

또한 우리는 라이브러리를 그림 3와 같이 표시된 것을 채택했다.^[14] 이용할 수 있는 컴포넌트의 집합을 고정하여 두고, 또한 클럭 사이클은 최적화 된 파라미터로서 적용할 수 있게 했다. 일반적인 규칙으로는, 설계의 클럭 주기가 감소함에 따라 좀 더 많은 사이클의 연산의 컴포넌트들이 느리게 연산되는 원인이 된다.

제한된 알고리즘은 다음과 같이 기술할 수 있다. 먼저 데이터 플로우 그래프와 본 논문에서 제한한 컴포넌트 라이브러리로부터 ASAP와 ALAP, 깊이 및 이동도를 각각 계산한다. 여기서 ASAP 스케줄링은 사용되는 하드웨어 자원에 제한을 두지 않고 데이터의 흐름에 따라 각 연산이 동작할 수 있는

```
entity exam is
  port ( in1, in2, in3 : in integer ;
         com           : in bit;
         .....
end exam;
architecture behavior of exam is
begin
  process
  variable a,b,c,d,e,f : integer;
  .....
  while (e>f) loop
  if (com = '1' ) then
    e := in1;
    f := in1;
    a := d + in2;
    b := c - in3;
    c := a + b;
    d := c + 3;
  else
    e := in2;
    f := in3;
  end if;
  end loop;
end process;
```

그림 2 HDL 기술의 예

유닛	지연	캐패시터	영역
곱셈	163ns	402pf	608
덧셈	49ns	14pf	144
뺄셈	56ns	16pf	288
비교기	23ns	13pf	112

그림 3. 제약조건에 따른 컴포넌트 라이브러리

제일 빠른 시간을 할당하는 스케줄링 방법이고, ALAP 스케줄링은 각 연산이 동작할 수 있는 제일 늦은 시간을 할당하는 방법이다. 다음 각 노드의 라이프 타임을 계산한 후 최적 선택 전압 알고리즘을 통한 스케줄링을 수행하고, 스케줄링에서는 전체 조건으로 가변 공급 전압으로 공급 전압을 5V와 3.3V, 2.4V로 가정 하에 수행하지만 일반적으로 시간 지연 조건을 충족하는 범위로 제한을 두어 N 개의 공급 전압을 할당할 수 있다. 또한 최적 선택 전압을 이용한 전력 감소 바인딩 알고리즘에서는 레지스터 할당 및 바인딩을 그래프 컬러링 알고리즘을 이용하여 최적의 레지스터 할당 바인딩을 수행한다.

2.2 최적 선택 공급 전압에 기초한 전력 감소 스케줄링

최적 선택 공급 전압을 고려한 스케줄링은 다음의 제약 조건이 있다. 첫째, 각 자원의 형을 연산의 유닛의 수로 주어진다. 둘째, 연산된 유닛의 각 자원 형의 지연(delay)이 주어진다. 또한 지연은 연산 중인 전압에 직접 상관이 있다. 제한된 최적 선택 공급 전압 스케줄링으로는 리스트 스케줄링을 기초로 하였다. 또한 스케줄링의 입력은 데이터 스트림으로 데이터 플로우 그래프를 입력으로 하고 출력은 각 노드의 전압 할당으로 주어진다. 또한 각 노드의 우선 순위는 다음의 함수로써 주어진다. 먼저 첫째, 깊이(depth)를 가장 중요한 파라미터로 간주하고 둘째, 이동도(mobility)를 든다. 이동도는 높은 이동도를 가진 노드는 낮은 전압을 가진 자원에 높은 우선 순위를 부여한다. 셋째, 스위칭 캐패시터 (switching capacitance)는 기능 연산자의 입력의 스위칭에 의해 결정된다.

깊이란 그래프에 속한 노드의 레벨 중에서 최대 레벨을 일컫는다. 또한 이동도는 ASAP 와 ALAP 알고리즘에 의해 계산되는 각 연산 노드의 시작 시간들 사이의 차에 의해서 정의된다. 그림 4는 최적 선택 공급 전압에 기초한 스케줄링의 알고리즘을 나타낸다. 그리고 최적 선택 공급 전압의 경우 고려해야 할 사항은 특정 유닛으로 다른 가변 공급 전압이 가해지면 지연 시간이 다르게 측정되므로 지연에 따른 재스케줄링이 필요하다. 그림 5은 지연에 따른 재스케줄링을 나타낸다. 또한 전압 레벨이 레벨 컨버터에 의해서 전압이 변화된다. 그림6은 전압 변환 레벨의 예를 보여준다.

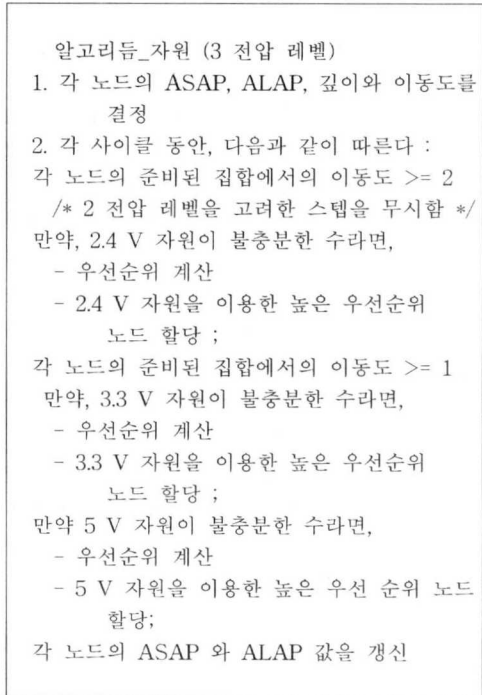


그림 4. 최적 선택 공급 전압 스케줄링 알고리즘

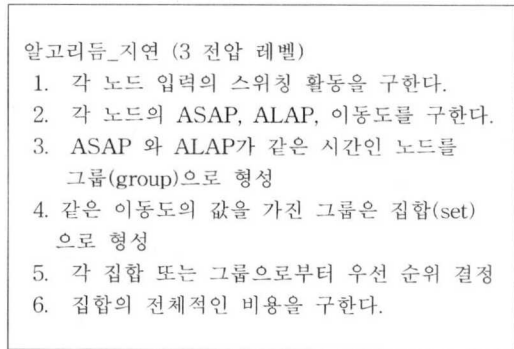


그림 5. 지연에 따른 재스케줄링

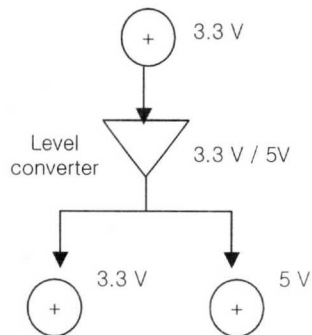


그림 6. 스케줄링에 따른 레벨 변환

2.3 최적 선택 공급 전압 바인딩 알고리즘

최적 선택 공급 전압 스케줄링 단계를 거친 후 바인딩 알고리즘은 레지스터 할당 및 바인딩으로써 컬러링 알고리즘을 이용한 최적의 레지스터 할당 및 바인딩을 수행한다. 일반적으로 할당 바인딩으로는 DSP와 같이 기능연산자가 많은 회로를 대상으로 기능 연산자가 소비하는 전력과 버스 등 다른 컴포넌트들의 전력양도 비중을 차지하지만 본 논문에서는 스위칭 활동에 큰 비중을 차지하는 레지스터 할당 바인딩에 초점을 맞추기로 한다. 기존의 스위칭 활동을 줄이는 방법으로써는 $H(x, y)$ 는 변수 x 와 y 간에 상이한 비트 수를 의미하되, 변수 x 와 y 에 연산기 FU에 할당된 연속된 연산에서 입출력으로 사용되는 변수으로써 해밍거리(Hamming Distance)를 구하여 스위칭 활동으로 둔다. 기존의 스위칭 활동은 식(2)와 같다.

$$switching(X, Y) = \sum_{(x,y) \in B} f_{xy}(x, y) \times H(x, y) \dots \dots \dots \text{식(2)}$$

반면, 제안한 알고리즘에서의 스위칭 활동의 계산은

$$\Sigma(a1 * C1(V) + a2 * C2(V) + a3 * C3(V)) \dots \dots \dots \text{식(3)}$$

식 (3)로 둔다. 여기서 $a1, a2, a3$ 는 입력의 변환 확률이다. 다시 말해 기능 연산자의 입력 연산의 평균 스위칭 활동이다. 또한 $C1(V), C2(V)$ 와 $C3(V)$ 는 V 전압을 수행하는 기능 연산자의 전력 소모 모델을 사용하는 감소계수이다. 여기서 캐패시터의 값은 전형적인 입력 시뮬레이션의 값으로 IRSIM 에 의해 산출된 값이다. 또한 컬러링 알고리즘은 HDL을 중간 표현으로 변환한 데이터 플로우 그래프에 따라 생존 주기를 구성한 후 호환 그래프를 만든다. 만약 호환 그래프에서 가용한 레지스터를 k 개라고 가정했을 때 $degree(n) < k$ (n :노드, K : 가용한 레지스터의 수)을 가진 노드가 없으면 대피시키는 대신 스택에 위치할 노드를 선택한다. 그래프 컬러링 알고리즘은 노드가 스택에서 팝(pop)될 때 색을 이용 가능하다고 가정하여 수행된다. 노드가 스택에서 팝될 때 색이 이용가능하지 않으면 노드는 컬러링을 하지 않고 놓아두고 컬러링을 계속 수행한다. 만일 컬러링 과정의 끝에서 색칠되지 않은 노드가 있으면 필요한 대피 코드가 삽입되고 호환그래프 재구성된다. 여기서 대피코드와 선택 컬러는 $drgree(n) < K$ 인 노드가 존재하면 컬러링 스택에 푸쉬한다. 그

러나 $degree(n) \geq k$ 인 노드가 존재하더라도 대피시키지 않는다. 왜냐하면 Chaitin 방법에서는 $degree(n) \geq k$ 이면 무조건 대피될 변수 후보로 표시하여 대피될 변수 후보 중 대피될 변수의 우선 순위를 결정하여 우선 순위에 따라 차례로 대피하게 된다. 이와 같은 방법을 이용하여 할당하면 수행 시간과 메모리상의 낭비를 초래한다. 반면에 그래프 컬러링 알고리즘을 이용한 레지스터 할당은 가용한 레지스터 수보다 초과할 경우 다시 말해, 대피시킬 경우 차수($degree$)가 큰 것부터 컬러링 스택에 푸쉬한다. 만약 같은 차수의 노드들이면 가상레지스터, 즉 \$(숫자)가 큰 수부터 컬러 스택에 저장한다. 또한 컬러링은 제거된 순서의 역으로 그래프에 복원되며 이들은 간소화 과정에 따라 레지스터를 할당받는다. 단 대피코드는 삭제되고 레지스터로 할당받지 못한다. 그러므로 간접 그래프는 재구성된다. 그림 7은 그래프 컬러링 알고리즘이다.

```

if(node) {
    color_stack_pop( );
    /* 스택의 역순으로 pop */
    if(degree(n) > k) {
        Non_coloring( ); /* 컬러링 하지 않음*/
        Spill_code( ); /* 대피 코드 삽입 */
    }
    else
        Coloring( ); /* 컬러링 함 */
}
}
    
```

그림 7. 그래프 컬러링 알고리즘

III. 실험 결과

본 실험에서는 최적 선택 공급 전압을 위한 스케줄링 알고리즘을 상위 레벨 합성의 벤치마크를 통하여 획일화된 단일 전압과 최적 선택 공급 전압의 전력 소모를 비교 실험하였다. 4차 FFT 필터, 5차 웨이브 필터 벤치마크(ELLIP), 6차 Lattice 필터를 벤치 마크로 선정하였다. 그리고 전력 소비의 예측을 위해 HYPER 합성 시스템에 구현된 SPA (Stochastic Power/ Area Analysis)를 이용하였다. 실험 결과 데이터에서 보는 바와 같이 공급 전압을 최적 선택으로 적용한 결과가 표1에서는 ELLIP 에서는 52.84% 감소를 보였고 표2에서의 LATTICE 는 최대 64.7% 감소율을 보였다.

표. 1. 임계 경로 와 자원 제약이 없는 전력 소모와 전압 선택 결과

	FFT 지연 = 2	ELLIP 지연 = 10	LATTICE 지연 = 6
5V[pJ]	2955	4814	19913
2 공급[pJ] 전압 1	1890 5V (16+)	2544 3.3V (8+)	10145 3.3V (4+, 9*)
전압 2	3.3V 0	5V (18+)	5V (7+, 2*)
레벨컨버터	0	7	7
3 공급[pJ] 전압 1	항상 없음	2508 2.4V (10+)	9817 2.4V (1+)
전압 2		3.3V (15+)	3.3V (4+, 8*)
전압 3		5V (1+)	5V (7+, 2*)
레벨컨버터		13	6

표. 2 제약 없는 자원과 1.5x 최소 지연의 전력 소모와 전압 선택 결과

	FFT 지연 = 3	ELLIP 지연 = 15	LATTICE 지연 = 9
5V[pJ]	1890	3081	19913
2 공급[pJ] 전압 1	1401 3.3V (8+)	1447 3.3V (23+)	7111 3.3V (5+, 10*)
전압 2	5V (8+)	5V (3+)	5V (6+, 1*)
레벨컨버터	16	5	7
3 공급[pJ] 전압 1	항상 없음	항상 없음	6851 2.4V (5+, 10*)
전압 2			3.3V (4+)
전압 3			5V (2+, 1*)
레벨컨버터			9

IV. 결론

본 논문은 시간 제약 조건하에서의 최적 선택 공급 전압을 위한 전력 감소 스케줄링 알고리즘을 제안하였다.

제안된 알고리즘은 HDL의 기술 언어 중 VHDL을 입력으로 받아들여 컴포넌트 라이브러리와 데이터 플로우 그래프를 생성하여 최적 선택 공급 전압을 고려한 스케줄링 알고리즘을 수행하고 최적 선택

택 바인딩 알고리즘에서는 그래프 컬러링 알고리즘을 이용 레지스터간의 스위칭을 고려 모든 변수의 생존 주기 분석 후 최소수의 레지스터 결정한다. 비교 실험에서도 볼 수 있듯이 단일 공급 전압과 최적 선택 공급 전압의 서로 비교함으로써 전력 소모를 최소화 벤치마크의 실험에서 살펴보았다.

향후 연구과제로는 최적 선택 공급 전압에 기초한 전력 감소 스케줄링 알고리즘을 토대로 전체적인 합성 시스템을 구축하는 것이 선행되어야 하겠다.

참 고 문 헌

- [1] R. Hartley, "Behavioral to Structural Translation in a Bit-Serial Silicon Compiler," IEEE Trans. CAD, vol. 7. no. 8, Aug. 1988, pp.877-886
- [2] A. Chandrakasan, R. Brodersen, "Minimizing Power Consumption in Digital CMOS Circuits," IEEE Proceedings, vol. 83, no. 4, April 1996, pp.498-523
- [3] A. Chandrakasan et al., "Low-Power CMOS Digital Design," J. Solid-State Circuits, vol.27, no.4, April 1992, pp.473-484
- [4] A. Ghosh, "Estimation of Average Switching Activity in Combination and Sequential Circuits", in Proc. 29th DAC, June 1992, pp.253-259
- [5] P. Landman, "Power Estimation of High-Level Synthesis", in Proc. European DAC, Feb. 1993, pp.361-366
- [6] A. Chandarksan et al., "HYPER-LP: A System fo Power Minimization Using Architecture Transformation," in Proc. ICCAD, Nov. 1992, pp.300-303
- [7] R. Martin, "Power-Profiler : Optimizing ASICs Power Consumption at the Behavioral Level," in Proc. 32nd DAC, June 1995, pp.42-47
- [8] J. Chang, "Register Allocation and Binding for Low Power", in Proc. 32nd DAC, June 1995, pp.29-35
- [9] A. chandraksan and R. Brodersen, "Minimizing power consumption in digital CMOS circuit." in Proc. IEEE, vol.83, Apr. 1995, pp.498-523.
- [10] A. chandraksan, M. Potkonjak, R. Mehra, J. Rabaey, and Brodersen, "Optimizing power

using transformations,” IEEE Trans. Computer-Aided design, vol. 14, pp.12-31, Jan.1995.

[11] A. Dasgupta and R. Karri, “Simultaneous scheduling and binding for low power minimization during microarchitecture synthesis,” in Proc. Int. symp. Low-Power design, Apr.1995, pp.69-74.

[12] A. Raghunathan and N. K. Jha, “Behavioral synthesis for low power,” in Proc. IEEE design Automation conf, 1995.

[13] e. Musoll and J. Cortadella, “High-level synthesis techniques for reducing the activity of functional unit,” in Proc. Int. Symp. Low Power Design, 1995, pp. 99-104.

[14] H.Singh and D. D. Gajski, “A Design Methodology for Behavioral Level Power Exploration : Implementation and Experiments”, Technical Report 397-28, University of California, Irvine, 1997.

[15] J.-M. Chang and M. Pedram, “Energy minimization using multiple supply voltage”, IEE E Trans. VLSI Syst., vol. 5, Dec. 1997.

[16] M.C. Johnson and K. Roy,” Datapath scheduling with multiple supply voltages and level converters”, ACM Trans. Design Automat. Electron. Syst., vol. 2, no.3, pp.227-248, July 1997.

최 지 영(Ji-young Choi)

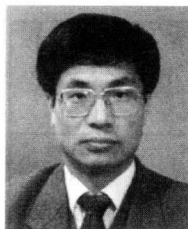


1997년 2월 : 세명대학교 전자계산학과 졸업(이학사)
 1999년 2월 : 세명대학교 전산정보학과 졸업(이학석사)
 2000년 3월~(현재) : 청주대학교 전자공학과 박사과정

2002년 3월~(현재) : 제천기능대학 정보통신과 전임강사

<주관심 분야> CAD, 알고리즘, 상위레벨합성, 저전력

김 희 석(Hi-seok Kim)



1977년 2월 : 한양대학교 전자공학과 졸업 (공학사)
 1980년 2월 : 한양대학교 전자공학과 졸업 (공학석사)
 1985년 8월 : 한양대학교 전자공학과 졸업 (공학박사)

1987년 9월~88년 9월 : 미국 University of Colorado at Boulder 객원 교수

1996년 8월~97년 7월 : 미국 University of California at Irvine 객원 교수

1981년 3월~현재 : 청주대학교 전자공학과 교수
 <주관심 분야> CAD, 컴퓨터 구조, 컴퓨터 알고리즘