

음성 게이트웨이 응용을 위한 AAL2 프로세서 구현

학생회원 이상길*, 정회원 최명렬*

Implementation of an AAL2 processor for voice gateway application

Sang-Kil Lee*, *Student Member*, Myung-Ryul Choi*, *Regular Member*

요약

본 논문에서는 voice gateway-응용에서 널리 사용되는 AAL2 프로세서의 구현과정에 대해 기술하였다. 본 프로세서는 음성과 프레임 모드 데이터를 서비스하기 위한 CPS와 SSCS를 지원한다. 또한 4개의 ATM 가상연결을 지원하며, 그 연결은 총 1020개의 AAL2채널을 포함한다. ATM 셀 인터페이스로 UTOPIA Level 1을 사용하고, 음성 채널 인터페이스로 4개의 TDM포트를 갖고 있다. TDM포트에는 PCM과 ADPCM데이터가 존재한다. 대부분의 AAL2프로세서들은 소프트웨어로 구현되어 있거나 또는 소프트웨어와 하드웨어의 혼합으로 되어 있다. 그러므로 데이터를 처리하는데 어느 정도의 지연이 있게 된다. 그러나 본 논문의 프로세서는 하드웨어로 구현되어 있기 때문에 CPS와 SSCS에 대해 매우 적은 처리지연을 보이고 있다. 또한, CPS 패킷들의 루프백과 스위칭이 가능하게 구현되었고, TDM채널에 대해서도 역시 스위칭과 루프백이 가능하도록 구현되었다. 구현된 프로세서의 특징은 CPS와 SSCS의 내부 구조가 소프트웨어의 함수를 보는 듯하다는 것이다. 또한 그 블록을 포함하는 다른 블록들을 설계 시 재사용되어 질 수 있으며, 대용량의 채널을 수용할 때에도 응용 가치가 높다고 사료된다.

ABSTRACT

In this paper, a detailed procedure of development for an AAL2 processor widely used in voice gateway application is introduced. The processor supports CPS and SSCS with voice service and framed mode data service. It provides 4 ATM virtual connections, which include 1020 AAL2 channels. The processor has one UTOPIA Level 1 interface for an ATM cell interface and 4 TDM ports for a voice channel interface. The TDM ports carry PCM/ADPCM voice streams. Most AAL2 processors are implemented as software, or hardware and software, so its latency is large. But this processor has very low latency as to CPS and SSCS because all of them are implemented in hardware. Also, it allows not only loopback and switching of CPS packets, but loopback and switching of TDM channels. The key feature is that the internal structure of the CPS and SSCS in this processor seems like as each software function, so they are called whenever they are required. In addition, they are reusable for another design and are scalable for more channels

1. 서론

AAL type 2 프로토콜을 사용하여 음성을 전달하게 되면 낮은 비용, 높은 신뢰성과 함께 음성 데이터의 통합 트래픽을 가장 쉽게 처리할 수 있는 장점을 가지고 있다.

AAL type 2는 ITU-T에서 정의된 I.363.2^[1]에서의 common part sublayer (CPS)와 I.366.2 [2]의 음성,

데이터, 팩스 등의 전송과 관련된 service specific convergence sublayer (SSCS), 그리고 I.366.1^[3]에서의 프레임 모드 데이터 서비스를 위한 SSCS로 정의되어진다. 또한 ATM Forum에서는 voice and multimedia over ATM - Loop emulation service using AAL2^[4]를 정의하고 있다.

AAL type 2 프로토콜은 실시간 가변속도(RT-VBR) 트래픽을 지원하고 가변적으로 페이로드를 전송함으로써 네트워크 성능을 향상시킬 수 있는 방법을 제시

* 한양대학교 전자전기 제어계측공학과 ASIC연구실 최명렬(choimy@asic.hanyang.ac.kr), 이상길(sklee@asic.hanyang.ac.kr)

논문번호 : 020253-0531, 접수일자 : 2002년 5월 31일

한다. 또한, 다수의 사용자들이 하나의 가상채널 연결을 공유하고, 동적 대역폭의 할당을 구현함으로써 채널용량을 증가시킬 수 있는 방법을 지원한다.

Integrated access device(IAD)에서 사용되어질 수 있는 소용량의 AAL2 프로세서^[5]에 반해 본 논문에서는 많은 채널을 서비스할 수 있고 또한 고속의 처리를 위해서 voice gateway나 multimedia gateway등에서 사용되어질 수 있는 형태로 AAL2 프로세서를 구현하였다. 또한 이것은 AAL type 2의 거의 모든 부분을 하드웨어로 구현함으로써 low latency를 갖고 있으며 CPU의 부하를 상당히 줄일 수 있는 장점을 갖고 있다.

2 장에서는 AAL type 2 프로세서의 구조 및 외부 인터페이스에 대해 기술하였고, 3장에서는 내부의 블록들에 대한 상세한 내용에 대해 기술하였다. 특히, CPS블록과 프레임 모드 데이터 블록을 구현함에 있어 소프트웨어적인 함수 개념을 도입하였다. 4 장에서는 시뮬레이션 과정과 합성 결과를 보여 주고 마지막으로 5장에서 결론을 맺는다.

II. AAL2 프로세서의 구조

AAL2 프로세서의 전체 블록도가 그림 1에 나타나 있으며 그림에서 보는 바와 같이 여러 개의 블록과 인터페이스로 구성하였다. 본 프로세서의 외부 인터페이스는 5개로 나누어진다. 즉 time-division-multiplexing (TDM) 버스 인터페이스, universal test and operations physical interface for ATM (UTOPIA) 인터페이스, TDM 데이터 메모리 인터페이스, 프레임 모드 데이터 메모리 인터페이스, 그리고 마지막으로 호스트 인터페이스로 구성된다.

본 프로세서의 가장 큰 동작은 TDM 채널을 AAL type 2 프로토콜을 이용하여 서비스하는 것이다.

AAL2 프로세서는 전체적으로 1020개의 AAL type 2 채널을 지원하기 위하여 설계되었기 때문에 최대 16.384 MHz로 동작하고, 256개의 음성채널을 지원할 수 있는 TDM 포트를 4개 지원함으로써 최대 TDM 채널 1024개를 서비스할 수 있다.

UTOPIA인터페이스 블록은 ATM계층과 물리계층 사이에서 셀 송/수신을 담당한다. 본 프로세서는 ATM Forum에서 정의된 UTOPIA Level 1 [6]을 지원한다.

TDM 데이터 메모리 인터페이스는 외부의 TDM 데이터 메모리인 SSRAM의 접속을 가능하게 함으로써 AAL2 프로세서 내부의 여러 블록들이 이 메모리를

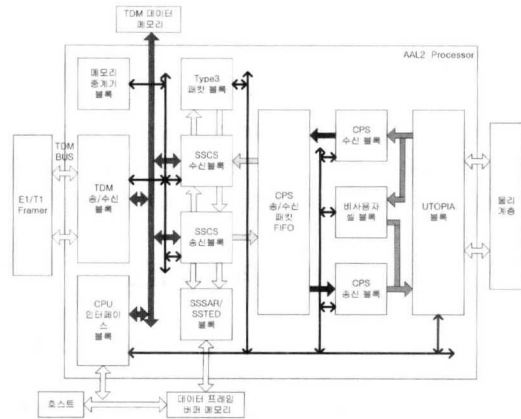


그림 1. 전체 블록도

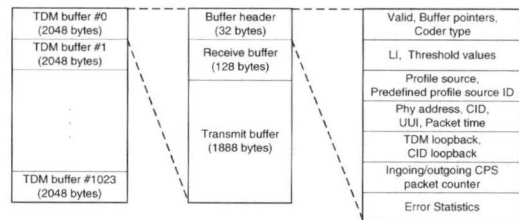


그림 2. 외부 메모리를 사용하는 TDM 버퍼 구조

리를 접속할 수 있게 한다. 그 내부는 그림2와 같은 구조를 갖고 있다.

TDM 데이터는 하나의 메모리를 공유하기 때문에 TDM 데이터의 스위칭뿐만 아니라 CPS 패키지의 스위칭도 위의 포인터 값을 적절히 설정하게 되면 아주 쉽게 이루어지는 장점이 있다. 각 채널의 TDM 버퍼는 2048 바이트 단위의 연속된 메모리의 영역에 해당되므로 서비스할 채널의 수가 적다면 메모리의 크기를 줄여 사용할 수 있는 잇점을 제공한다. 프레임 모드 데이터 메모리 인터페이스를 통하여 프레임 모드 데이터 서비스가 가능하며, 프레임 모드 데이터들은 SSARV/ SSSTED의 과정을 거친 후 AAL type 2 CPS 패키지를 통하여 전송된다. 이는 호스트 프로세서와 AAL2 프로세서간의 동시 접속 및 속도개선을 위하여 dual-port 메모리를 사용하였다. 이 곳에는 송/수신된 프레임 데이터의 정보뿐만 아니라 프레임 크기 및 프레임 수신에러를 감지할 수 있으며 링 형태의 버퍼와 그것과 관련된 버퍼 제어정보를 포함하고 있다. 버퍼 제어정보에는 데이터 프레임 크기, 수신 에러, CRC 생성 및 에러 검출, CID 및 물리계층 어드레스 등의 정보를 담고 있으며 송/수신 버퍼에는 송/수신되어지는 프레임을 담

고 있다.

마지막으로 호스트 인터페이스는 외부 호스트 프로세서와의 접속을 담당하여 내부의 각 블록과 관련된 명령어 레지스터/상태 레지스터들을 설정하기 위해 구현되었다. 호스트 인터페이스를 통하여 TDM 데이터 메모리의 초기화 및 버퍼제어가 가능하다.

III. 내부 블록들의 상세 설명

AAL2 프로세서의 전체적인 동작은 외부의 TDM 버스 상에서 동기신호에 맞추어 수신되는 직렬 데이터를 병렬 변환하여 TDM 데이터 메모리에 쌓는다. 버퍼에 쌓인 데이터가 버퍼의 헤더에 저장되어 있는 CPS 패키지의 페이로드 크기보다 같거나 크게 되면 이를 TDM 송신 큐에 자신의 포트번호와 채널번호를 삽입하여 하나의 패키지를 만들 수 있을 만큼의 충분한 데이터가 쌓였다는 것을 알린다. 이 큐는 SSCS 송신 블록에 의해 계속 감시되고 있으며, 큐의 내용이 존재하게 되면 그 값을 읽어 메모리의 위치를 알아낸 후 그 위치에 존재하는 버퍼 헤더 내의 정보를 이용하여 헤더를 만들고 TDM 데이터를 읽어내어 완전한 CPS 음성 패키지를 만든다. 이것은 내부의 CPS 패키지 버퍼에 저장되고 CPS 송신블록을 거쳐 ATM 셀 헤더와 함께 물리계층으로 전달된다.

이와는 반대로 물리계층으로부터 ATM 셀을 수신하고 이의 가상연결이 설정되어 있고 사용자 셀인 경우에 CPS 수신블록으로 전달된다. 여기서 수신된 CPS-PDU 내에 다중화된 CPS 패키지를 역다중화하여 CPS 패키지 버퍼에 쌓는다. 이 때 발생하는 에러(err_num=0,...,9)는 내부 레지스터에 저장된다. SSCS 수신블록에서는 CPS 패키지 버퍼로부터 CPS 패키지의 헤더를 살펴 음성 패키지와 type 3 패키지(UII=24 or 31로 dialled digit 패키지, CAS 패키지 또는 alarm 패키지 등), 아니면 프레임 모드 데이터 패키지(UII=26,27)을 구별한다.

음성 패키지는 TDM 데이터 메모리에 쌓여진다. TDM 송신 블록에서는 각각의 채널에 대응되는 버퍼를 살펴본다. 이때 초기 상태이거나 오버런/언더런이 발생한 후에는 TDM 버스로 idle code를 전송한다. 이후에 버퍼에 쌓여진 데이터가 threshold 값 이상이 쌓이게 되는 순간부터 idle code가 아닌 버퍼에 쌓여 있는 음성 데이터를 TDM 버스 상으로 전달하게 된다.

3.1 TDM 송/수신 블록

이 블록은 외부 TDM 버스 상의 음성 데이터를 처리한다. TDM 송신블록은 TDM 송신 버퍼에 쌓인 데이터를 외부 TDM 버스의 해당 포트의 해당 채널로 전달하는 일을 수행한다. 이 때에 TDM 음성 데이터는 PCM의 경우는 1바이트씩 ADPCM의 경우는 한 니블씩 읽어 내어 이를 직렬 변환된 후 외부에서 들어오는 TDM 송신 클럭과 채널 동기신호에 맞추어 출력된다.

TDM 수신 블록은 위와의 반대 과정을 수행하는데, TDM 수신 클럭, 채널의 동기 신호에 맞추어 TDM 직렬 데이터를 받아들여 이를 병렬로 변환한 후 1바이트 또는 1 니블씩 해당되는 TDM 데이터 버퍼에 쌓는 일을 수행한다. 이 과정에서 외부의 직렬 데이터를 음성 버퍼에 쌓은 후에는 버퍼 내의 레지스터를 조사하여 현재 쌓여있는 크기가 이와 같다면 현재 채널번호를 TDM 송신 큐에 삽입한다. 그러하여 CPS 패키지에 실려 전달되어지는 것이다.

여기서 TDM 포트는 4개를 갖으며 각각 최대 16.384Mhz의 클럭을 수신하여 각각 최대 256개의 TDM 채널을 처리함으로써 총 1024개의 TDM 채널을 수용하게 된다.

3.2 SSCS 송/수신 블록

SSCS 송신블록은 TDM 송신 큐에 저장된 채널번호를 읽어 들어 이에 해당되는 CPS 패키지 헤더 정보를 TDM 데이터 메모리로부터 읽어 들어 CPS 패키지를 생성하여 그에 해당하는 물리계층 어드레스와 함께 CPS 패키지 FIFO에 저장하는 역할을 한다. 새로운 연결 설정 시 호스트에 의해 TDM 버퍼에 저장되어지는 정보는 CID, LI, UII codepoint range, packet time, threshold value이다. 이를 사용하여 CPS 패키지와 에러코드를 생성한 후 CPS 패키지 FIFO로 CPS 패키지를 전달한다. 여기서 UII의 값은 packet time을 고려하여 갱신되며 대부분의 경우 1 또는 2가 증가되게 된다. 또한 TDM 데이터 메모리의 버퍼 포인터도 변경된다.

SSCS 수신 블록은 이와 반대의 기능을 수행한다. CPS 패키지 FIFO에 쌓여 있는 CPS 패키지를 읽어내어 그 내부의 CID, LI, UII 값을 검사한다. CID가 설정되어 있다면 그 때 LI와 UII의 관계가 적합한지를 점검한 후 UII값에 따라 TDM 데이터 메모리 또는 type 3 패키지 블록 또는 프레임 모드 데이터 블록으로 전달한다. CID가 설정되어 있지 않으면

버린다. UUI값이 원하는 값이 아니면 UUI 에러를 계수기에 저장한다.

3.3 TDM 데이터 메모리 중계기 블록

이 블록은 TDM 데이터 메모리를 사용하려는 블록들 간에 충돌을 피하기 위하여 접속을 허락하는 일을 수행한다. 내부의 각 블록들로부터 메모리에 접속하기를 원하는 요구가 들어오면 우선권에 근거하여 접속할 수 있도록 승인해 준다. 각각은 승인을 받은 후에 자신의 모든 일을 수행한 후 반납한다. 이에 해당되는 블록들의 우선권을 고려하면 TDM 송수신 블록, SSCS 송수신 블록 그리고 호스트 인터페이스 블록의 순서를 갖는다.

3.4 CPS 송/수신블록

이 블록은 I.363.2에 정의된 CPS 송신부와 CPS 수신부를 수행한다.

본 논문에서 구현한 프로세서는 4개의 AAL2연결을 지원하므로 그 블록들은 각각 4개씩 존재하여야 한다. 그렇지만 실제로는 한 순간에 하나의 블록만이 패킷을 처리되므로 각각의 블록이 모두 존재한다면 낭비가 된다. 본 논문에서는 이를 소프트웨어 프로그램의 함수와 같은 형태를 적용하여 이를 해결하였다. 소프트웨어의 함수는 어떤 하나의 과정을 수행한다. 그리고 필요할 때마다 불러지며 여러 번 불러져도 실제로는 하나의 함수에 대한 코드만이 ROM에 저장되는 장점을 갖고 있다. 또한 입력을 받아 그로부터 일련의 과정을 수행한 후 결과를 내놓는다. 이를 하드웨어에 적용하려면 CPS 블록과 SSSAR/SSTED 블록이 각각 하나의 블록만이 존재하고, 그리고 입력을 받아 해당 과정을 수행한 후에 결과를 내주는 그러한 기능을 갖도록 하면 된다. 이것은 Finite State Machine(FSM)이 현재상태를 로딩(loading)하여 수행할 수 있도록 구현되었다. 맨 처음에 현재 상태 레지스터를 로딩한 후 활성화되어 일련의 과정을 수행하고 맨 마지막에 이를 비활성화 시켜서 그 때의 상태 레지스터를 저장하였다. 후에 이 값은 다시 현재 상태 레지스터에 로딩되어 필요할 때마다 사용되어질 수 있다. 그림 3에 최소화된 CPS 송/수신블록이 나타나 있다.

구현된 CPS 송/수신 블록은 CPS 패킷을 처리하게 될 경우에 레지스터로부터 자신에 해당하는 변수들을 로딩한 후 CPS 패킷을 처리하고 갱신된 값을 다시 그곳에 저장한다.

이 구조는 많은 AAL type 2 채널을 수용하도록 할 때 단순히 메모리를 증가시키고 제어로직을 약간

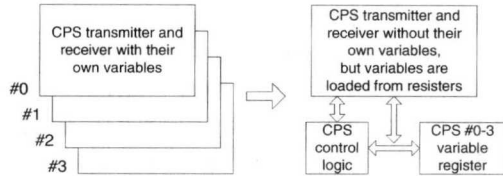


그림 3. 최소화된 CPS 송/수신 블록

변경함으로써 쉽게 구현할 수 있다는 장점을 제공한다. 특히, AAL type 2 스위치에서 응용가치가 높다고 사료된다.

3.5 SSSAR/SSTED 블록

이 블록은 I.366.1의 SSSAR/SSTED과정을 지원한다. 프레임 모드 데이터(UUI=26,27인 CPS패킷)를 AAL type 2 채널을 통하여 전송하고자 할 때 사용되며 주로 SNMP 메시지나 TFTP 메시지를 송/수신하는 경우 또는 emulated loop control protocol (ELCP)/common channel signalling (CCS) 과 같은 프로토콜의 프레임을 송/수신한다.

이 블록도 앞에서와 같은 소프트웨어의 함수 개념을 도입하였다. AAL2 프로세서는 네 개의 ATM 가상연결을 지원하므로 독립된 4개의 SSSAR/SSTED가 필요하다. 즉4개의 동일한 SSSAR/SSTED 블록을 필요로 한다고 볼 수 있다. 이 네 개의 SSSAR/SSTED블록은 한 순간에 하나의 CPS 패킷을 처리하도록 해도 아무런 문제가 없다. 왜냐하면 물리계층에서 한 순간에 하나의 ATM셀을 송/수신할 수 있기 때문이다. 그러므로 하나의 SSSAR/SSTED블록과 그 블록과 관련된4개의 상태 변수들을 저장하고 있는 레지스터 그리고 그것들의 제어 로직을 사용하여 구현하였다.

이 블록의 동작과정을 살펴보면 SSSAR/SSTED가 프레임 또는 패킷을 처리하기 전에 내부 레지스터에 저장된 변수를 로딩한 후 그것들을 처리하고 완료된 후에는 갱신된 변수들을 다시 레지스터에 저장하는 형태이다.

3.6 CPS 패킷 FIFO

이 블록은 CPS 송신부를 통하여 다중화되기 위해 기다리는 곳이며, 이와는 반대로 CPS 수신부로부터 역다중화된 패킷들이 저장되는 곳이다. 송수신 모두 4개의 CPS 패킷(64x4=256바이트)을 저장할 수 있도록 되어 있다.

3.7 Type 3 패킷 처리 블록

음성채널 이외의 UII값을 갖는 경우 즉 type 3 패킷이거나 또는 예비된 CID를 갖는 패킷의 경우 모두 이 블록으로 수신될 수 있다. Type 3 패킷은 UII값으로 24 또는 31을 갖는 패킷으로 AAL2의 음성채널에 부가적인 것으로서 dialled digits정보의 송/수신, CAS 정보의 송/수신 등에 사용된다. 이 정보를 전달하기 위하여 type 3 패킷이 사용되고 내부에는 데이터의 신뢰를 위하여 10 비트의 CRC 가 사용된다. 송신의 경우 CRC생성 및 수신인 경우 이의 점검기능이 구현되어 있다.

3.8 비사용자 셀 블록

비사용자 셀 블록은 사용자 셀이 아닌 셀을 처리하는 경우로써 주로 OAM 셀에 해당된다. OAM 셀을 전송할 때 10비트의 에러코드를 생성하고 수신할 때 이의 에러를 점검한다.

3.9 UTOPIA 블록

이 블록은 물리계층과의 인터페이스를 담당한다. 이것은 UTOPIA Level 1을 지원하며, CPS 송신 블록으로부터 전달되어지는 CPS-PDU와 물리계층 어드레스에 대응되는 연결설정 테이블을 검색하여 ATM 셀 헤더를 부가하여 물리계층으로 전달한다. 이와는 반대로 물리계층에서 수신된 셀에 대해 적합성을 점검한다. 연결설정이 되어 있으면 그 다음에 사용자 셀은 CPS 수신블록으로 보내고 비사용자 셀은 비사용자 셀 블록으로 전달한다. AAL2 프로세서의 내부 시험을 위하여 송신할 ATM 셀을 루프백하여 수신하도록 하는 진단 루프백 기능을 구현되어 있다.

3.10 CPU 인터페이스 블록

이 블록은 외부 호스트 프로세서와 AAL2 프로세서와의 통신을 가능하게 하는 것으로, 호스트로 하여금 내부 블록의 제어 및 상태 감시를 수행할 수 있도록 해 준다. 이 블록을 통하여 TDM 데이터 메모리를 접속할 수 있다. AAL2 채널의 설정/해제 및 LI와 UII 등의 초기값, 스위칭 또는 중단기능을 설정하고 또한 UTOPIA 블록 내의 ATM 가상연결 테이블의 설정/해제가 가능하다.

Type 3 패킷의 송/수신을 가능케 하고 ATM 셀 루프백 제어, CPS 송/수신블록, SSSAR/SSTED블록의 상태 변수의 초기화 및 Timer_CU의 설정 등의 기능을 수행한다. 그리하여 내부에 많은 레지스터를 갖고 있다.

IV. 시뮬레이션과 합성 결과

AAL2 프로세서는 모두 VHDL로 구현되었다. 여기서 외부 메모리 즉 TDM 데이터 메모리는 SSRAM으로, 프레임 모드 데이터 메모리는 dual-port 메모리로 모델링하여 사용하였다. 모든 블록에 대한 초기화를 수행하고 ATM 셀 진단 루프백 명령을 수행한 후부터 ATM가상 연결 테이블 설정 및 TDM데이터 버퍼 내에 CID/UII/LI등의 설정을 통한 후에 TDM 데이터가 패킷을 거쳐 송신 셀로, 그리고 루프백 된 후 다시 패킷을 거쳐 TDM 데이터로 복원되는 지를 function simulation을 수행하였다. 이 과정에서 송신할 TDM데이터는 미리 만들어진 파일로부터 받아들여지고 TDM 데이터 수신 시 새로운 파일에 쓰도록 한 후 시뮬레이션 종료 후 이 두 파일이 똑같은 지를 검사하여 본 프로세서가 제안한 메커니즘을 따라 적절하게 수행함을 입증하였다.

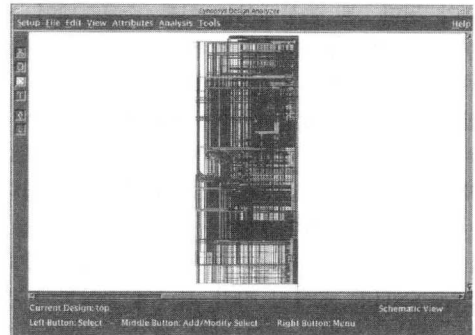


그림 4. 합성 결과

합성은 Synopsys사의 Design Compiler를 사용하였으며 아남 0.25 μ m 라이브러리를 사용하였다. 각 블록별 게이트 수와 총 게이트 수는 16만 게이트였다. CPS 패킷 FIFO 블록에서 70%정도를 차지하였다. 합성은 주 클럭을 52MHz를 사용하였고, 합성 후에 SDF 파일을 생성하여 이를 back-annotation한 후 gate-level simulation을 수행하였으며 function simulation과 일치하였다. 합성결과가 그림 4에 나타나 있다.

V. 결론 및 차후 연구 방향

본 논문에서 구현 과정을 설명한 AAL2프로세서

는 TDM 채널의 음성신호를 AAL2 프로토콜을 사용하여 AAL2의 CID로 매핑하여 ATM 셀로 전달하는 과정과 이 반대의 과정을 수행한다. 또한, 프레임 모드 데이터 서비스를 위해 SSSAR/SSTED를 지원한다. 이 모든 동작들은 VHDL로 구현되었으며, FPGA 테스트를 통해 검증되었다.

본 프로세서는 TDM 포트와 ATM 포트를 지원한다. TDM 포트는 최대 16.384MHz로 동작하며, 최대 256개의 64kbps 채널을 수용한다. 네 개의 TDM 포트가 존재하므로 총 1024개의 TDM 채널을 지원한다. ATM 포트는 UTOPIA level 1을 지원한다. 또한, AAL2 채널의 경우는 CID가 0인 경우를 제외하면 총 1020개의 채널을 지원한다. 특히, CPS 송/수신 블록과 SSCS 송/수신 블록은 소프트웨어 프로그램의 함수와 같은 형태로 구현되어 추가적인 채널 증설이 용이하다.

본 프로세서는 voice gateway 또는 multimedia service gateway와 같은 시스템 내에서 AAL2 over ATM을 처리하는 곳에 사용될 수 있다. 또한 system-on-chip을 위한 embedded controller에서 사용되어질 수 있다. AAL2 프로세서를 여러 개 사용하여 AAL2의 채널 수를 늘릴 수 있는 cascade기능을 추가할 예정이며 또한 AAL2 CPS transmitter와 receiver를 사용하여 AAL2 스위치의 구현도 진행중이다.

참 고 문 헌

- [1] ITU-T Recommendation I.363.2, B-ISDN ATM adaptation layer specification: Type 2 AAL, Sep. 1997.
- [2] ITU-T Recommendation I.366.2, AAL2 type 2 Service Specific Convergence Sublayer for Narrowband Services, Feb. 1999.
- [3] ITU-T Recommendation I.366.1, Segmentation and Reassembly Service Specific Convergence Sublayer for the AAL type 2, June 1998.
- [4] ATM Forum AF-VMOA-0145.0000, Loop Emulation Service Using AAL2, Version 1, July 2000.
- [5] 윤종호, 이상길, 조태경, 최명렬, "Implementation of an AAL type 2 protocol processor for RT-VBR service," IDEC Conference 2001-Summer, pp. 91-94.
- [6] ATM Forum AF-PHY-0017.0000, UTOPIA

Level 1, Version 2.01, Mar. 1994.

이 상 길(Sang-kil Lee)

학생회원



1991년 2월 : 충남대학교
전자공학과 졸업
1993년 2월: KAIST 전기 및
전자공학과 석사
2001년 2월~현재 : 한양대학교
전자전기 제어계측공학과
박사과정

<주관심 분야> ATM, MPLS, 통신칩 설계

최 명 렬(Myung-Ryul Choi)

종신회원



1983년 : 한양대학교 전자공학과
학사
1985년 : 미시간주립대학교
컴퓨터공학과 석사
1991년 : 미시간주립대학교
컴퓨터공학과 박사

1991년 3월~10월 생산기술 연구원 전자정보실용화
센터 조교수

1991년 11월~1992년 8월 생산기술연구원 산하 전
자부품종합기술연구소 선임연구원

1992년 9월~현재 한양대학교 제어계측공학과 부교
수

<주관심 분야> ASICs, 신경회로망 칩 설계, 스마트카
드 응용, up/DSP 응용, Wireless ATM, ITS