

IEEE802.11a를 위한 디지털 IF Up/Down 변환기

정회원 강 환 민*, 조 성 호**

Digital IF Up/Down Converter for IEEE802.11a

Hwan Min Kang*, Sung Ho Cho** *Regular Members*

요 약

대역통과 (bandpass) 신호에 대한 under-sampling 기법은 주로 디지털 IF (intermediate frequency) 내림 변환과정에서 ADC (analog-to-digital converter)의 sampling-rate 한계를 극복하는데 유용하게 사용된다. 이러한 under-sampling 기법은 처리해야 할 데이터의 양을 고려할 때 비교적 좁은 대역폭을 갖는 신호에 대해 널리 활용되고 있다. 그러나 다중모드 또는 다중표준을 지원해야 하는 software defined radio (SDR)과 같은 송수신 시스템에서는 좁은 대역폭 신호에 대한 내림 변환과정뿐만 아니라 넓은 대역폭을 갖는 신호에 대한 올림 변환과정까지도 처리할 수 있는 디지털 IF 올림/내림 변환과정이 필수적이다. 본 논문에서는 20MHz의 넓은 대역폭을 갖는 IEEE802.11a 무선 LAN 환경에 대한 디지털 IF 올림/내림 변환과정을 설계하였고, DSP 하드웨어 및 소프트웨어를 실시간 구현 하여 그 유효성을 검증하였다.

ABSTRACT

The under-sampling technique for a bandpass signal is one of the effective methods to overcome the limit of the sampling-rate of the high-speed analog-to-digital converter (ADC) in a digital intermediate frequency (IF) down-conversion process. Considering the amount of the data to be processed, we often employ this technique with relatively narrowband signals. For the reconfigurable transceiver systems such as software defined radio (SDR) supporting the multi-modes and multi-standards, however, not only the digital IF down-conversion process with narrowband signals but also the digital IF up-conversion process with wideband signals are of great importance. In this paper, digital IF up/down-conversion algorithms that are particularly suitable for the IEEE802.11a wireless LAN environment of bandwidth 20MHz are proposed, and their effectiveness is demonstrated by the real-time implementation of the DSP hardware and software.

1. 서론

1980년대 에널로그 방식으로 시작된 이동통신 서비스는 가입자 수의 폭발적인 증가추세에 힘입어, 2세대 이동전화인 CDMA와 GSM 등의 디지털 방식으로 발전하였다. 디지털 이동통신 서비스는 에널로그 방식에 비해 상대적으로 높은 가입자 수용능력,

저렴한 단말기, 높은 서비스 품질, 낮은 통화료, 저속 데이터 통신 기능 등의 특징을 보여 왔다. 하지만 2세대 이동통신은 대륙별, 나라별로 서로 다른 표준을 정하여 사용하고 있기 때문에, 국제적인 상호접속 (roaming)이 어렵고 멀티미디어 서비스와 같은 고속 데이터 통신 서비스를 제공할 수 없었다.

디지털 이동전화 단말기의 한계를 극복하고자, 지

* 한양대학교 전자통신전파공학과 통신및신호처리연구실 (hmkang@casp.hanyang.ac.kr),

** 한양대학교 정보통신대학 통신및신호처리연구실 (shcho@casp.hanyang.ac.kr)

논문번호 : 020241-0517, 접수일자 : 2002년 5월 17일

* 본 연구는 산업자원부, 주관하는 차세대신기술개발사업 "차세대무선통신용트랜시버시스템 개발사업" 연구비 지원에 의한 것입니다.

난 수년간 미국, 유럽, 일본, 한국을 중심으로 동기식 cdma2000와 비동기식 WCDMA^[1]와 같은 3세대 이동통신 서비스 개발에 박차를 가해 왔고 현재 그 상용화를 눈앞에 두고 있다. 비록 범세계적 단일 표준화에는 실패하였지만, 이 같은 국제적인 표준화를 통하여 서비스방식의 차이에 따른 상호접속 문제는 어느 정도 해결될 것이고, 언제 어디서나 고속 데이터 통신 서비스가 제공될 것이며, 여러 가지 방식의 셀 (cell)에서도 동작하도록 설계될 것이다.

그러나 최근 들어, 2세대 및 3세대 이동통신 서비스는 물론, 무선 LAN, Bluetooth, Home Network, Ad-hoc Network, 디지털 방송 등 다양한 방식의 무선 및 이동통신 서비스가 사용자에게 많은 편리성을 제공하고는 있지만, 또 다른 측면에서 이종 표준 및 이종 프로토콜이 혼재함에 따른 사용자의 혼란도 큰 문제시 되고 있다. 더욱이 음성은 물론 데이터, 텍스트, 이미지, 오디오, 비디오 등 매우 다양한 서비스가 사용자 개인의 선택에 의해 제공될 수 있는 환경이 요구되고 있다.

이러한 혼재된 통신 환경에서 다중모드, 다중표준을 지원할 수 있는 Software Defined Radio (SDR) 시스템이 요구는 필수적이다^[2]. SDR 시스템은 analog-to-digital (AD) 변환기와 digital-to-analog (DA) 변환기의 위치가 점점 RF쪽으로 근접해가는 추세이기 때문에, SDR 시스템에서 디지털 intermediate frequency (IF) up/down 변환 기술은 매우 중요하다^[3]. 디지털 IF의 장점으로는 아날로그 소자에서 발생하는 I 채널과 Q 채널 사이의 비대칭성이 생기지 않고, IF 주파수와 샘플링 주파수를 조절하여 믹서의 곱하기 연산을 없앨 수 있으며, 디지털 lowpass filter (LPF)의 계수를 조절하여 다중모드를 위한 유연성을 높일 수 있는 특징이 있다^[4]. 디지털 up/down 변환기의 일반적인 구조는 그림 1과 그림 2에 잘 나타나 있다. 그림에서 알 수 있듯이 디지털 IF의 주요 기능으로는 샘플링율 (sampling rate) 변환을 위한 기능과 기저대역 신호를 원하는 IF 대역으로 올리는 기능 또는 수신된

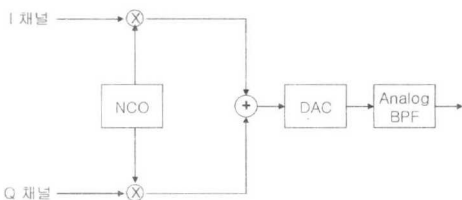


그림 1. 디지털 올림 변환기

IF 신호를 기저대역으로 내리는 기능을 수행한다. 또한 대역통과 필터를 사용하여 이미지 신호를 제거하는 기능을 수행한다.

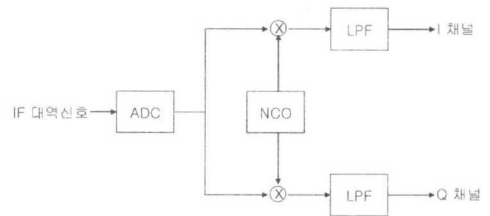


그림 2. 디지털 내림 변환기

디지털 IF에 대한 기존의 논문들을 살펴보면, [4]에서는 일반적인 디지털 올림/내림 변환기술에 대한 설명을 하였고, 대역통과와 샘플링 (bandpass sampling) [5]의 유용성에 대해 설명하였으며, 그 중에서도 주로 내림 변환기에 대한 것을 중점적으로 설명하고 있다. [6]과 [7]에서는 디지털 내림변환에 필요한 LPF의 복잡도와 연산량을 줄이기 위한 필터 설계기술에 대해 논하였다. [8]에서는 다채널 IS-95 신호를 위한 디지털 IF 채널라이저를 FPGA를 이용하여 구현하였다. 아직까지는 기존의 응용 프로토콜에 적합한 이론 중심의 디지털 IF 방안에 대한 방법들은 많이 제안되고 있지만, DSP나 FPGA에 의해 구현된 것들은 미비하다.

본 논문에서는 대역폭이 20MHz이고, 최대 전송속도가 54Mbps이며, OFDM 방식을 사용하는 IEEE802.11a [9]인 5GHz 무선랜에 적용할 수 있는 디지털 IF 올림/내림 변환 알고리즘에 대역통과와 샘플링을 적용한 효율적인 방안을 제시하고, 현재 출시된 가장 빠른 DSP인 Texas Instruments (TI)사의 TMS320C6416 DSP칩을 사용하여 실시간 구현하였다. 아직까지 IEEE802.11a에 적합한 디지털 IF를 처리할 수 있는 상용칩이 존재하지 않기 때문에, SDR 시스템 측면에서 DSP를 이용한 디지털 IF의 구현은 매우 의미 있고, 필수적인 요소이다. 구현된 DSP 모듈은 프로그램에 의해 소프트웨어의 재구성이 가능하고, PCI 버스구조의 개방형 구조 (open architecture)로 이루어 졌기 때문에, 본 논문에서 구현한 IEEE802.11a뿐만 아니라, 다른 응용 분야에서도 이용 가능한 SDR기반 하드웨어 DSP 모듈이다. 본 논문의 구성은 다음과 같다. II장에서는 IEEE802.11a에 알맞은 디지털 IF 올림/내림 변환기의 설계 조건과 대역통과와 샘플링을 이용한 설계방법을 설명하였고, III장에서는 TI사의 DSP인

TMS320C6416을 이용한 하드웨어 모듈 설계 구조 및 특징에 대한 설명을 하였다. 그리고 IEEE802.11a을 위한 DSP 알고리즘의 실시간 구현 소프트웨어에 대한 설명은 IV장에서 하였다. 마지막으로 V장에서는 결론을 맺는다.

II. IEEE802.11a를 위한 내림/올림 변환 알고리즘

1. 디지털 내림 변환 (digital down conversion: DDC) 알고리즘

디지털 내림 변환은 아날로그로 입력되는 IF 신호를 AD변환해서 기저대역의 신호로 주파수 대역을 옮겨주는 것이다. 이 과정에서 고려되어야 할 것은 입력되는 아날로그로 IF 주파수, 신호의 대역폭 (bandwidth), 샘플링 속도 (sampling rate), 기저대역 데이터 속도 등이 고려되어야 한다. 본 논문에서는 아날로그 IF 주파수를 70MHz로 선정하고, 대역통과 샘플링 기법 [5]을 이용하여 디지털 내림 변환기를 구현하였다. 대역통과 샘플링 기법을 이용하기 위해서는 샘플링 속도를 결정하는 것이 중요하다. 이것을 구하기 위해 IEEE802.11a 관련 사양을 알아야 하는데, 표 1에 간단한 사양을 도시하였다. 적용하고자 하는 IEEE802.11a는 RF 주파수는 5GHz 대역을 사용하고, 64 QAM (quadrature amplitude modulation) OFDM (orthogonal frequency division multiplexing) 기법을 이용하며, 대역폭이 20MHz인 무선랜 시스템이다.

표 1. IEEE802.11a 사양

Frequency	5.15 -5.25, 5.25-5.35, 5.725-5.825 GHz
Information data rate	6, 9, 12, 18, 24, 36, 48 and 54 Mbit/s (6, 12 and 24 Mbit/s are mandatory)
Modulation	BPSK OFDM, QPSK OFDM, 16-QAM OFDM, 64-QAM OFDM
Error correcting code	K = 7(64 states) convolutional code
Coding rate	1/2, 2/3, 3/4
Number of subcarriers	52
OFDM symbol duration	4.0 μsec
Guard interval	0.8 μsec
Bandwidth (effective BW)	20MHz (16.6MHz)

표 1에서 알 수 있듯이 IEEE802.11a는 20MHz의 광대역 대역폭을 가지고 있다. 이러한 조건에 알맞고, 대역통과 샘플링을 함으로써 발생하는 신호의 이미지의 중첩이 없도록 샘플링 속도를 결정하는 것이 매우 중요하다. 이 샘플링 속도는 간단한 계산식에 의해서 구할 수 있다^[5].

$$\frac{2}{n} \times \left(f_{IF} + \frac{BW}{2} \right) \leq f_s \leq \frac{2}{n-1} \times \left(f_{IF} - \frac{BW}{2} \right) \quad (1)$$

$$n \leq \text{int} \left(\frac{f_H}{BW} \right) \quad (2)$$

여기서 f_{IF} 는 아날로그 입력 IF 주파수이고, BW 는 신호의 대역폭을 나타내고, $f_H = f_{IF} + BW/2$ 이며, n 은 정수값을 나타낸다. 식 (1)과 (2)에 IEEE802.11a에 대해 적용하면, 아래 표 2와 같다.

표 2. 대역통과 샘플링에 대한 샘플링 속도

n	f_s (MHz)	Center frequency and Error (MHz)
4	$40.00 \leq f_s \leq 40.00$	$f_s = 40.00$
3	$53.33 \leq f_s \leq 60.00$	$f_s = 56.66 \pm 3.33(5.88\%)$
2	$80.00 \leq f_s \leq 120.00$	$f_s = 100.00 \pm 20.00(20.00\%)$

표 2에서 알 수 있듯이 샘플링 주파수가 40MHz 일 때 에러없이 대역통과 샘플링을 수행할 수 있음을 알 수 있다. 그러므로 본 논문에서도 샘플링 속도를 40MHz로 결정하였다.

다음으로 결정해야 할 요소로는 NCO (numerical controlled oscillator)의 주파수를 결정하는 것이다. DDC에서 NCO는 주파수 대역을 기저대역으로 이동해주는 기능을 한다. NCO의 구조를 간단하게 하기 위해서는 NCO의 주파수 f_{NCO} 가 샘플링 주파수 f_s 의 1/4일 때, NCO의 출력값은 식 (3)과 (4)처럼 -1, 0, 1 중 하나가 된다^[4]. 이 요소를 만족시키면 연산량이 크게 감소하게 되고, 간단한 look-up 테이블 형태로 구현이 가능하다.

$$\cos \left(2\pi \frac{f_s}{4} kT_s \right) = \cos \left(\frac{\pi k}{2} \right) = 1, 0, -1, 0, \dots \quad (3)$$

$$\sin \left(2\pi \frac{f_s}{4} kT_s \right) = \sin \left(\frac{\pi k}{2} \right) = 0, 1, 0, -1, \dots \quad (4)$$

위의 이론을 바탕으로 IEEE802.11a를 지원하기 위한 DDC의 구조는 아래 그림 3과 같고, 각각의

블록에 대한 주파수 영역에서의 스펙트럼 구조는 그림 4와 같다.

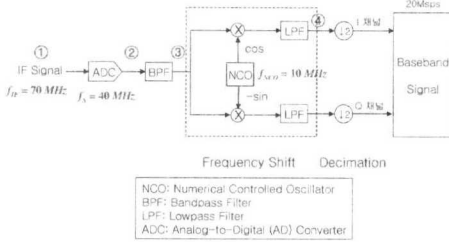


그림 3. IEEE802.11a를 위한 DDC 블록도

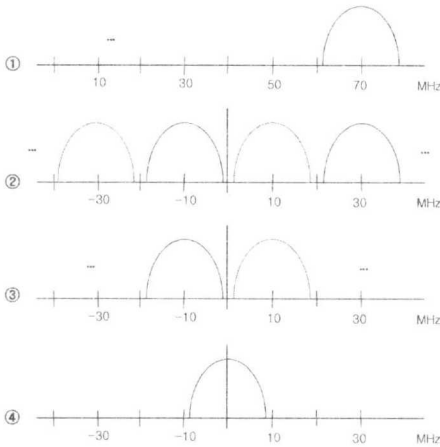


그림 4. 디지털 내림 변환기에 대한 대역통과 샘플링 결과

이 구조는 그림 4의 ①과 같이 70MHz로 수신되는 IF 신호를 40MHz로 대역통과 샘플링을 하게 된다. 그러면 그림 4의 ②와 같은 모습으로 주파수의 중첩이 없이 신호가 반복하게 된다. 이 신호를 다시 BPF를 통과하여 그림 4의 ③과 같이 원하는 대역의 신호만을 추출하고, NCO를 통해 기저대역으로 10MHz 만큼 내림 변환을 하게 된다. 여기서 NCO의 주파수는 샘플링 주파수의 1/4인 10MHz이기 때문에, 식 (3)과 (4)와 같이 간단한 구조를 가진다. 마지막으로 IEEE802.11a 사양에 알맞은 기저대역 전송 속도를 맞추기 위해 40Mps의 데이터를 2배 decimation하여 20Mps로 변형하여 기저대역으로 전송하면, 모든 DDC의 과정이 끝나는 것이다.

2. 디지털 올림 변환(digital down conversion: DUC) 알고리즘

디지털 올림 변환은 기저대역의 신호를 디지털적으로 원하는 IF 대역의 신호로 주파수를 올리는 것

을 말한다. DUC의 구조도 DDC와 반대되는 개념이기 때문에 구조는 비슷하다. 그림 5는 본 논문에서 IEEE802.11a를 적용한 DUC의 블록도이고, 그림 6은 각 블록에 대한 주파수 영역의 신호를 나타내었다. 그림 5의 블록도를 살펴보면, 기저대역의 신호를 인터폴레이션하여 데이터 속도를 맞추고, NCO에 의해서 IF 주파수로 올림변환 된 후 디지털 믹서에 의해 더해져서 DA 변환된다. 그리고, 최종적으로 신호의 이미지 성분들을 제거하기 위해서 아날로그 BPF를 사용하게 된다.

DUC에서 결정해야 할 중요한 파라미터들은 PDC의 경우와 마찬가지로 IF 주파수와 샘플링 속도이다. DUC의 설계에 있어서, 구현하고자 하는 TMS320C6416 DSP의 속도를 감안하여 샘플링 속도를 40MHz로 결정하고, 30MHz의 IF 주파수를 결정하였다. 이것은 DDC의 70MHz IF 주파수와는 비대칭인 경우이지만, 연산량과 실시간 구현을 생각하면 IEEE802.11a에 대한 디지털 IF의 DSP 구현은 효율적이라 여겨진다.

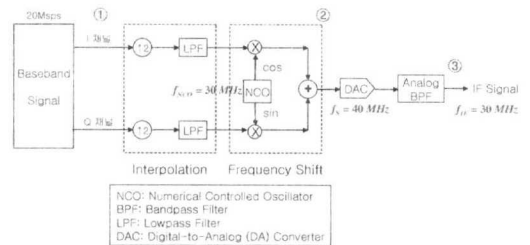


그림 5. IEEE802.11a를 위한 디지털 올림 변환기의 구조

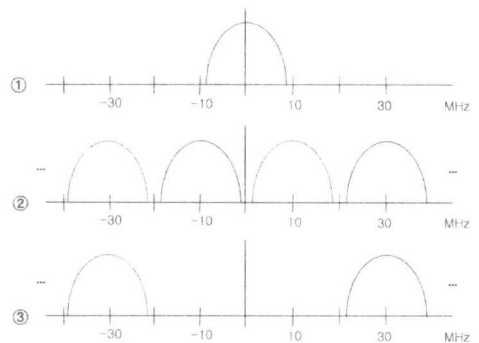


그림 6. 디지털 up 변환기에 대한 대역통과 샘플링 결과

본 논문의 경우, NCO의 구조만을 간단하게 하기 위해서 샘플링 주파수를 IF 주파수의 4배인 120MHz를 사용해야 한다. 그러나 전체 시스템 측면에서 볼 때, 샘플링 주파수가 너무 크기 때문에 구현상의 제약이 많이 발생한다. IEEE802.11a와

같은 응용에서 사용할 수 있는 광대역 DUC 칩도 존재하지 않기 때문에 DSP나 FPGA 같은 디바이스를 이용하여 디지털 변환기를 구현해야 한다. 특히, DSP로 구현할 때는 실시간 구현이 매우 중요하다. IEEE802.11a는 광대역 대역폭을 가지고 있고, 데이터 속도도 빠르기 때문에 처리해야 할 전체 데이터량이 크게 증가한다. 그러므로 DUC에서도 DDC에서 적용한 대역통과 샘플링 기법을 이용하여, 샘플링 속도를 낮추어 전체 계산량을 크게 줄일 수 있었다.

III. DSP 하드웨어 구현

미래의 통신 시스템은 특정 응용분야에 국한된 하드웨어가 아닌, SDR 시스템과 같이 개방형 구조의 하드웨어가 요구되는 시점이다. 그러므로 유연성 (flexibility)을 가지는 DSP 설계 기술이 무엇보다 중요하다. 본 장에서는 유연성을 가지면서 앞장에서 설명한 IEEE802.11a를 위한 디지털 올림/내림 변환기 알고리즘을 포팅할 DSP 하드웨어 설계 및 구현에 대한 설명을 하겠다. 구현한 하드웨어의 구성은 그림 7과 같이, TI사의 최대 600MHz로 동작하는 TMS320C6416 DSP 처리부, Flash ROM, SDRAM, dual-port RAM 등 각종 메모리부, PLX사의 PCI9054를 이용한 PCI 인터페이스부, AD/DA 변환기와 데이터 교환을 위한 FIFO 부로 설계되었다.

설계된 하드웨어의 특징을 살펴보면, PCI 인터페이스를 사용하여 개방형 구조의 인터페이스 설계로 PC에 장착할 수 있고, 다른 응용분야에서도 사용 가능하도록 설계 되었다. 개발된 DSP 하드웨어 모듈은 그림 8과 같다. 다음은 각 블록에 대한 좀더 자세한 설명을 하겠다.

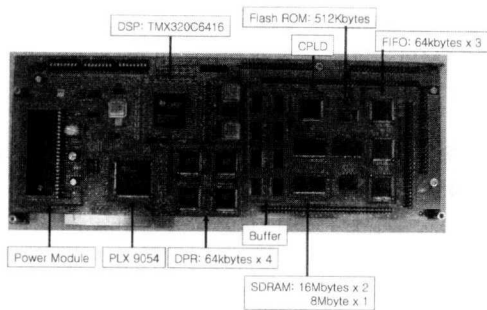


그림 8. 구현한 DSP 하드웨어 모듈

1. DSP 처리부

DSP는 TI사의 고정소수점 연산을 하는 TMS320C6416 칩을 사용하였다. 이 칩의 내부 클럭은 최대 600MHz로 동작하고, 4800MIPS (million instruction per second)의 성능을 가지는 현존하는 가장 빠른 DSP 칩이다. 이 칩의 주요 특징^[10]을 살펴보면, 내부 메모리는 프로그램과 데이터를 위한 영역으로 16Kbyte가 있고, 내부 RAM은 1Mbyte의 메모리 공간을 가지고 있다. 외부 메모리 인터페이스를 위해 2개의 EMIF (external memory interface)가 있는데, 하나는 64bit이고, 다른 하나는 16bit를 지원한다. 그리고, 본 논문에서 구현하고자 하는 IEEE802.11a와 같이 많은 양의 데이터를 빠른 시간에 전송하는 응용분야에서 DMA (direct memory access) 기능을 많이 이용하게 되는데, 이 칩에서는 64채널의 독립된 DMA를 지원하고 있다. 또한 Viterbi 디코더와 Turbo 디코더 코어를 내장하고 있기 때문에 통신 시스템 구현할 때 유리하다.

이러한 고속의 DSP를 가지고 II장에서 설명한 디지털 내림/올림 변환기의 알고리즘이 포팅되어 디지털 IF를 구현하는 것이다.

2. 메모리부

구현된 모듈에서 메모리는 크게 3가지가 사용되었다. DSP 초기화 및 부팅을 위한 512Kbyte의 Flash ROM, DSP 내부 메모리의 보충을 위해서 외부 메모리는 16Mbyte 2개와 8Mbyte 1개의 총 24Mbyte SDRAM을 사용했고, PCI 버스를 통해 외부의 다른 모듈과 DSP 간의 데이터 교환을 위해서 4개의 64Kbyte dual-port RAM (DPRAM)을 사용하였다. 이 DPRAM을 사용함으로써, PCI 버스를 관할하고 있는 호스트와 DSP 간의 지역버스를 서로 공유하지 않기 때문에 메모리를 동시에 접속할 수 있는 장점을 가지고 있다. 즉, 호스트에서 데이

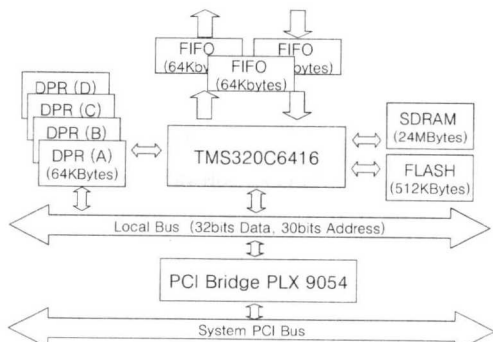


그림 7. DSP 모듈의 구성도

터를 DPRAM에 쓰고 있을 때도, DSP에서 DPRAM의 데이터를 읽어 올 수 있는 장점이 있다.

3. PCI 인터페이스부

구현된 DSP 모듈이 PCI 버스를 통하여 호스트와 연결하기 위해서는 그림 7과 같이 PCI 브릿지가 필요하다. 여기서 사용된 브릿지 칩은 마스터 기능을 가지고 3.3V로 동작하는 PLX9054 이다. PLX9054 를 사용한 것은 2개의 DMA 엔진을 갖고 있기 때문에, 고속의 데이터 송수신에 매우 유리하다.

4. 외부 인터페이스부

하나의 DSP 모듈이 DDC와 DUC 두 가지 모드로 동작하기 때문에, DDC로 동작하는 경우에는 외부의 AD 변환기에서 들어오는 신호를 받아야 하고, DUC로 동작하는 경우에는 DSP 모듈에서 데이터를 DA 변환기에 보내주어야 한다. 그래서 AD/DA 변환기와 DSP 모듈 사이에는 버퍼의 역할을 할 수 있는 FIFO (first in first out)가 필요하다. 여기서 사용한 FIFO는 TI사의 64Kbyte의 크기를 갖는 SN74V293 세 개를 사용하였다. 두 개는 DA 변환기와의 연동을 위해서 사용하고, 하나는 AD 변환기와의 연동을 위해서 사용한다.

IV. DSP 소프트웨어 구현 및 시뮬레이션

본 장에서는 II장에서 설명한 IEEE802.11a를 위한 디지털 올림/내림 변환 알고리즘을 DSP로 구현하여, III장에서 설명한 DSP 하드웨어에 포팅하고, 실시간으로 동작되는 것을 설명하겠다. 여기서 말하는 실시간의 의미는 DSP의 동작 속도에 대한 처리 능력이 정해져 있다. 그런데, 수행하고자 하는 프로그램이 DSP에 포팅되어 그 DSP가 가지고 있는 처리 능력으로 감당할 수 있어야 실시간 동작을 하는 것이다.

본 논문에서 개발된 DSP 프로그램은 TI DSP인 TMS320C6416에 적합하도록 개발되었고, 개발 순서는 그림 9와 같이 3단계로 나누어 개발을 수행하였다. 그림 9에서 알 수 있듯이 1단계와 2단계를 수행하면서 C 코드의 최적화를 수행하고, 최종적으로 linear 어셈블리 언어를 이용하여 디지털 올림/내림 변환 알고리즘의 실시간 구현을 수행하였다.

1. DSP 프로그램의 최적화 기법

본 절에서는 DSP 프로그램 개발시 코드를 최적화 하는 기법에 대한 설명을 하겠다. 코드 최적화

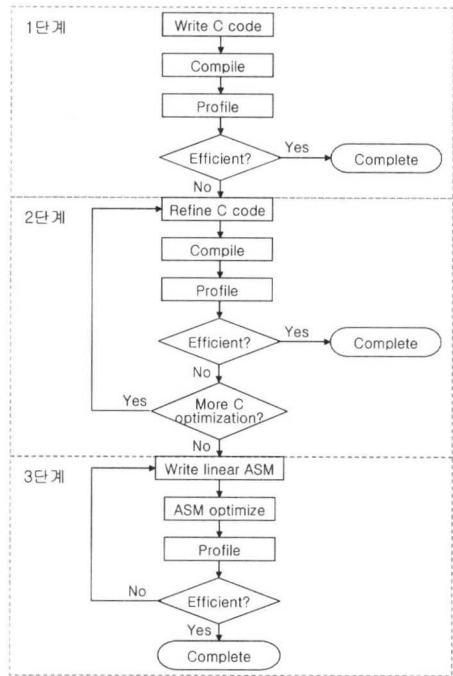


그림 9. DSP 프로그램 개발 순서도

기법으로는 DSP 컴파일러에서 제공되는 intrinsic을 사용하는 방법, unrolled 기법을 사용하는 방법, software pipeline을 사용하는 방법의 세 가지를 들 수 있다.

Intrinsic은 C 코드를 최적화하기 위해서 DSP에서 미리 정해진 몇 가지 instruction을 inline해서 C 코드와 함께 사용하는 것을 말한다. 이 방법은 C로 실시간 구현이 가능한 경우 C 레벨에서 주로 사용하는 방법이다. 기본적으로 제공되는 intrinsic은 덧셈, 곱셈, 뺄셈과 같은 단순한 것들이다. Unrolled 방법은 주로 for문과 같은 반복문에서 많이 사용하게 된다. 같은 구문을 여러 번 반복 수행할 때, 일정 코드를 수행하고 다시 시작 번지로 돌아가서 수행해야 하는데, 이러한 반복 회수를 줄임으로써 DSP의 cycle수를 줄이는 방법이다. 특히 반복횟수가 많고 반복문 안에 쓰이는 변수가 적을수록 효과가 증대된다. 마지막으로, software pipeline 방법은 TMS320C6416 DSP 구조를 잘 활용하여 데이터를 읽고, 실행하고, 쓰는 과정을 순차적으로 반복하는 것이 아니라, 데이터를 실행하는 동안, 다른 데이터를 읽어서 실행하는 것으로 병렬적으로 데이터 처리를 함으로써, 처리 속도를 향상시키는 것이다. 그러나, 어떤 데이터의 처리 결과가 다음 데이터로 상

호 연관성이 없어야 가능하다. 이 방법은 프로그램 할 때나 컴파일할 때, 프로그래머에 의해서 수행되어야 한다. 그 외에 DSP에서 제공되는 LDW (two load word) 명령어와 같은 명령어들을 잘 활용하여 실행 cycle수를 줄일 수 있다.

위에서 설명한 Intrinsic과 unrolled 방법은 C와 linear 어셈블리어에서 모두 사용 가능하지만, software pipeline 기법은 어셈블리어로 코드를 프로그램할 때 적용되어야 한다. 표 3, 4, 5는 위에서 설명한 각각에 대한 dot product에 대한 간단한 예제이다. 예제에서 알 수 있듯이 위에서 제시한 최적화 기법을 사용하여 코드를 작성하면 코드 길이는 길어지는 경향은 있지만, DSP에서 계산되는 cycle 수는 줄일 수 있기 때문에 실시간 구현에는 필수적이다.

표 3. Intrinsic을 사용한 예

```
int dotp(short a[], short b[])
{
    int i, sum = 0;
    for (i = 0; i<100; i++)
    {
        sum = sum + _mpy(a[i], b[i]);
    }
    return(sum);
}
```

표 4. Unrolled을 사용한 예

```
int dotp(short a[], short b[])
{
    int i, sum0 = 0, sum1 = 0, sum;
    for (i = 0; i<100; i+=2)
    {
        sum0 += a[i] * b[i];
        sum1 += a[i+1] * b[i+1];
    }
    sum = sum0 + sum1;
    return(sum);
}
```

표 5. LDW을 사용한 dot product 어셈블리어 예

<pre> MVK 50, A1 ZERO A7 ZERO B7 LOOP: LDW *A4++, A2 LDW *B4++, B2 SUB A1, 1, A1 [A1] B LOOP NOP 2 MPY A2, B2, A6 MPYH A2, B2, B6 NOP ADD A6, A7, A7 ADD B6, B7, B7 ADD A7, B7, A4 </pre>	<pre> ; loop counter ; sum0 = 0 ; sum1 = 0 ; load ai & ai+1 from memory ; load bi & bi+1 from memory ; decrement loop counter ; branch to loop ; no operation ; ai * bi ; ai+1 * bi+1 ; no operation ; sum0 += (ai + bi) ; sum1 += (ai+1 * bi+1) ; sum = sum0 + sum1 </pre>
--	--

2. 시뮬레이션 결과

본 논문에서는 앞 절에서 제시한 프로그램 최적화 기법을 사용하여 그림 3과 그림 5를 만족하는 IEEE802.11a에 대한 올림/내림 변환 알고리즘의 DSP 프로그램을 실시간 구현하였다. 구현된 알고리즘에 대한 C 코드와 linear 어셈블리어 코드를 사용했을 경우 총 걸리는 cycle 수를 비교하여 표 6은 DDC에 대한 결과를 나타내었고, 표 7은 DUC에 대한 결과를 나타내었다.

본 시뮬레이션에서 적용한 몇 가지 조건들을 살펴보자. DDC에서는 입력되는 데이터 속도는 40Msps이고, DSP에서 한번에 처리하는 데이터양은 2k word를 처리하였다. 그러므로 600MHz로 동작하는 DSP에서 실시간으로 처리 하기 위해서는 표 6의 총 cycle수 × 40M/2k 의 결과가 600M보다 작아야 한다. 표 6에서 C 코드만을 사용했을 때를 살펴보면 약 4,864M의 속도가 나오고, linear 어셈블리어를 사용하여 최적화를 했을 때는 약 517M의 속도를 나타낼 수 있다. 그러므로 DDC의 동작이 실시간으로 구현됨을 알 수 있다. DUC에서는 입력되는 속도가 20Msps의 기저대역 신호가 입력되고, DSP에서 한번에 처리하는 데이터양은 1k word를 처리하였다. DDC에서 적용한 것과 마찬가지로 동작 속도를 살펴보면, C 코드만을 사용했을

표 6. DDC의 시뮬레이션 결과

	NCO	LPF	Decimation	Data Formatting	Total cycle 수
C코드	13,557	181,047	25,409	23,209	243,222
Linear ASM	4,457	17,207	2,746	1,432	25,842

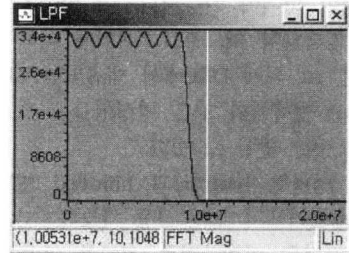
표 7. DUC의 시뮬레이션 결과

	Interpolation		NCO	Data Formatting	Total cycle 수
	Zero padding	LPF			
C코드	15,921	34,333	15,785	11,999	77,313
Linear ASM	3,458	12,723	2,241	4,383	20,557

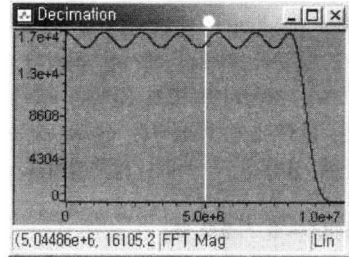
때는 약 1,546M의 속도를 보이고, linear 어셈블러를 사용하여 최적화를 했을 때는 약 411M의 속도를 나타냄을 알 수 있다. 그러므로 DUC 역시 실시간으로 동작됨을 알 수 있다.

시뮬레이션 결과에서 알 수 있듯이 600MHz로 동작하는 TMS320C6416 DSP를 사용하여 IEEE802.11a를 위한 DDC의 구현은 약 86%의 DSP 자원을 사용하고, DUC의 구현은 약 69%의 DSP 자원을 사용하였다. DDC의 C코드와 DUC의 C 코드의 속도 차이가 나는 것은 DUC의 C 코드를 더 최적화 했기 때문이다. 그러나 C 코드만으로는 실시간 구현이 어렵기 때문에 linear 어셈블러와 프로그램의 최적화 기법을 동시에 잘 적용하여 구현하는 타겟에 적합하게 최적화를 해야 한다.

다음은 구현된 알고리즘의 스펙트럼 분석을 통한 검증을 하겠다. II장에서 설명한 알고리즘을 바탕으로 DSP 프로그램을 TI사의 DSP 개발 소프트웨어인 Code Composer Studio [10]에서 검증하였다. 그림 10은 DDC에 대한 결과이고, 그림 11은 DUC에 대한 결과이다.

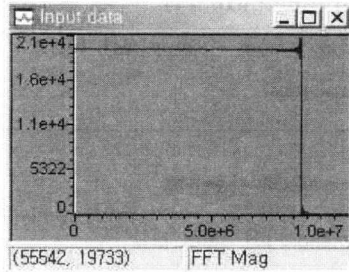


(c) LPF 통과 후

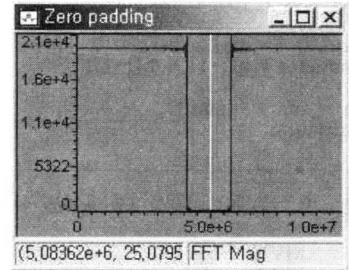


(d) Decimation 후

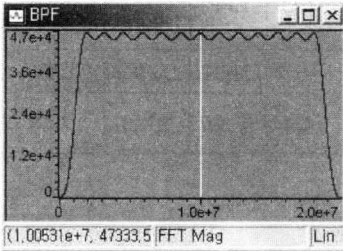
그림 10. DDC의 단계별 스펙트럼 결과



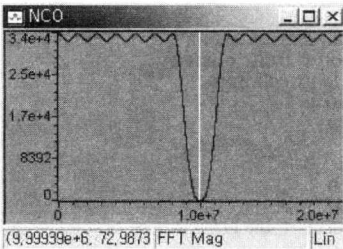
(a) Input 신호



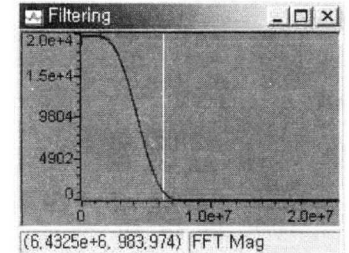
(b) Zero padding 후



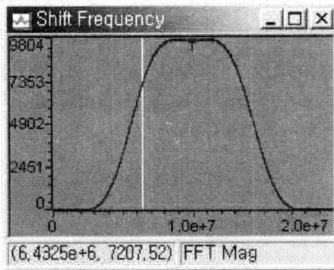
(a) BPF 통과 후



(b) NCO 통과 후



(c) LPF 통과 후



(d) NCO 통과 후

그림 11. DUC의 단계별 스펙트럼 결과

그림 10의 결과를 살펴보면, (a)의 결과는 그림 3의 블록도에서 BPF 통과 후 중심 주파수가 10MHz 이고, 대역폭이 20MHz인 IEEE802.11a 사양에 적합한 신호이다. 이 신호가 각 블록을 거치면서 최종적으로 (d)의 결과를 나타냄을 알 수 있다. 그림 11은 DUC의 결과를 나타낸 것으로 기저대역 입력 신호를 임의의 sinc 함수로 표현하였다. 이 결과 역시 그림 5의 블록을 거치면서 각각의 결과를 도시하였고, 그림 11의 (d)와 같은 결과를 얻을 수 있는데, 이 신호는 똑같이 중심 주파수가 30MHz에서 생긴다. 그러므로 본 논문에서는 IEEE802.11a 사양에 적합한 DDC와 DUC 알고리즘을 DSP로 실시간 동작되도록 구현하였다.

V. 결론

디지털 IF의 구현은 SDR처럼 미래의 통신 수단에서 필수적인 요소이다. 본 논문에서는 5GHz 대역의 무선랜인, IEEE802.11a에 적용할 수 있는 디지털 IF 올림/내림 변환기를 대역통과 샘플링을 이용하여 구현하는 방안을 제시하였다. 이 알고리즘은 DSP를 이용하여 실시간으로 구현되었으며, 설계된 TMS320C6416 DSP 모듈에 포팅되어 잘 동작됨을 확인하였다. 설계된 DSP 하드웨어 모듈은 개방형 구조를 지원하기 때문에 다른 통신 및 신호처리 알고리즘을 포팅하여 사용할 수 있게 설계하였다.

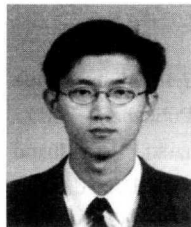
본 논문에서 구현한 디지털 IF는 다른 응용 분야에 적용할 수 있도록 기반을 마련했으며, IF 주파수, 샘플링 주파수, 신호의 대역폭, NCO의 복잡도에 대한 tradeoff 관계를 잘 규명하여 다중모드, 다중표준을 지원하는 SDR 시스템에도 적용할 수 있을 것으로 기대된다.

참고 문헌

- [1] Ramjee Prasad, et. al., *Third Generation Mobile Communication Systems*, AH Publishers, 2000.
- [2] Hiroshi Tsurumi and Yasuo Suzuki, "Broadband RF stage architecture for software-defined radio in handheld terminal applications," *IEEE Communications Magazine*, pp. 90-95, Feb. 1999.
- [3] David B. Harris Semiconductor, "Digital IF filter technology for 3G systems: An introduction," *IEEE Communications Magazine*, pp. 102-107, Feb. 1999.
- [4] 안승혁, 박인순, 최진규, 이용훈, "중간 주파수 디지털 신호처리," *전자공학회지*, 제 27 권, 제 4 호, pp. 392-402, 2000년 4월.
- [5] R.E. Ziemer and W. H. Tranter, *Principles of Communications: Systems, Modulation, and Noise*, 4th edition, Houghton Mifflin Company, 1995.
- [6] A. Y. Kwentus, Z. Jiang, and A. N. Willson, Jr. "Application of filter sharpening to cascaded integrator-comb decimation filters," *IEEE Trans. Signal Processing*. Vol. 45, pp. 457-467, Feb. 1997.
- [7] H. J. Oh, S. Kim, G. Choi and Y. H. Lee, "On the use of interpolated second-order polynomials for efficient filter design in programmable downconversion," *IEEE JSAC*, Vol. 17, No. 4, pp. 551-560, April 1999.
- [8] Sungbin IM, et. al., "Implementation of SDR-Based Digital IF Channelizer/ De-Channelizer for Multiple CDMA signal," *IEICE Trans. Commun.*, Vol. E83-B, No. 6, June 2000.
- [9] IEEE Standard 802.11a, Part11: *Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications*, 1999.
- [10] 10. <http://www.ti.com>

강 환 민(Hwan Min Kang)

정회원



1997년 2월: 한양대학교

전자공학과 졸업(공학사)

1999년 2월: 한양대학교 대학원

전자공학과 졸업

(공학석사)

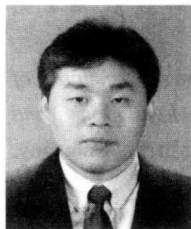
1999년 3월~현재: 한양대학교

대학원 전자통신전파공학과
박사과정

<주관심 분야> Software Defined Radio (SDR) 시스템, 디지털통신, 이동통신 시스템, DSP 시스템

조 성 호(Sung Ho Cho)

정회원



1978년 2월: 한양대학교

전자공학과 졸업(공학사)

1984년 12월: University of

Iowa 전자컴퓨터공학과

졸업 (공학석사)

1989년 8월: University of

Utah 전자컴퓨터공학과

졸업 (공학박사)

1989년 8월~1992년 8월: 한국전자통신연구원 선임
연구원

1992년 9월~현재: 한양대학교 정보통신대학 교수

<주관심 분야> 디지털시스템 H/W 및 S/W 설계,
SDR 시스템 설계, 디지털통신, 이동통신