

시간 동기 블록을 적용한 비동기 W-CDMA용 초기 셀 탐색 방법의 성능 분석

준회원 황 상 윤*, 정회원 강 범 주**, 최 우 영*, 김 재 석*

Performance Evaluation of Initial Cell Search Scheme Using Time Tracker for W-CDMA

Sang-yun Hwang* Associate Member

Bub-ju Kang**, Woo-young Choi*, Jae-seok Kim* Regular Members

요 약

비동기 W-CDMA를 위한 셀 탐색 방법은 슬롯 동기 과정(stage 1), 그룹 확인 및 프레임 동기 과정(stage 2), 긴 코드 동기 과정(stage 3)으로 구성되어있다. 특히 이동국에 전력이 처음 들어왔을 때 수행되는 셀 탐색을 초기 셀 탐색이라 한다. 초기 셀 탐색에서는 이동국의 초기 주파수 오차와 시간 오차에 의해 성능이 저하된다. 본 논문에서는 이러한 동기 오류 중 초기에 클럭 발생기에 의해 유발되는 시간 오차를 보상해주기 위해 시간 동기 블록을 적용한 초기 셀 탐색 방법을 제안한다. 제안된 방식에서는 시간 동기 블록이 슬롯 동기 과정에서 할당된 슬롯 시작점을 기준으로 동기 추적 과정을 수행하므로 stage 2와 stage 3에서의 시간 오차를 보상하게 된다. 제안된 초기 셀 탐색 방법을 사용할 경우, 시스템의 시간 오차가 $\pm T_c/2$ 일 때, 기존 방식보다 최대 1.5dB의 성능 향상을 얻을 수 있었다.

ABSTRACT

The cell search scheme for W-CDMA consists of the following three stages: slot synchronization(1st stage), group identification and frame boundary detection(2nd stage), and long code identification(3rd stage). The performance of the cell search when a mobile station is switched on, which is referred to as initial cell search, is decreased by the initial frequency and timing error. In this paper, we propose the pipeline structured initial cell search scheme using time trackers to compensate for the impact of the initial timing error in the stage 2 and stage 3. The simulation results show that the performance of the proposed scheme is maximal 1.5 dB better than that of the conventional one when the initial timing error is near $\pm T_c/2$.

I. 서 론

3G CDMA(3rd Generation Code Division Multiple Access) 시스템은 2세대 CDMA 시스템보다 다양하고 고속의 데이터 서비스를 제공하기 위해 제안되었으며, 이를 위한 무선 접속 방식으로는

CDMA 2000과 비동기 W-CDMA(Asynchronous Wideband CDMA)방식이 있다^{[1][2]}. 이러한 CDMA 2000과 비동기 W-CDMA의 주된 차이점 중의 하나는 기지국간 동기 방식이다. CDMA 2000에서는 GPS와 같은 외부 시스템으로부터 공통 시간정보를 수신하여 모든 기지국이 프레임 동기를 맞추어 동

* 연세대학교 전기·전자공학과 정보통신용 SOC설계 연구실(sea@asic.yonsei.ac.kr)

** 동국대학교 정보통신공학과(bjkang@mail.dongguk.ac.kr)

논문번호 : 010104-0518, 접수일자 : 2001년 5월 18일

※ 본 연구는 1999년도 한국학술진흥재단 대학부설연구소과제 연구비에 의하여 연구되었음.

작을 하는 기지국 동기식 CDMA 방식이다. 한편, 비동기 W-CDMA 방식은 모든 기지국의 프레임 시작 시간이 서로 독립적인 기지국 비동기 CDMA 방식이다^{[1][2]}. 비동기 W-CDMA에서는 이러한 기지국 간 비동기 방식을 지원하기 위해 각 기지국마다 서로 다른 기지국 긴 코드를 할당하며, 이를 위해 총 512개의 기지국 긴 코드를 사용한다. 그러므로, 비동기 W-CDMA에서 이동국(mobile station)은 무선 접속하고자하는 기지국과의 초기 동기를 획득하기 위해 512개의 기지국 긴 코드에 대한 탐색과정을 수행하여야 하므로, CDMA 2000과 비교하여 거의 동일한 동기 획득 시간을 유지하기 위해서는 이동국 수신단의 복잡도가 증가하게 된다.

그러므로, 비동기 W-CDMA에서 이동국과 기지국간의 동기과정(셀 탐색 과정)에 소요되는 시간을 줄이기 위해 NTT DoCoMo에서 제안한 것이 삼 단계 셀 탐색 방법이다^{[3][4]}. 이 방법은 두 개의 동기 채널을 사용하는 방법으로 이러한 동기 채널 중의 하나는 모든 기지국이 알고 있는 동기 코드를 전송함으로써 슬롯 시작시점에 대한 동기 과정을 수행할 수 있게 하며, 다른 동기채널로는 슬롯시작시점에 GIC(Group Indicator Codes)를 전송한다. 여기서 GIC란 비동기 W-CDMA에 사용되는 긴 코드들의 그룹 정보를 나타낸 것으로 실제 표준안에서는 512개의 긴 코드들을 64개의 그룹으로 분류하고 있다. 그러므로, 각 그룹 안에는 8개의 긴 코드가 포함되어있고, 이동국에서는 셀 탐색 과정에서 기지국의 GIC를 먼저 복호함으로써 8개의 긴 코드에 대한 동기 획득 과정만을 수행하면 된다.

그러나, 이러한 방식도 탐색해야되는 긴 코드의 수는 줄일 수 있지만, 긴 코드의 시작 시점을 모르기 때문에 빠른 셀 탐색을 위해 다수의 병렬 능동 상관기를 필요로 한다. 그러므로, 이러한 단점을 보완하기 위해 제안된 것이 기지국에서 그룹 정보 및 프레임 시작점 정보를 동시에 제공하는 방식이다^{[5][6]}. 이 방식에서는 GIC 코드로 cyclic shift에서도 minimum distance를 유지하는 comma free code를 사용한다. 이동국에서는 이 코드를 복호하여 그룹에 대한 정보 및 프레임의 시작점 정보를 동시에 얻을 수 있게 된다. 그러므로, 이동국에서는 이를 이용하여 빠른 시간 안에 셀 탐색을 완료할 수 있다. 현재 사용되고 있는 셀 탐색 방법은 위에서 언급한 방법을 사용하여 슬롯 동기 과정, 그룹 확인 및 프레임 동기 과정, 긴 코드 동기 과정으로 구분된다.

셀 탐색에는 크게 초기 셀 탐색과 인접 셀 탐색으

로 나뉘어진다. 초기 셀 탐색이란 이동국에 처음 전원이 들어왔을 때 수행되는 초기 동기 과정을 의미하며, 인접 셀 탐색은 인접 기지국으로의 핸드오프 과정에서 요구되는 인접 기지국과의 동기 과정을 뜻한다. 초기 셀 탐색 과정에서는 인접 셀 탐색과는 달리 이동국과 기지국간의 주파수/시간 동기 과정이 수행되지 않으므로, 상당히 큰 범위의 초기 주파수 오차 및 시간 오차값을 가질 수 있다. 초기 주파수 오차는 기지국과 이동국의 주파수 발진기의 성능차에 의해 발생되며, 대략 3ppm(part per million)-13ppm의 값을 가진다^[7]. 이러한 주파수 오차는 수신 신호의 크기 성분에 급격한 변화를 가져오게 되므로, 수신단에서는 이러한 초기 주파수 오차의 영향을 최소화할 수 있도록 내부 상관기의 적분 주기를 조절하여야 한다^[7]. 반면 시간 오차는 이동국의 ADC 성능, 내부 클럭 발생기의 오류(약 2ppm) 등에 의해 발생된다. 이동국은 이러한 시간 오차로 인해 최적의 샘플링 지점을 놓치게 되며, 이로 인해 수신 신호의 크기 성분이 감소되므로, 수신 신호의 SNR에 큰 영향을 미치게 된다. 초기 주파수 오차는 위에서 언급한 것과 같이 내부 상관기의 적분 주기를 조절하여 그 영향을 최소화할 수 있지만, 시간 오차에 의한 성능 저하는 초기 셀 탐색 시 별도의 시간 추적 과정을 수행하지 않는 이상 줄일 수 없다. 그러므로, 본 논문에서는 셀 탐색 과정에서 수행되는 슬롯 동기 과정을 통해 임의의 슬롯 시작점을 얻고, 이를 기준으로 하여 시간 동기 과정을 수행함으로써, 시스템에 존재하는 시간 오차 성분을 보상하고자 하였다. 이러한 과정을 수행함으로써 셀 탐색 과정에서의 그룹 확인 및 프레임 동기 과정과 긴 코드 동기 과정에서의 검출 확률을 높이고자 하였다. 본 논문에서는 먼저 시간 오차가 초기 셀 탐색 성능에 미치는 영향에 대해 해석하며, 이러한 시간 오차를 보상하기 위해 시간 동기 블록(time tracking loop)을 적용한 초기 셀 탐색 방법을 제안한다.

본 논문에서는 제2장에서 동기 채널의 구조 및 셀 탐색 과정에 대해 언급하고, 제3장에서는 시간 동기 블록을 적용한 초기 셀 탐색 방법에 대해 설명한다. 제4장에서는 제안된 방식에 대한 성능분석 결과를 제시하고, 마지막으로 제5장에서는 결론을 맺는다.

II. 동기 채널의 구조 및 셀 탐색 과정

비동기 W-CDMA 시스템의 순방향 동기 채널은 일차 동기 채널(PSCH, Primary Synchronization

Channel), 이차 동기 채널(SSCH, Secondary Synchronization Channel), 공통 파일럿 채널(CPICH, Common Pilot Channel)로 구성되어 있다^{[10][11]}. 이차 동기 채널을 통해서 매 슬롯의 첫 번째 심볼구간마다 길이가 256칩(1칩(chip)=3.84MHz)인 이차 동기 코드(PSC, Primary Synchronization Code)가 전송되고, 이 코드는 모든 기지국에서 동일하며, 이 코드를 통해 기지국은 이동국에 슬롯의 시작점 정보를 전달하게 된다. 이차 동기 채널(SSCH, Secondary Synchronization Channel)을 통해서 64개의 코드워드 중에 해당 기지국에 일치하는 코드워드 길이가 15심볼인 이차 동기 코드(Secondary Synchronization Code)가 전송된다. 이러한 이차 동기 코드는 기지국이 속해있는 그룹에 따라 설정되며, 매 슬롯의 첫 번째 심볼 구간마다 16개의 이차 동기 시퀀스 중 하나가 전송되게 된다. 이차 동기 코드에서, 각각의 코드워드는 자기 자신 뿐만 아니라 위상 이동한 다른 코드워드와의 최소 거리(minimum distance)를 최대화시키기 위해 알파벳 크기가 16이고 길이가 15인 comma free (15,3) Reed-Solomon(RS) 코드로 정의된다. 실제 비동기 W-CDMA의 이차 동기 채널에 사용되는 코드워드 간의 최소 거리는 13이다^{[15][16]}. 그러므로, 이동국에서는 이차 동기 코드를 복호함으로써, 기지국의 코드 워드에 대한 정보뿐만이 아니라 코드워드의 시작점 정보도 알 수 있으므로, 이를 이용하여 기지국 긴 코드의 그룹 정보 및 프레임 시작점 정보를 획득할 수 있게 된다. 마지막으로 공통 파일럿 채널(CPICH, Common Pilot Channel)을 통해서 기지국의 긴 코드가 전송되며, 이 긴 코드는 길이가 $2^{18}-1$ 인 Gold 코드를 프레임 단위로(38400 chips) 잘라서 만든 것이다^[10]. 그림 1은 이러한 순방향 동기 채널 구조를 나타내고 있다.

이동국에서는 이러한 순방향 동기 채널을 이용하여 슬롯 동기 과정(stage 1), 그룹 및 프레임 시작

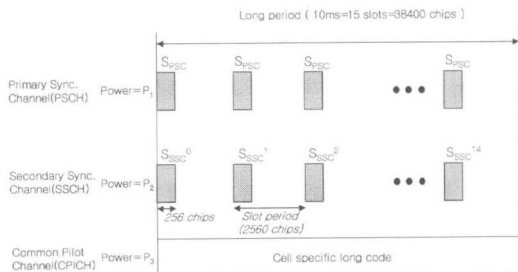


그림 1. 순방향 동기 채널 구조

점 탐색 과정(stage 2), 기지국 긴 코드 동기 과정(stage 3)으로 구성된 삼 단계 셀 탐색 과정을 수행하게 된다^{[3][4][7][8][12][13]}. 슬롯 동기 과정에서는 일차 동기 코드를 역확산하여 슬롯의 시작점을 탐색하는데, 현재 구현되는 비동기 W-CDMA 단말기에서는 빠른 슬롯 동기 과정을 수행하기 위해 일차 동기 코드에 대한 정합필터구조를 사용한다. 이 과정을 통해 이동국은 기지국과의 슬롯 시작점 오차를 $\pm T_c/2(T_c^{-1}=3.84\text{MHz})$ 안으로 맞추게 된다. 이러한 슬롯 동기 과정이 이루어지면 그룹 및 프레임 시작점 탐색 과정에서는 매 슬롯마다 16개의 이차 동기 시퀀스에 대한 역확산 과정을 수행하며, 이 결과값을 이용하여 R-S 디코딩을 수행함으로써 탐색하고자 하는 기지국의 그룹 및 프레임 시작점 정보를 획득하게 된다. 마지막으로, 긴 코드 동기 과정에서는 탐색된 그룹 및 프레임 시작점 정보를 바탕으로 그룹에 속한 8개의 긴 코드에 대한 역확산 과정을 수행하게 되며, 이 중에서 최대의 에너지값을 가진 긴 코드를 해당 기지국의 긴 코드로 인식하게 된다. 이러한 삼 단계 셀 탐색 과정은 각 단계별 주기가 한 프레임일 경우에는 세 프레임이 지나야 한번의 셀 탐색을 완료할 수 있다. 그러므로, 기존의 비동기 W-CDMA 시스템에서는 셀 탐색 시간을 줄여주기 위해 그림 2와 같이 파이프 라인 방식을 적용한 셀 탐색 과정을 사용한다. 이러한 방식을 사용할 경우, 각 단계의 주기가 N_i 슬롯(slot)일 때, 초기 2N_i 슬롯이 지난 후부터는 매 N_i 슬롯마다 새로운 셀 탐색 결과가 출력되게 된다. 이와 같이 파이프 라인 방식을 적용하는 경우에는 각 단계 중 최대의 수행주기를 가지는 단계가 파이프 라인의 수행 주기를 결정하며, 이에 따라 각 주기의 수행시간을 동일하게 설정한다.

초기 셀 탐색의 성능을 나타내는 성능 지표로는 셀 검출 확률과 평균 셀 탐색 시간이 있다. 본 논문에서는 제안된 방식과 기존 방식을 비교하기 위해 셀 검출 확률을 성능 평가의 기준으로 삼으며, 여기서 셀 검출 확률 P_D는 삼 단계를 거쳐 이동국이 최적의 기지국을 검출할 확률을 나타내므로 각 단계의 검출 확률을 곱한 것과 같다. 식 (1)은 이러한 셀 검출 확률을 나타내고 있다.

$$P_D \approx P_{D1} \cdot P_{D2} \cdot P_{D3} \quad (1)$$

여기서 P_{D1}, P_{D2}, P_{D3}는 각각 슬롯 동기, 그룹 확인 및 프레임 동기, 긴 코드 동기 과정에서의 검출 확률을 의미한다.

- Stage1: 슬롯 동기 과정
- Stage2: 그룹 확인 및 프레임 동기 과정
- Stage3: 긴 코드 동기 과정

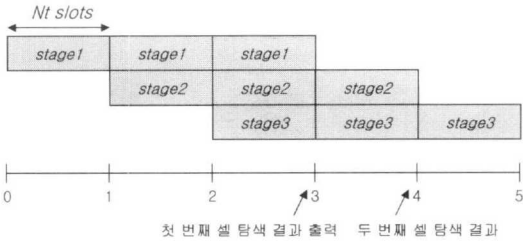


그림 2. 파이프 라인 방식을 적용한 삼 단계 셀 탐색 방법

III. 시간 동기 블록을 적용한 초기 셀 탐색 방법

이 장에서는 먼저 시간 오차가 초기 셀 탐색 과정에 미치는 영향에 대하여 수식적으로 분석하고, 이러한 시간 오차를 보상하기 위해 시간 동기 블록을 적용한 초기 셀 탐색 방법을 제안한다. 시간 오차에 대한 영향을 포함한 이동국의 수신 신호 $r(t)$ 는 다음 식 (2)와 같이 모델링할 수 있다.

$$r(t) = \sum_{l=1}^{L-1} a_l e^{j2\pi\Delta f t + \theta_l} \sum_{k=-\infty}^{\infty} d_k g_c\{t - kT_c - \tau_{e,l}\} + n(t)$$

where, $\tau_{e,l} = (\tau_l - \tau_e) \bmod T_c$ (2)

여기서 d_k 는 기지국 전송 신호를 나타내며, $n(t)$ 는 수신 신호의 잡음 성분을 나타낸다. a_l 와 τ_l 은 다중경로 페이딩 채널에서 l 번째 경로의 진폭 및 시간 지연을 나타내며, θ_l 은 l 번째 경로의 위상을 나타낸다. Δf 는 초기 주파수 오차를 나타내며, 대략 6~26KHz의 값을 가진다. $\tau_{e,l}$ 은 $(\tau_l - \tau_e) \bmod T_c$ 와 같이 수신 신호의 시간 오차값을 나타내며, 여기서 τ_e 는 이동국의 시간 오차값을 나타내며 $-T_c/2 \sim T_c/2$ 의 범위를 가진다. 본 논문에서는 이러한 시간 오차값이 초기 셀 탐색 성능에 미치는 영향을 파악하기 위해 삼 단계 셀 탐색 동안 이동국의 시간 오차 값은 고정되어있다고 가정한다. 또한, 표현의 간략화를 위해 $t=nT_c$ 에서의 샘플 값 $r(nT_c)$ 는 $r(n)$ 과 같이 나타낸다. 마지막으로 $g_c(t)$ 는 기지국 신호의 펄스 형태를 나타내며, 식 (3)과 같다. 식 (3)에서와 같이 t 가 0의 값을 가질 경우 $g_c(t)$ 는 최대값 1을 가짐을 알 수 있다.

$$g_c(t) = \frac{\sin(\frac{\pi t}{T_c})}{\frac{\pi t}{T_c}} \cdot \frac{\cos(\frac{\alpha \pi t}{T_c})}{1 - (\frac{2\alpha t}{T_c})^2}$$
 (3)

셀 탐색기에서 수행되는 기본 연산은 상관기에서의 수신 신호에 대한 역확산 에너지 계산 과정이며, 식 (4)와 같이 나타낼 수 있다.

$$\text{역확산 에너지} = \sum_{m=0}^{M-1} \left| \sum_{n=m}^{(m+1)\frac{N_L}{M}-1} r(n)S(n) \right|^2$$
 (4)

여기서 $S(n)$ 은 일차 동기 코드, 이차 동기 코드, 기지국 긴 코드와 같은 셀 탐색기 내부의 신호를 의미하며, N_L 은 동기 코드의 길이(256)로서 최대 coherent 적분길이를 나타내고, N_L/M 은 noncoherent 적분길이를 나타낸다. 위의 식에서와 같이 만일 수신 신호의 크기 성분 변화가 초기 주파수 오차에 의해 N_L 보다 더 빨리 변화된다면, 수신단에서는 coherent 적분주기를 줄임(M 을 조절)으로서 이러한 초기 주파수 오차에 대한 영향을 완화시킬 수 있다. 초기 주파수 오차가 20KHz일 때에는 M 이 4일 때 최적의 성능을 보인다^{[7][8]}. 만일 다중경로의 수가 1일 경우, 식 (4)에 의한 수신 신호의 SNR은 다음 식 (5)와 같이 나타낼 수 있다.

$$\text{SNR} = E[\alpha_0^2] g_c^2(\tau_{e,0}) \mu \frac{M}{N_L(P_N + P_I)}$$
 (5)

$$\text{where } \mu = \frac{1 - \cos(2\pi \Delta f \frac{N_L}{M} T_c)}{1 - \cos(2\pi \Delta f T_c)}$$

여기서, 경로진폭이득 α_0 와 수신 신호의 위상은 N_L/M 동안 일정하다고 가정하며, P_N 은 상관기 출력단에서의 잡음 성분의 평균 전력이고, P_I 는 시간 오차 $\tau_{e,0}$ 에 의해 발생하는 ICI(Interchip Interference)의 평균전력이다. 식 (5)에서 볼 수 있듯이, 수신 신호는 초기 주파수 오차 Δf 와 시간 오차 $\tau_{e,0}$ 에 의해 각각 μ 와 $g_c^2(\tau_{e,0})$ 만큼의 신호감쇠를 겪게 된다.

위에서 살펴본 바와 같이 초기 셀 탐색 과정에서는 시스템의 초기 주파수 및 시간 오차가 셀 탐색의 성능에 큰 영향을 미침을 알 수 있다. 초기 주파수 오차의 경우에는 위에서 언급한 것과 같이 에너지 탐색 과정의 적분 주기를 조절해줌으로서 그 영향을 최소화할 수 있지만, 시간 오차에 대한 영향은 별도의 동기 추적 과정을 수행하지 않는 이상 보상할 수 없다. 그러므로, 본 논문에서는 초기 셀 탐색에서의 시간 오차값을 보상하기 위해 시간 동기 블록을 적용한 셀 탐색 방법을 제안한다. 그림 3은 제

안된 초기 셀 탐색 방법을 나타내고 있다. 원래 시간 동기 블록이란 레이크 수신기(Rake receiver)의 다중경로 복조기(demodulating finger)에 사용되는 기능블록으로서, 초기 동기 과정을 통해 시간 오차가 $\pm T_c/2$ 안으로 정렬된 기지국 코드에 대한 세밀한 동기 과정을 수행하기 위해서 사용된다⁹⁾. 위에서 언급한 것과 같이 슬롯 동기 과정에서 사용되는 일차 동기 코드는 모든 이동국이 알고 있으므로, stage 1(슬롯 동기 과정)을 통해 기지국과 이동국의 코드 동기가 $\pm T_c/2$ 안에 이루어지면, 제안된 초기 셀 탐색 방법에 적용된 시간 동기 블록이 일차 동기 코드를 이용하여 나머지 stage 2(그룹 확인 및 프레임 동기 과정)와 stage 3(긴 코드 탐색 과정) 동안 더욱 세밀한 시간 동기 과정을 수행하게 된다. 그러므로 시간 동기 블록은 stage 2와 stage 3 동안에만 동작하게 된다. 만일 시스템 클럭이 기본 칩율(chip rate)의 8배의 경우, 제안된 시간 동기 블록은 stage 2와 stage 3 동안 기지국과 이동국의 시간 오차를 $\pm T_c/8$ 이내로 줄일 수 있게 된다. 또한, 파이프 라인 방식을 적용한 초기 셀 탐색에서는 각 단계가 매 N_t 슬롯마다 작동을 하므로 다수의 시간 동기 블록이 필요하다. 그림 3에서와 같이 파이프 라인 단계가 삼 단계로 나뉘어져 있을 경우, 시간 동기 블록이 슬롯 동기 과정에서 탐색된 슬롯 동기 정보를 가지고 stage 2와 stage 3 동안 시간 동기 과정을 수행하므로 총 두 개의 시간 동기 블록이 필요하다. 그림 3에서 'A' 구간에 할당된 시간 동기 블록이 stage 3 동안 시간 동기 과정을 수행할 동안 'B' 구간에 할당된 시간 동기 블록은 stage 1에서 출력된 새로운 슬롯 동기 정보를 가지고 stage 2 동안 시간 동기 과정을 수행하게 된다.

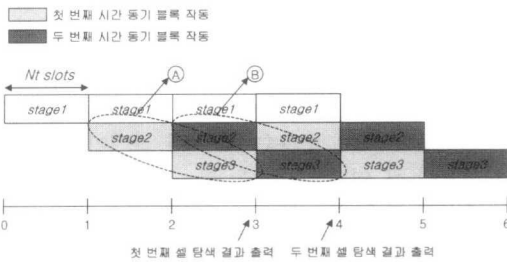


그림 3. 시간 동기 블록을 적용한 초기 셀 탐색 방법

그러므로, 제안된 셀 탐색 과정에서는 stage 1에서 할당받은 슬롯 동기 오차가 $\pm T_c/2$ 일지라도 시간 동기 블록이 stage 2와 stage 3 동안 이러한 시간 오차를 최대 0로 줄여줄 수 있다. 그렇기 때문에 제

안된 방식에서는 stage 2와 stage 3 동안 식 (5)의 시간 오차값($\tau_{e,0}$)을 줄여주므로써 stage 2와 stage 3의 SNR을 향상시켜줄 수 있다.

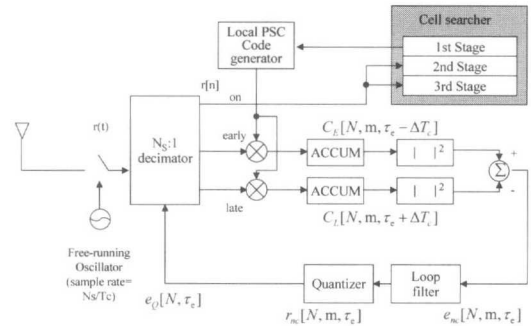


그림 4. 시간 동기 블록을 적용한 셀탐색기의 블록도

그림 4는 파이프 라인 방식을 적용하지 않은 순차적으로 삼 단계 셀 탐색을 수행하는 셀 탐색기에 시간 동기 블록을 적용한 블록도를 보여주고 있다¹⁴⁾. 이동국에서 수신 신호 $r(t)$ 는 N_s/T_c 로 oversampling되며, 이 신호는 다시 $N_s:1$ decimator를 통해 임의의 지점에서 sampling된다. 여기서 decimation과정을 거친 수신 신호는 식 (2)와 같이 나타낼 수 있으며, 시간 동기 블록의 early/late 역확산기를 통해 출력되는 $c[N, m, \tau_e]$ 값은 식 (6)과 같이 나타낼 수 있다.

$$c[N, m, \tau_e] = \sum_{l=0}^{L-1} \sum_{k=-\infty}^{\infty} a_l \sum_{n=N_m}^{N_{m+1}-1} \{ S_n^{PSC} d_k g_c((n-k)T_c + \tau_{e,l}) \cdot e^{j2\pi\Delta f(nT_c + \tau_{e,l}) + \theta_l} \} + \sum_{l=0}^{L-1} \sum_{n=N_m}^{N_{m+1}-1} S_n^{PSC} n(nT_c + \tau_e)$$

where, $N_m = N_{sym} N N_L + \frac{m}{M} N_L$

$$m = \{0, 1, \dots, M-1\} \tag{6}$$

여기서, N 은 N 번째 슬롯을 의미하며, m 은 N 번째 슬롯의 m 번째 역확산기 출력값을 나타낸다. $\tau_{e,l}$ 은 기지국과 이동국의 시간 오차값을 나타내며, N_L 은 일차 동기 코드의 주기(256 칩)를, N_{sym} 은 슬롯 안에 포함된 심볼의 개수(=10)를 나타낸다. 초기 셀 탐색 과정에서 사용되는 시간 동기 블록은 다중경로 복조기에서 사용되는 시간 동기 블록과는 달리 초기 주파수 오차가 보정되지 않았으므로, 이에 대한 영향을 최소화하기 위해 적분주기를 조절해야 한다. $e_{nc}[N, m, \tau_e]$ 는 early/late 역확산기의 에너지 출력값을 이용해 계산된 시간 오차값을 나

타내며 식 (7)과 같다.

$$e_{nc}[N, m, \tau_e] = |c[N, m, \tau_e - \Delta T_c]|^2 - |c[N, m, \tau_e + \Delta T_c]|^2 \quad (7)$$

여기서 ΔT_c 는 수신신호와 early/late 역확산기의 시간지연을 의미하는데, 보통 $T_c/2$ 로 설정하며, 이 경우 시간 동기 블록의 동기 추적 범위는 $-T_c/2 \leq \tau_e \leq T_c/2$ 와 같다. $e_{nc}[N, m, \tau_e]$ 값은 매 슬롯마다 M개가 출력되게 되므로, 한 프레임 동안은 15M개가 발생하게 된다. 계산된 $e_{nc}[N, m, \tau_e]$ 값은 다음 단인 일차 루프 필터에 전달되게 되며, 일차 루프 필터의 출력값은 식 (8)과 같이 나타낼 수 있다.

$$r_{nc}[N, m, \tau_e] = r_{nc}[N, m-1, \tau_e] + e_{nc}[N, m, \tau_e] \quad (8)$$

마지막으로, 시간 동기 블록은 필터의 출력값을 가지고 quantizer를 통해 수신신호의 샘플링 지점을 변경하게 된다. 여기서 사용되는 quantizer는 식 (9)와 같으며, 식 (10)과 같이 제어된다. 여기서 θ_x 는 시간 동기 블록이 입력 신호의 샘플링 지점을 x만큼 이동시키기 위한 양자화기의 문턱값을 의미하며, t_{N+1} 은 N+1번째 슬롯 구간에서의 샘플링 지점을 의미한다.

셀 탐색 과정에 사용되는 시간 동기 블록의 성능 지표에는 두 가지가 있다. 하나는 MPIT(Mean Pull

$$e_Q[N, \tau_e] = \begin{cases} N_s/2-1, & r_{nc}[N, M-1, \tau_e] > \theta_{N_s/2-1} \\ N_s/2-2, & \theta_{N_s/2-2} < r_{nc}[N, M-1, \tau_e] \leq \theta_{N_s/2-1} \\ \vdots \\ 0, & -\theta_1 \leq |r_{nc}[N, M-1, \tau_e]| \leq \theta_1 \\ \vdots \\ -(N_s/2-2), & -\theta_{N_s/2-1} \leq r_{nc}[N, M-1, \tau_e] < -\theta_{N_s/2-2} \\ -(N_s/2-1), & r_{nc}[N, M-1, \tau_e] < -\theta_{N_s/2-1} \end{cases} \quad (9)$$

$$t_{N+1} = t_N + e_Q[N, \tau_e] \quad (10)$$

In Time)이며, 다른 하나는 MTLL(Mean Time to Lose Lock)이다^[14]. MPIT는 특정 시간 오차 τ_e ($= \pm T_c/2$)에서 처음으로 in-lock 상태($|\tau_e| \leq \alpha T_c$)에 도달하는데 소요되는 평균시간을 의미하며, MTLL은 in-lock 상태에서 처음으로 lose-lock 상태($|\tau_e| > \beta T_c$)에 도달하는 데 걸리는 평균시간을 의미한다. 제안

된 방식에서 사용되는 시간 동기 블록은 시스템 클럭이 칩율의 N_s 배일 때 기지국과 이동국의 시간 오차를 $\pm T_c/N_s$ 이내로 줄이는 것이 목표이므로, 논문에서는 α 와 β 를 $1/N_s$ 로 설정한다. 만일 각 단계의 주기가 N_t 슬롯일 경우, 제안된 초기 셀 탐색 방법에 사용되는 시간 동기 블록의 MPIT가 N_t 보다 작을 경우에는 stage 2 안에 시간 오차를 $\pm T_c/N_s$ 이내로 줄일 수 있으므로, stage 2의 SNR을 향상시켜줄 수 있다. 또한 시간 동기 블록의 MTLL이 $2N_t$ 보다 클 경우에는, 슬롯 동기 과정에서 할당된 시간 오차가 $\pm T_c/N_s$ 안에 있다고 하더라도 이 오차값을 나머지 stage 2와 stage 3 동안 유지할 수 있으므로, 시간 동기 블록을 적용하여 시간 오차가 거의 없는 이상적인 경우의 초기 셀 탐색 과정에서의 성능 저하를 막을 수 있다. 뿐만 아니라, 시간 동기 블록이 stage 2 동안 시간 오차값을 $\pm T_c/N_s$ 으로 줄인 것을 나머지 stage 3 동안 그 시간 오차값을 유지하므로, 나머지 stage 3의 SNR을 향상시킬 수 있다. 식 (11)은 본 초기 셀 탐색 과정에 적용되는 시간 동기 블록의 MPIT와 MTLL의 조건을 나타내고 있다. 그러므로, 제시된 성능을 가진 시간 동기 블록을 초기 셀 탐색 과정에 적용할 경우, 시간 오차가 존재하는 환경에서 초기 셀 탐색 과정의 stage 2와 stage 3의 검출 성능을 향상시켜줄 수 있다.

$$\begin{aligned} MPIT &< N_t \\ MTLL &> 2N_t \end{aligned} \quad (11)$$

IV. 성능 분석 결과

제안된 방식에 대한 성능분석을 수행하기 위해 먼저 기지국의 일차 동기 채널, 이차 동기 채널, 공통 파일럿 채널의 전력을 각각 P_1, P_2, P_3 로 설정하였다. 또한, 기지국에서는 동일한 전력($P_1/8$)을 가진 8개의 트래픽 채널을 발생시켰다. 기지국외의 간섭 성분은 P_N 의 전력을 가진 AWGN(Additive White Gaussian Noise)으로 모델링하였다. 셀 탐색기에서 각 단계의 수행주기는 15 슬롯으로 설정하였고, 이동국의 입력 신호는 기지국 전체 송신 신호 전력(P_T)으로 일정하게 유지되도록 하였다. stage 2에서는 coherent 복조 과정을 사용하였으며, stage 3에서의 false alarm 확률은 0이라 가정한다. 표 1은 이러한 초기 셀 탐색 방법의 검증 파라미터를 보여주고 있다.

표 1. 초기 셀 탐색 방법의 검증 파라미터

Chip rate	3.84 Mcps
Number of samples per chip (N_s)	8
Number of long code group	64
$P_1/(P_1+P_2)$, $(P_1+P_2)/P_T$, P_3/P_T	0.5, 0.1, 0.1
N_i , Number of multipaths	15, 1
Detection method in 2nd stage	coherent
Number of symbols in 3rd stage	100
Doppler frequency	9.26, 111Hz
Initial frequency/timing error	20KHz, $0 \sim \pm T_c/2$
Integration period	64
$G(P_T/P_N)$	-6 dB ~ 3 dB

제안된 초기 셀 탐색 방식과 기존 방식과의 성능 비교에 앞서 초기 셀 탐색 과정에 적용되는 시간 동기 블록을 모델링하여야 한다. 앞장에서 언급한 것과 같이, 적용되는 시간 동기 블록에 의해 초기 셀 탐색 과정의 성능을 향상시키기 위해서는 시간 동기 블록의 MPIT와 MTLL이 위의 식 (11)의 조건을 만족하여야 한다. 그러므로, 동기 오류가 존재하는 환경에서 시간 동기 블록에 대한 검증을 수행하여, 시간 동기 블록의 최적 변수를 도출한다. 시간 동기 블록에 대한 검증은 주파수 비선택적 페이딩 환경인 이동 통신 채널 ($\tau_0=0$)에 대해 수행하였으며, 시간 동기 블록에 사용되는 양자화의 문턱값은 N_s 가 8인 경우 식 (7)을 이용하여 다음 식 (12)와 같이 모델링하였다.

$$\theta_x = K E_{PSC} \left\{ g_c^2 \left(\frac{9-2x}{16} T_c \right) - g_c^2 \left(\frac{-7-2x}{16} T_c \right) \right\} \quad (12)$$

여기서, K 는 시간 동기 블록의 이득을 의미한다. E_{PSC} 는 전력이 P_1 인 일차 동기 채널의 평균 에너지를 나타낸다. 만일 시간 오차가 $\pm T_c/8$ 이 되었을 경우, 시간 동기 블록의 시간 오차값은 잡음이 없는 이상적인 채널에서 $\pm E_{PSC} \{ g_c^2 (7/16 T_c - g_c^2 (9/16 T_c)) \}$ 의 값을 가지게 된다. 그러므로 이와 같은 경우 시간 오차가 $T_c/8 \sim T_c/4$ 가 될 때에는 K 가 1인 시간 동기 블록의 quantizer 출력값은 1이 되고, 시간 동기 블록은 이 값을 이용하여 식 (10)의 과정을 통해 이동국의 시간 오차를 보정하게 된다. 식 (12)에서 K 는 이동 통신 채널의 특성을 고려하기 위한 상수값이며, 이 값에 의해 시간 동기 블록의 MPIT와 MTLL을 조절하게 된다.

그림 5와 그림 6은 다양한 K 에 대한 시간 동기

블록의 검증 결과를 나타내고 있다. 본 논문에서 MPIT와 MTLL은 위에서 언급한 것처럼 N_s 가 8일 때 각각 시간 오차가 처음으로 $-T_c/8 \sim T_c/8$ 의 범위 안에 도달하는 평균 시간과 in-lock 상태에서 처음으로 시간 오차가 $-T_c/8 \sim T_c/8$ 의 범위를 빠져나가는 데 걸리는 평균 시간을 의미한다. 그림 5와 그림 6에서 볼 수 있듯이 K 를 증가시켜줄 경우, MPIT와 MTLL 모두 증가하는 것을 알 수 있다. 이러한 이유는 K 의 증가로 인해 식 (9)에서 정의한 quantizer의 문턱값들이 올라가므로, 상대적으로 시간 오차를 보정하는 횟수가 줄어들기 때문이다. 또한, 그림 6에서 동일한 K 에서 $G(=P_T/P_N)$ 가 증가할수록 MPIT는 감소하고, MTLL은 증가함을 알 수 있다. G 가 크다는 것은 신호대 잡음비가 줄어든다는 것을 의미하며, 이로 인해 MPIT는 G 가 증가할수록 그 값이 줄어들게 되고, MTLL은 증가하게 된다. 표 1에서 셀 탐색 과정의 각 단계별 주기가 15 슬롯으로 정의하였으므로, 식 (11)의 조건을 만족하기 위해서는 MPIT가 15 슬롯 이하이고 MTLL이 30 슬롯 이상인 K 를 선택하여야 한다. 초기 셀 탐색 과정에서 고려되는 G 의 범위는 -6dB ~ 3dB이므로 G 가 -6dB에서 식 (11)의 조건을 만족하면 다른 G 의 범위에서도 식 (11)의 조건을 만족하게 된다. 그림 5와 그림 6에서 볼 수 있듯이 K 가 0.8일 경우, $G=-6$ dB에서 시간 동기 블록의 MPIT와 MTLL의 값은 약 10.2, 35 슬롯이므로, 식 (11)의 조건을 만족하게 된다. 반면 K 가 0.7일 경우에는 $G=-6$ dB에서 MPIT와 MTLL의 값은 약 9.5, 25 슬롯이므로, 이 경우 식 (11)의 MPIT 조건은 만족하나, MTLL의 조건은 만족하지 못하게 된다. 이 경우 시간 오차가 존재하는 경우에는 제안된 방식이 기존 방식보다 좋은 성능을 보일지라도 시간 오차가 적은 환경에서는 제안된 방식의 성능이 기존 방식보다

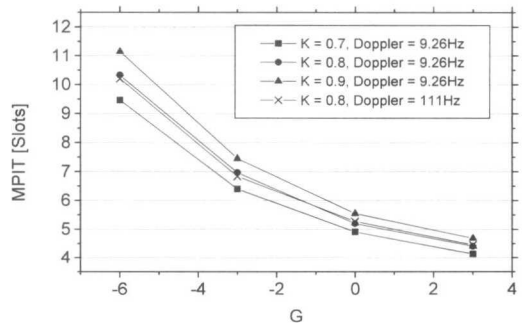


그림 5. $\pm T_c/2$ 의 시간 오차에 대한 시간 동기 블록의 MPIT 성능

떨어지는 요인이 된다. 그러므로, 도플러 주파수가 9.26Hz에서는 K가 0.8일 때 식 (11)의 조건을 가장 잘 만족함을 알 수 있다. 또한, 그림 5와 그림 6에는 K가 0.8인 상황에서 도플러 주파수가 111Hz일 때의 검증 결과를 보여주고 있다. 그림에서 볼 수 있듯이, K를 0.8로 설정할 경우, 도플러 주파수가 9.26Hz와 111Hz인 상황에서 모두 식 (11)의 조건을 만족함을 알 수 있다.

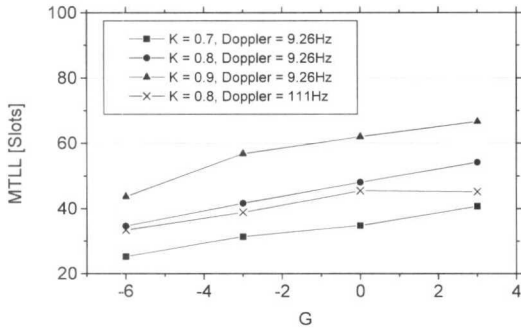


그림 6. 시간 동기 블록의 MTLL 성능

그림 7, 그림 8은 선택된 K 값을 가진 시간 동기 블록을 사용한 제안된 초기 셀 탐색 방식과 기존 방식^[7]의 성능 검증 결과를 나타내고 있다. 그림 7은 시간 오차가 0인 경우에 대한 초기 셀 탐색 성능을 나타내고 있다. 그림 7에서와 같이, 시간 오차가 0이고 G가 낮은 범위에서는 기존 방식이 제안된 방식보다 조금 좋은 성능을 보이지만, G가 큰 범위에서는 제안된 방식이 기존 방식과 동일한 성능을 보임을 알 수 있다. 이와 같은 결과는 제안된 방식에 사용되는 시간 동기 블록의 MTLL이 30 슬롯보다 크기 때문에 얻어지는 결과이다. 그림 8은 시간 오차가 $\pm T_c/2$ 일 때의 제안된 방식과 기존 방식의 셀 탐색 확률을 비교하고 있다. 그림 8에서와 같이 시간 오차가 $\pm T_c/2$ 인 경우에는 도플러 주파수가 9.6Hz, 111Hz이고 G가 -6dB에서 최대 1.5dB의 성능을 보임을 알 수 있다. 그러므로, 제안된 방식이 시간 오차가 존재하는 환경에서 기존 방식보다 우수한 성능을 보임을 알 수 있다. 그림 8이 고정된 시간 오차에 따른 제안된 방식과 기존 방식의 성능을 비교한 것에 비해 그림 9는 G가 -6dB인 경우, 다양한 시간 오차에 따른 제안된 방식과 기존 방식의 초기 셀 탐색 성능을 비교하고 있다. 만일 도플러 주파수가 9.26Hz일 경우, 시간 오차가 0인 이상적인 경우에는 G가 -6dB일 때, 기존 방식의 셀 검출 확률은 0.18434이고 제안된 방식은 0.17085이

었다. 그러나, 시간 오차가 $\pm 0.5T_c$ 인 경우에는 기존 방식의 셀 검출 확률이 0.00976이고 제안된 방식의 셀 검출 확률이 0.01966이다. 그러므로, 그림 9에서 보는 것과 같이 시간 오차가 존재하는 환경에서는 제안된 방식이 기존 방식보다 더욱 안정된 성능을 보장해줄 수 있다.

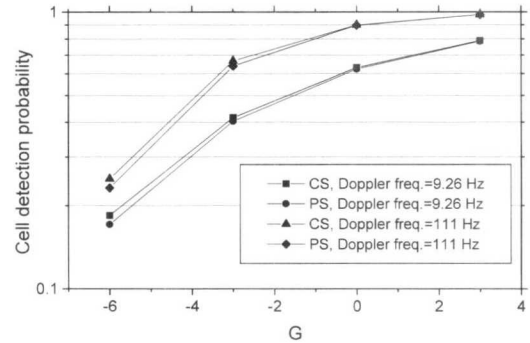


그림 7. 시간 오차가 0인 경우에 대한 제안된 방식과 기존 방식의 셀 검출 확률 비교

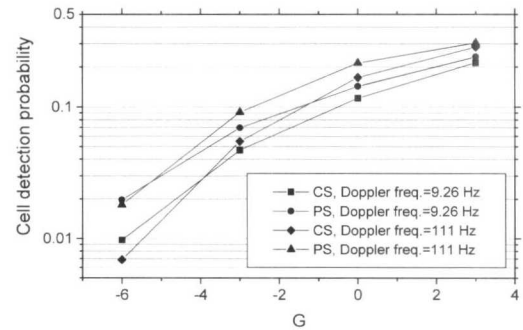


그림 8. 시간 오차가 $\pm T_c/2$ 인 경우에 대한 제안된 방식과 기존 방식의 셀 검출 확률 비교

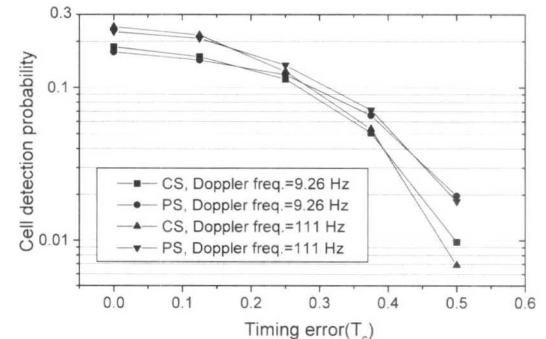


그림 9. 시간 오차에 따른 제안된 방식과 기존 방식의 셀 검출 확률 비교

V. 결론

본 논문에서는 초기에 클럭 발생기에 의해 유발되는 시간 오차가 초기 셀 탐색 성능에 미치는 영향에 대해 살펴보았으며, 초기 셀 탐색 과정에서 이러한 시간 오차값을 보상해주기 위해 시간 동기 블록을 적용한 초기 셀 탐색 방법을 제안하였다. 본 논문에서는 먼저 이동 통신 채널과 동기 오류 환경에서, 제시된 시간 동기 블록에 대한 검증을 통해, 셀 탐색 과정에 적용하기 위한 최적의 변수(시간 동기 블록의 이득)를 도출하였으며, 이를 사용한 시간 동기 블록들을 초기 셀 탐색 과정에 적용하여 이에 따른 성능 향상 정도를 파악하였다. 성능 검증 결과 제안된 초기 셀 탐색 방식을 사용할 경우, 시스템의 시간 오차가 $\pm T_d/2$ 일 때, 기존 방식보다 최대 1.5dB의 성능향상을 얻을 수 있었다.

참고 문헌

[1] Prodip Chaudhury, Werner Mohr, and Seizo Onoe, "The 3GPP proposal for IMT-2000", *IEEE Communications Magazine*, Vol. 37 No. 12, pp. 72~81, Dec 1999.

[2] E. Dahlman, B. Gudmundson, M. Nilsson, and A. Skold, "UMTS/IMT-2000 BASED ON WIDEBAND CDMA", *IEEE Communications Magazine*, Vol. 36, No. 9, pp. 70~80, Sept 1998.

[3] K. Higuchi, M. Sawahashi, and F. Adachi, "Experiments on fast cell search algorithm for intercell asynchronous W-CDMA mobile radio", *Electronics Letters*, Vol. 35, No. 13, pp. 1046~1047, June 1999.

[4] Kenichi Higuchi, Mamoru Sawahashi, and Fumiyuki Adachi, "Fast Cell Search Algorithm in Inter-Cell Asynchronous DS-CDMA Mobile Radio", *IEEE Trans. Commun.*, vol. E81 B, No. 7, pp. 1527~1534, July 1998.

[5] Texas Instruments, "SCH codes for Harmonization", *3GPP TSGR#6(99)921*, July 1999, Helsinki Finland.

[6] Texas Instruments, "Comma free codes for fast PN code acquisition in WCDMA systems", *Tdoc SMG2 UMTS-L1 72*, 1998.

[7] Yi-Pin Eric Wang and T. Ottosson, "Cell search in W-CDMA", *IEEE Journal on Selected Areas in Communications*, Vol. 18, No. 8, pp. 1470~1482, August 2000.

[8] S. Sriram and S. Hosur, "Fast Acquisition Method for DS-CDMA Mobile Systems Employing Asynchronous Base Stations" *ICC*, Vol. 1, pp. 239~243, June 1999.

[9] 황상윤, 김재석, "CDMA 이동국용 다중 경로 복조기의 효율적인 하드웨어 설계", *한국통신공학회논문지*, 24권, 제4A호, pp. 592-600, 1999.

[10] 3rd Generation Partnership Project (3GPP), "Spreading and Modulation", *TS 25.213 V3.0.0*, October, 1999.

[11] 3rd Generation Partnership Project (3GPP), "Physical layer procedures", *TS 25.214 V3.0.0*, October, 1999.

[12] 박용서, 송문규, 정영지, "셀간 비동기 방식을 채용하는 DS-CDMA 이동무선 시스템에 대한 개선된 고속 셀 탐색 알고리즘", *한국통신학회 논문지*, 제24권, 제2B호, pp. 179~186, 1999.

[13] 김일규, 하상욱, 박용길, 임병우, 이상길, "코드 위치변조 기술을 이용하는 셀 탐색 알고리즘", *한국통신학회지*, 제16권, 제4호, pp. 45~59, 1999.

[14] Hyungsoo Lim and Kyungwhoon Cheun, "An alysis of Decimator Based Full-Digital Delay-Locked PN Code Tracking Loops for Bandlimited Direct-Sequence Spread-Spectrum Signals in AWGN", *IEICE Transactions on Communications*, vol. E81-B, no. 10, pp. 1903~1911, October 1998.

황 상 윤(Sang-yun Hwang)

준회원



1997년 2월 : 경북대학교

전자공학과 학사

1999년 2월 : 연세대학교

전기전자공학과 석사

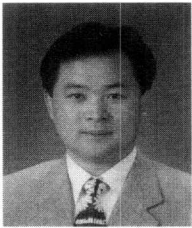
1999년 3월~현재 : 연세대학교

전기전자공학과 박사과정

<주관심 분야> CDMA 알고리즘, IMT-2000 모델링 설계

강 범 주(Bub-ju Kang)

정회원



1983년 2월 : 경희대학교
전자공학과 학사
1985년 8월 : 연세대학교
전자공학과 석사
1996년 8월 : 연세대학교
전자공학과 졸업 공학박사

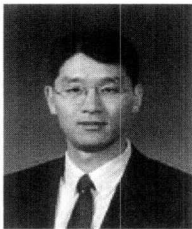
1988년 2월~2001년 2월 : 한국전자통신연구원(ETRI)
책임 연구원

2001년 3월~현재 : 동국대학교 정보통신공학과
전임강사

<주관심 분야> 디지털 통신, 이동통신 시스템, 무선
통신시스템

최 우 영(Woo-young Choi)

정회원



1988년 5월 : Massachusetts
Institute of Technology
EECS Department
학사 및 석사
1994년 5월 : 동대학원 박사
1994년 10월~1995년 8월 :
NTT 광전자 연구소
Post-Doctoral Fellow

현재 : 연세대학교 전기전자공학과 부교수

<주관심 분야> 초고속 시스템 설계 및 해석과 이의
구현을 위한 소자 연구

김 재 석(Jae-seok Kim)

정회원



1977년 2월 : 연세대학교
전자공학과 학사
1979년 2월 : 한국 과학원
전기 및 전자공학과 석사
1988년 8월 : Rensselaer
Polytechnic Institute
전자공학과 박사

1979년 2월~1984년 4월 : 전자기술 연구소 선임 연구원

1988년 8월~1993년 5월 : AT&T Bell Lab. MTS
(Member of Technical Staff)

1993년 5월~1996년 2월 : 한국 전자통신 연구소
VLSI 구조 연구실장

1996년 2월~현재 : 연세대학교 전기전자공학과 교수
<주관심 분야> 통신 IC 설계, 영상 압축용 ASIC
설계, 고속 DSP 설계