DBpia

CMOS VLSI를 위한 전류 테스팅 기반 고장모델의 효율적인 중첩 알고리즘

정회원 김 대 익*, 배 성 환**

An Efficient Collapsing Algorithm for Current-based Testing Models in CMOS VLSI

Dae-Ik Kim*, Sung-Hwan Bae** *Regular Members*

요 약

CMOS 회로에서 발생하는 물리적인 결함에 대해서 전류 테스팅은 전압 테스팅으로 검출할 수 없는 많은 결함을 효율적으로 검출할 수 있는 기법이다 테스트 회로에 존재하는 결함이나 장애의 영향을 기술하기 위해서 사용되는 고장모델은 실제적인 장애를 정확하게 모델링해야 한다 본 논문에서는 전류 테스팅에 자주 이용되는 고장모델을 위한 효율적인 중첩 알고리즘을 제안한다 ISCAS 벤치마크 회로의 모의실험을 통하여 제안된 방식이 고려되는 고장의 수를 효과적으로 감소시킬 수 있고 다양한 전류 테스팅 방식의 고장모델에 더 적합함을 확인하였다.

Key Words : Testing, Fault collapsing, CMOS VLSI

ABSTRACT

For the physical defects occurring in CMOS circuits which are not handled well by voltage-based testing, current testing is remarkable testing technique. Fault models based on defects must accurately describe the behaviour of the circuit containing the defect In this paper, An efficient collapsing algorithm for fault models often used in current testing is proposed Experimental results for ISCAS benchmark circuits show the effectiveness of the proposed method in reducing the number of faults that have to be considered by fault collapsing and its usefulness in various current based testing models.

I. 서 론

반도체 공정 기술과 설계 기술의 눈부신 발전으로 단일 칩속에 수백만 개 이상의 트랜지스터가 내장될 수 있게 되었다 현재 회로 구성시 적은 면적 소모와 높은 집적률 등의 많은 장점을 지닌 CMOS (Complementary Metal Oxide Semiconductor)가 중요한 회로 구성 소자로서 집적 회로 구현에 널리 이용되고 있다. CMOS 회로의 크기와 복잡도가 증가하면서 회로가 정상적으로 동작하는지 여부를 검증하는 테스팅은 매우 어렵고 많은 시간과 비용을 필요로 하게 되었다[1]

전류 테스팅(current testing)은 CMOS에서 발생 가능한 여러 종류의 물리적 결함을 효율적으로 검출 할 수 있는 테스트 방식이다[1-2]

현재 사용되고 있는 가장 간편한 테스트 방식에 대한 개념은 회로의 오동작을 발생시키는 결함을 논리적 고장모델로 가정하여 검출하는 것이다 테스트 회로에 존재하는 결함이나 장애의 영향을 기술하기 위해서 사용되는 고장모델은 실제적인 장애를 정확하게 모델링해야 되고 고장 집합의 크기가 적당하여 복잡한 시스템도 다룰 수 있어야 한다[2].

* 여수대학교 자연과학대학 반도체학과 (dikim@yosu ac kr), ** 한려대학교 멀티미디어정보통신공학과 (shbae@hlu hanlyo ac kr)
논문번호 040056-0203, 접수일자 2004년 2월 9일

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

전압 테스트에 기반을 둔 기존의 논리 테스팅에 이용되는 고착 고장 모델(stuck-at-fault model)은 CMOS 회로의 고집적화가 될 수록 발생 가능한 다양한 형태의 많은 물리적인 결함을 검출하는데 어려움이 있어, 전류 테스팅에서는 의사 고착 고장모델(pseudo stuck-at-fault model)[3], 게이트 옥사이드 단락 고장모델(gate-oxide short fault model)[4], 트랜지스터 누설 고장모델(transistor leakage fault model)[5-7], 합선 고장모델(bridging fault model)[8-10] 등을 이용한다 고장모델의 선택은 고려되는 결함이나 고장의 유형에 달려있다

트랜지스터 누설 고장모델은 트랜지스터 레벨에서 트랜지스터 내부의 결함을 고려할 경우에 사용되며 IDDQ 정보를 이용하여 CMOS 회로의 고장 검출, 고장 위치, 고장 진단에 효과적인 모델임이 보여 졌다. 그러나 고려되는 트랜지스터 누설 고장의 수는 하나의 트랜지스터 당 6개의 고장으로 해석되기 때문에 CMOS 회로의 크기에 비례해서 고장 수가 증가하게 된다

합선 고장모델은 스위치 레벨에서 CMOS 회로에서 발생 빈도가 높은 합선을 고려하는 경우로서 테스트 대상 회로의 노드 수가 n인 경우, 고려해야 할 합선 고장의 수는 $O(n^2)$의 복잡도를 가지게 되어 회로의 집적도가 증가함에 따라 고려할 고장의 수가 매우 크게 된다. IFA(Inductive Fault Analysis) 방식은 합선 고장 수를 줄이기 위해서 테스트 회로의 레이아웃에 관한 자세한 정보를 이용하여 고장을 레이아웃 레벨에서 회로 레벨로 변환시키는 추출과정을 사용하였다.

그러나 회로의 레이아웃 정보의 유용은 어렵고, 정보가 유용해도 집적도가 큰 회로의 경우에는 레이아웃 정보를 해석하여 고장을 추출하는 과정은 많은 시간과 메모리의 사용이 필요하게 된다[8,9]. 따라서 레이아웃에 관한 정보에 의존하지 않고, 일반적으로 적용 가능한 합선 고장모델링 기법이 필요하다

전류 테스팅 방식은 정적 상태(quiescent state)에서 테스트 전류의 측정이 가능하기 때문에 기존의 전압 테스트에 비해서 상대적으로 긴 테스트 시간을 요구한다 따라서 전류 테스트 방식을 이용하여 고려되는 결함이나 고장의 유형에 적합한 모델을 적용하기 위해서는 첫째, 고려되는 고장의 수(트랜지스터 누설 고장모델, 합선 고장모델)가 크기 때문에 높은 고장 검출률을 유지하면서 가능한 적은 수의 패턴을 생성하기에 어려움이 발생한다 둘째, IDDQ 정보를 이용하는 대부분의 고장 위치 검출 또는 진단의 방법은 많은 수의 고장이 존재할 경우에는 실제 사용을 위해서 너무 많은 시간과 메모리의 소비하는 과정을 필요로 하게 된다[1,4] 이러한 단점에도 불구하고 전류 테스팅 방식은 CMOS VLSI 회로의 품질 및 신뢰성 향상에 중요한 테스트 방식이므로 고려되는 고장 유형에 적합한 다양한 모델에 적용하여 고장 수를 효과적으로 감소시키는 방법이 필요하다.

고속 테스팅을 위해 칩 내부에 내장된 전류 테스팅을 이용하는 방식이 가능하지만 내장된 감지기(BICS Built-In Current Sensor)의 오버헤드(칩의 면적 증가, 칩의 성능 저하)와 내장된 회로의 테스트에 관련하여 추가적인 문제가 발생한다[1,4]. 따라서 전류 테스팅을 이용하여 테스트 대상 회로의 고장 및 결함을 효과적으로 검출하거나 진단하기 위해서는 고려하는 다양한 고장모델에서 발생 가능한 고장의 수를 감소시켜 가능한 적은 수의 테스트 패턴을 유지하는 게 필요하다

본 논문에서는 CMOS VLSI 회로에서 발생 가능한 고장 및 결함을 검출하여 테스트 대상 회로의 품질 및 신뢰성을 향상시킬 수 있는 전류 테스팅에 적합한 고장모델에서 고려되는 고장의 수를 감소시킬 수 있는 새로운 중첩 알고리즘을 제안한다 본 논문은 먼저 2장에서 고장모델에 관해서 논의하고, 3장에서는 고장중첩 기법에 관해서 설명하고, 4장에서는 제안된 중첩 알고리즘에 관한 설명과 ISCAS 벤치마크 회로에 대한 모의실험 결과를 검토하고, 마지막으로 5장에서 결론을 맺는다.

II. 고장모델

CMOS 회로는 구조적 특성상 정적상태에서는 거의 전류가 흐르지 않는다. 전류 테스팅은 이러한 CMOS 회로의 특성을 이용하여 고장을 검출하는 방법이다 정적상태에서 합선 결함, 게이트 옥사이드 단락, 기생 트랜지스터 누설, 누설 PN 결함, 개방 결합 등과 같은 물리적인 결함이나 고장이 발생하면 정적 상태에서 공급 전원과 접지 단자 사이에 전도 경로가 형성되어 큰 고장 전류가 흐르게 된다 이러한 고장은 기존의 전압 테스팅 방법으로는 검출이 용이하지 않다

본 논문에서 고려하는 고장모델은 전류 테스팅을 이용하여 CMOS 회로에 발생 가능한 다양한 종류의 결함이나 고장을 검출하기 위해서 자주 사용되

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

는 모델로서 고장모델은 결함이 발생하는 위치와 고려되는 유형에 따라 다음과 같은 모델링이 가능하다.

1) 트랜지스터 누설 고장모델 : 테스트 대상회로의 논리 게이트를 트랜지스터 레벨로 분석하여 트랜지스터 내부의 결함을 고려할 경우에 사용되며, CMOS 회로의 고장위치, 고장진단에 효과적인 모델이다[5-7]. MOS 트랜지스터의 드레인, 게이트, 소오스, 벌크의 4개 단자를 고려하기 하기 때문에 하나의 MOS 트랜지스터 당 ${}_4C_2$ = 6개의 가능한 트랜지스터 누설고장이 존재한다.

2) 전체 합선 고장모델 : 테스트 대상회로의 논리 게이트들을 스위치 레벨로 분석하여 내부 및 외부의 모든 노드에서 발생 가능한 단락을 고려할 경우에 사용되며, CMOS 회로에서 발생 빈도가 가장 높은 합선고장의 검출에 효과적인 모델이다[8-10]. 전체 합선 고장모델은 테스트 입력 벡터에 따라서 내부 노드에 부동 값을 가지는 경우가 발생하게 되어 고장 검출이 어려운 많은 PDF(Potentially Detected Faults) 합선 고장이 존재한다.

그림 1에는 전류 테스팅에 자주 사용되는 고장모델의 예를 보인 경우로 그림 1(b)에는 트랜지스터 누설 고장모델로 그림 1(a)의 테스트 회로에서 인버터 G4의 p-트랜지스터 게이트(g)와 소오스(s) 사이에 트랜지스터 누설 고장이 발생한 경우의 예를 보인다.

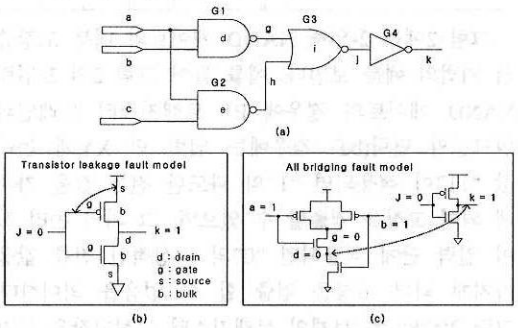


그림 1. 고장모델에서 전류 테스팅의 예

인버터 G4의 입력 단 j에 논리 값 "0"을 갖도록 해 준다면 회로의 정적상태에서도 공급전원과 접지단자 사이에 전류의 경로가 형성되어 많은 양의 전류가 흘러 p-트랜지스터 게이트(g)와 소오스(s) 사이에 발생한 트랜지스터 누설 고장을 검출할 수 있다.

또한 그림 1(c)은 전체 합선 고장모델에서 인버터 G4의 외부노드인 출력 단 k와 2-입력 NAND G1의 내부 노드 d사이에 발생한 합선고장의 예로 테스트 벡터 T = "110"을 입력 단에 적용할 경우 노드 d와 k는 "0"과 "1"의 값을 가지게 되어 그림 1(c)과 같이 공급전원과 접지단자 사이에 전류의 경로가 형성되어 고장을 검출할 수 있다.

표 1. 가정된 고장모델에서의 전체 고장 수

회 로	게이트 수	고장 수(A)	고장 수(B)
c880	383	10,188	405,450
c1355	546	13,080	665,281
c1908	876	16,788	1,483,503
c2670	1,193	27,488	3,595,221
c3540	1,669	39,672	7,036,876
c5315	2,307	60,060	15,851,265
c6228	2,416	60,672	12,779,040
c7552	3,512	79,560	29,625,753

A : 트랜지스터 누설 고장모델 B : 전체 합선 고장모델

표 1에는 ISCAS 벤치마크 회로에 전류 테스팅 방식을 적용할 경우에 트랜지스터 누설 고장모델과 전체 합선 고장모델에서 발생 가능한 고장 수를 보인다. 발생 가능한 고장의 수가 회로 크기에 비례해서 매우 커지므로 전류 테스팅을 이용하여 CMOS VLSI 회로의 품질 및 신뢰성을 향상하기 위해서는 고려하는 모델에서 고장을 구별할 수 없는 등가 고장을 효율적으로 검출할 수 있는 알고리즘이 필요하다.

III. 고장중첩 기법

정의 1 : 전류 테스팅 방식을 이용하여 트랜지스터 누설 고장모델에서 고장 f를 검출하기 위해서 테스트 대상 회로에 임의의 테스트 패턴 V를 입력할 경우,

C(V, f) = 0
: 고장 미 검출(정상적인 전류 값(normal Iddq))
C(V, f) = 1
: 고장 검출(과도한 전류 값(abnormal Iddq))

정의 2 : 전류 테스팅 방식을 이용하여 임의의 테스트 패턴 V를 테스트 대상 회로에 적용할 경우에 트랜지스터 누설 고장 f1과 f2가 항상 같은 결과의 값을 나타낼 때, 이를 등가라 한다.

C(V, f1) = C(V, f2)

정의 3 : 전류 테스팅 방식을 이용하여 전체 합선 고장모델에서 노드 x, y사이에 발생한 합선 고장

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

을 검출하기 위해서 테스트 대상 회로에 임의의 테스트 패턴 T를 입력할 경우에 다음 두 조건을 만족해야한다.

i) T(x) ≠ T(y)

ii) T(x) ≠ f 그리고 T(y) ≠ f (f : floating value)

정의 4 : 전류 테스팅 방식을 이용하여 임의의 테스트 패턴 T를 테스트 대상 회로에 적용할 경우에 노드 x와 y사이에 발생한 합선 고장이 항상 같은 결과의 값을 나타낼 경우에 이를 등가라 한다.

i) T(x) = T(y)

ii) T(x) ≠ f 그리고 T(y) ≠ f (f : floating value)

트랜지스터 누설 고장모델과 전체 합선 고장모델에서 결함이나 고장이 등가인 경우에 전류 테스팅 방식을 이용하여 서로 구별할 수 없으므로 등가 고장의 경우에는 단지 하나의 고장만이 고려되고, 등가고장을 검출하는 기술을 고장중첩이라 부른다.

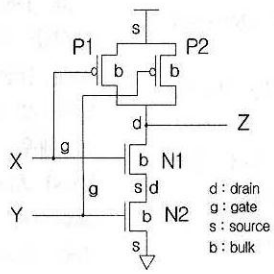
1. 트랜지스터 누설 고장모델의 고장중첩[5-7]

테스트 대상회로의 각 논리 게이트를 트랜지스터 레벨로 분석하여 트랜지스터 내부의 결함을 고려하는 트랜지스터 누설 고장모델에서 발생 가능한 많은 결함이나 고장의 수를 줄이기 위해서 다음과 같은 3단계의 고장중첩 기법을 이용한다.

1) 게이트 내부 고장중첩
2) 게이트간 다중 입력 고장중첩
3) 게이트간 단일 입력 고장중첩

게이트 내부 고장중첩 기법은 기본 게이트의 내부를 분석하여 등가 고장을 검출함으로써 트랜지스터 누설 고장모델에서 기본 게이트가 가지는 고장표(fault table)의 양을 효과적으로 줄여 테스트 대상 회로에서 고려되는 고장의 수를 줄이는 방법이다.

	P1					
X Y	bg	bd	bs	sd	gd	gs
0 0	1	0	0	0	1	1
0 1	1	0	0	0	1	1
1 0	0	0	0	0	0	0
1 1	0	1	0	1	1	0
	N1					
X Y	bg	bd	bs	sd	gd	gs
0 0	0	1	0	0	1	0
0 1	0	1	0	1	1	0
1 0	1	1	1	0	0	0
1 1	1	0	0	0	1	1



	P2					
X Y	bg	bd	bs	sd	gd	gs
0 0	1	0	0	0	1	1
0 1	0	0	0	0	0	0
1 0	1	0	0	0	1	1
1 1	0	1	0	1	1	0
	N2					
X Y	bg	bd	bs	sd	gd	gs
0 0	0	0	0	0	0	0
0 1	1	0	0	0	1	1
1 0	0	1	0	1	1	0
1 1	1	0	0	0	1	1

(a)

X Y	f1	f2	f3	f4	f5	f6	f7	f8	f9	f10	f11
0 0	0	1	0	0	1	0	0	0	1	1	1
0 1	0	1	0	1	1	0	1	1	1	0	0
1 0	1	1	1	0	0	0	0	1	0	1	1
1 1	1	0	0	0	1	1	1	1	0	0	1

(b)

그림 2. 게이트 내부 고장중첩을 이용한 2-입력NAND 게이트의 고장표

그림 2에는 2-입력 NAND 게이트의 내부 고장중첩 기법의 예를 보인다. 예를 들어 그림 2의 2-입력 NAND 게이트의 경우에 P1 트랜지스터 드레인과 벌크간의 단락(bd) 경우에는 입력 단 XY에 논리값 "11"이 적용되면 "1"의 과도한 전류 값을 가지게 되어 고장을 검출할 수 있으며, 그 외의 논리 값이 입력 단에 적용되면 "0"의 정상적인 전류 값을 가지게 되어 고장을 검출 할 수 없음을 의미한다. 그림 2(a)의 총 24개의 트랜지스터 누설고장은 등가의 정의를 이용하여 그림 2(b)의 11개로 줄여진다.

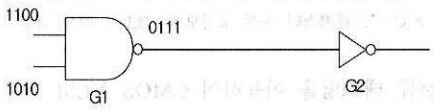
효율적인 고장중첩 알고리즘은 고려되는 고장모델에서 전류 테스팅으로 서로 구별하지 못하는 노드를 삭제함으로써, 고장 시뮬레이션과 테스트 패턴 생성에 요구되는 시간을 효과적으로 줄여주고, 가능한 적은 수의 테스트 패턴 생성이 가능해 기존의 전압 테스트에 비해서 상대적으로 긴 테스트 시간을 요구하는 전류 테스팅 방식에 꼭 필요한 기법이다.

게이트간 고장중첩은 게이트 내부 고장중첩 기법의 단계를 적용한 후 더 많은 수의 등가 고장을 검출하기 위해 게이트 간에 등가 고장을 적용한 알고리즘이다. 게이트간 다중 입력 고장중첩 기법은 전류 테스팅을 적용할 경우에 테스트 대상 회로 안에 존재하는 많은 게이트들을 다중 입력 상황을 고려하여 게이트 간에 등가 고장이 발생하는 경우를 찾아내어 검출하는 알고리즘이다. 다중 입력은 하나의

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

게이트의 모든 입력 단에 논리적인 값을 적용하고 시뮬레이션을 수행한다.

그림 3에는 2-입력 NAND와 인버터로 이루어진 간단한 회로의 예이다. 게이트 내부 고장중첩을 거친 게이트 G1과 게이트 G2의 고장 표를 결합할 경우에 추가적인 등가 고장이 검출된다. 그림 3(a)의 게이트 G1의 트랜지스터 고장 f2와 게이트 G2의 고장 f1, 또 게이트 G1의 트랜지스터 고장 f6과 게이트 G2의 고장 f2가 추가적인 등가 고장이 되어 그림 3(b)의 12개의 고장 수로 줄어든다.



G1	f1	f2	f3	f4	f5	f6	f7	f8	f9	f10	f11
0 0	0	1	0	0	1	0	0	0	1	1	1
0 1	0	1	0	1	1	0	1	1	1	0	0
1 0	1	1	1	0	0	0	0	1	0	1	1
1 1	1	0	0	0	1	1	1	1	0	0	1

+

G2	f1	f2	f3
1	1	0	1
1	1	0	1
1	1	0	1
0	0	1	1

(a)

G1	f1	f2	f3	f4	f5	f6	f7	f8	f9	f10	f11	G2	f3
0 0	0	1	0	0	1	0	0	0	1	1	1	1	1
0 1	0	1	0	1	1	0	1	1	1	0	0	1	1
1 0	1	1	1	0	0	0	0	1	0	1	1	1	1
1 1	1	0	0	0	1	1	1	1	0	0	1	0	1

(b)

그림 3. 게이트간 다중입력을 이용한 고장중첩의 예

	↓양의고장								↓음의고장		
X Y	f1	f2	f3	f4	f5	f6	f7	f8	f9	f10	f11
0 0	0	1	0	0	1	0	0	0	1	1	1
0 1	0	1	0	1	1	0	1	1	1	0	0
1 0	1	1	1	0	0	0	0	1	0	1	1
1 1	1	0	0	0	1	1	1	1	0	0	1

그림 4. 2-입력 NAND의 양과 음의 고장

정의 5 : 트랜지스터 누설 고장 f를 검출하기 위해서 게이트의 입력단자 a에 논리 값 "0(1)"을 적용했을 때 IDDQ 테스팅 측정값이 다른 입력 단에 값에 관계없이 단일 입력단자 a에 적용된 값과 항상 같을 경우 합선 고장 f를 양의 고장이라 하고, 반대 값의 결과를 나타낼 때, 이를 음의 고장이라 한다.

그림 4에는 2-입력 NAND 게이트의 고장 표에서 양과 의 고장과 음의 고장을 보인다. 예를 들어 2-NAND 게이트의 고장 f1과 f9는 입력 단 y에 관계없이 입력 단 x와 관련하여 각각 양과 음의 고장이 된다.

게이트간 단일 입력 고장중첩은 게이트 내부 고장중첩 단계와 게이트간 다중 입력 고장중첩 단계 후에 양과 음의 고장 정의를 이용하여 테스트 대상 회로의 게이트 간에 단일 입력 상황에서 추가적인 고장중첩을 수행하는 알고리즘이다. 그림 5에서 게이트 G1의 입력 단에 "10"의 값을 적용할 경우, 게이트 G2는 입력 단 Y에 관계없이 게이트간 고장중첩이 가능하다. 즉, 게이트 G1의 고장 f1은 게이트 G2의 고장 f9와 게이트 G1의 고장 f2는 게이트 G2의 고장 f1과 등가 고장이 되어 고장중첩이 된다.

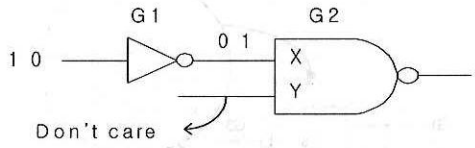


그림 5. 게이트간 단일 입력을 이용한 고장중첩의 예

2. 전체 합선 고장모델에서 고장중첩[8-10]

테스트 대상회로의 논리 게이트들을 스위치 레벨로 분석하여 내부 및 외부의 모든 노드에서 발생 가능한 단락을 고려하는 전체 합선 고장모델에서 두 합선된 노드가 항상 같은 논리 값을 갖는 노드를 찾기 위하여 다음 2단계의 알고리즘을 이용한다.

1) 단계 1

주어진 테스트 회로에서 버퍼나 인버터를 포함하는 경로의 연결 구조를 찾는다. 노드 G_0에서 출발하여 버퍼나 인버터들의 최대의 연결 구조를 T라 하자. 이때 연결구조 T에 연결된 노드를 {G_1, G_2, ... , G_n}로 표현할 때 다음의 두 경우가 가능하다.

- 연결구조 T에 인버터가 존재하지 않는 경우
  : 노드 {G_0, G_1, ... , G_n}는 모두 등가노드
- 연결구조 T에 적어도 하나의 인버터가 존재하는 경우
  : 노드는 짝수개의 인버터와 홀수개의 인버터를 가지는 두 그룹으로 나누게 되고 각 그룹은 등가노드

최대의 연결 구조를 찾기 위해서는 BFS(Breadth

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

first search)나 DFS(Depth first search) 기술을 이용하여 연결 구조를 찾을 수 있다. 그림 6(a)에 단계 1의 예를 보인다. 그림의 회로는 총 15개(내부 + 외부노드 포함)의 노드가 존재하여 고장중첩 전에는 노드 간에 $_{15}C_2$ = 105개의 합선고장이 존재한다. DFS 기술을 이용하여 최대의 연결 구조를 찾으면 전체 연결구조는 두 개의 등가그룹 Group1 = {G3, G6, G7}, Group2 = {G4, G9, G10}으로 분해되어 전체 고장 가능 노드는 11개로 감소하게 되어 총 $_{11}C_2$ = 55개의 전체 합선고장이 존재하게 된다.

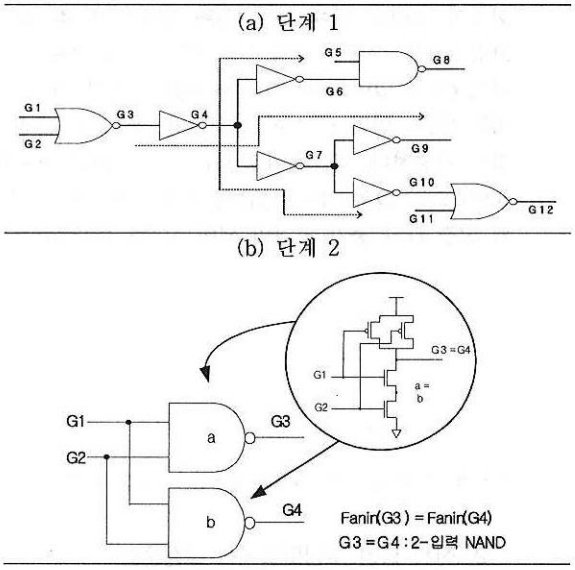


그림 6. 전체 합선 고장모델에서 고장중첩의 예

2) 단계 2

임의의 게이트 G에 연결된 입력단자를 Fanin(G)라 하면, 게이트의 집합(출력단자) F = {G_1, G_2, . . . , G_i, . . . , G_k}에 관해서 Fanin(G_1) = Fanin(G_2) = ... = Fanin(G_k)의 관계가 성립하고 즉, 같은 입력을 받게 되고 게이트의 종류가 같은 경우에 출력단자 {G_0, G_1, . . . , G_i, . . . , G_k}는 모두 등가노드가 되고 게이트 내부의 등가노드를 가지게 된다.

그림 6(b)은 단계 2의 예로 게이트 G3와 G4의 입력은 Fanin(G3) = Fanin(G4) = {G1, G2}가 되어 같은 입력노드를 가진다. 또한, 게이트 G3과 G4는 2-입력 NOR 게이트로 같은 종류이므로 노드 G3과 G4는 등가노드가 되고 내부 노드 a와 b도 등가노드가 된다.

표 2. 기존의 고장중첩 방식을 이용한 실험 결과

회 로	게이트 수	고장 수(A)	고장 수(B)	남은 고장 수(C)	남은 고장 수(D)	C/A (%)	D/B (%)
c880	383	10,188	405,450	2,889	323,610	28.4	79.8
c1355	546	13,080	665,281	4,006	593,505	30.6	89.2
c1908	876	16,788	1,483,503	4,845	634,501	28.9	42.8
c2670	1,193	27,488	3,595,221	7,314	2,168,403	26.6	60.3
c3540	1,669	39,672	7,036,876	10,194	3,777,126	25.7	53.7
c5315	2,307	60,060	15,851,265	16,434	10,490,490	27.4	66.2
c6288	2,416	60,672	12,779,040	18,523	12,622,800	30.5	98.8
c7552	3,512	79,560	29,625,753	21,149	17,508,403	26.6	59.1

A,C : 트랜지스터 누설 고장모델 B,D : 전체 합선 고장모델

전류 테스팅을 이용하여 CMOS VLSI 회로에 발생 가능한 다양한 종류의 결함이나 고장을 검출하기 위해서 자주 사용되는 트랜지스터 누설 고장모델과 전체 합선 고장모델에 발생하는 고장의 수를 줄이기 위해 고장중첩 알고리즘을 ISCAS 벤치마크 회로에 적용할 경우에 고려되는 고장 수에 결과를 표 2에 보인다.

Ⅳ. 제안된 고장중첩 알고리즘과 모의실험 검토

전류 테스팅을 이용하여 테스트 대상 회로의 고장 및 결함을 효과적으로 검출하거나 진단하기 위해서는 결함이 발생하는 위치와 고려되는 유형에 적합한 고장모델에서 발생 가능한 고장의 수를 감소시켜 가능한 적은 수의 테스트 패턴을 유지하는 게 필요하다. 트랜지스터 누설 고장모델은 테스트 대상회로의 논리 게이트를 게이트 레벨이 아닌 트랜지스터 레벨로 분석하여 트랜지스터 내부의 결함을 고려해야 하고, 전체 합선 고장모델은 테스트 대상회로의 논리 게이트들을 스위치 레벨로 분석하여 내부 및 외부의 모든 경우에서 발생 가능한 단락을 고려해야한다.

제안된 고장중첩 알고리즘은 트랜지스터 레벨과 스위치 레벨의 해석 원리를 이용한 분해와 치환 과정을 통해서 더 많은 등가노드를 효과적으로 검출할 수 있다. 본 논문에서 제안한 고장중첩 알고리즘의 전체적인 흐름은 그림 7에 보인 바와 같이 분해 프로세스를 포함하여 각 고장모델은 3개의 프로세스로 이루어진다.

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

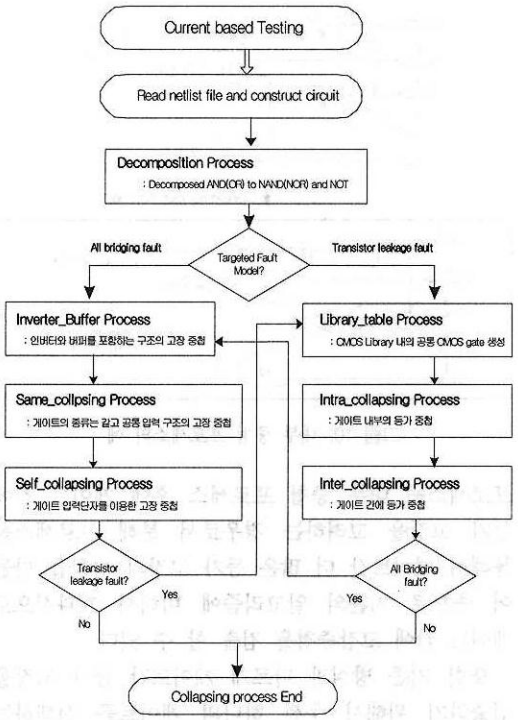


그림 7. 제안된 고장중첩 알고리즘

1. 분해 프로세스

분해 프로세스는 제안된 고장중첩 알고리즘의 처음 프로세스로 전류 테스팅 기반의 다양한 고장모델에 적용하기 위해 AND, OR 게이트는 NAND, NOR, 인버터의 구조로 분해하는 방식을 사용한다. 실제로 AND, OR 게이트는 분해가 불가능하지만 스위치 레벨과 트랜지스터 레벨 분석에서는 AND는 NAND와 인버터, OR는 NOR와 인버터의 구조로 분석 할 수 있다. 이러한 분해 프로세스를 통해서 다음 단계의 프로세스는 고려하는 고장모델에 효과적인 고장중첩을 수행할 수 있다.

그림 8의 예에서 AND 게이트를 NAND 게이트와 인버터로 분해했을 경우 전체 합선 고장모델에서는 AND 게이트의 내부노드 -G0과 인버터 G1은 등가노드가 되어 검출이 가능해지고 트랜지스터 누설 고장의 경우는 CMOS 기본 게이트들의 라이브러리 수가 줄어들며, 또한 게이트간 중첩 프로세스에서 고려하는 게이트간의 중첩 상황을 더 만들어 주어 등가 고장의 수를 더 검출 할 수 있다.

2. 인버터_버퍼 프로세스

테스트 대상 회로에서 버퍼나 인버터의 경우에는 입력이 하나이기 때문에 경로를 탐색하여 항상 같은 값을 가지게 되는 노드를 고장중첩 한다. 분해 프로세스 후에 인버터_버퍼 프로세스의 고장중첩을 수행하여 경로 탐색 알고리즘을 적용하면 더 많은 수의 인버터와 버퍼의 연결 구조가 형성되어 효율적인 등가 고장 검출이 가능하다.

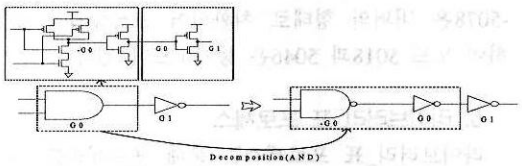


그림 8. 분해 프로세스의 예

3. 동일중첩 프로세스

테스트 대상회로에서 버퍼나 인버터를 제외한 기본 게이트들에 대하여 게이트의 종류는 같고 공통의 입력을 받게 될 경우에 고장중첩을 수행한다. 제안된 동일중첩 프로세스에서는 기존 중첩 알고리즘의 단계2 과정(기본 게이트들에 대하여 게이트의 종류는 같고 공통의 입력을 받게 될 경우)을 확대하여 게이트들의 입력이 같은 등가 그룹인 경우에도 고장중첩이 수행되도록 확대하여 적용하였다. 그림 9(a)에 확대된 고장중첩의 예로 분해 프로세스 후 동일 중첩프로세스를 수행하면 노드 -5018과 노드 5021은 등가노드가 된다.

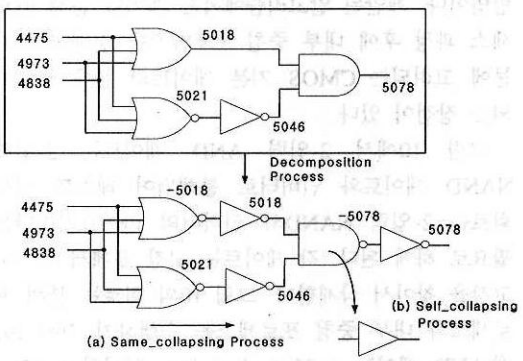


그림 9. 동일중첩과 자체중첩 프로세스의 예

4. 자체중첩 프로세스

자체중첩 프로세스는 동일중첩 프로세스 후에 게이트들의 입력단자를 역 추적 검색하여 게이트를 다른 형태의 게이트로 치환하거나 항상 "0"이나 "1"의 논리 값을 가지는 상수 노드를 검출하여 고장중첩을 수행한다. 이러한 프로세스 과정은 기존의

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

고장중첩 알고리즘에서 검출할 수 없는 등가 고장을 효과적으로 검출할 수 있다.

그림 9(b)는 ISCAS 벤치마크회로 c3540의 일부분으로 테스트 대상회로는 먼저 제안된 분해 프로세스와 동일 중첩 프로세스를 수행한 후 자체중첩 프로세스 단계를 거치면 2-입력 NAND 게이트 -5078은 버퍼의 형태로 치환되어 고장중첩을 수행하여 노드 5018과 5046은 등가노드가 된다.

5. 라이브러리_표 프로세스

라이브러리_표 프로세스는 분해 프로세스를 통해서 회로의 재구성이 끝난 후 각 게이트의 종류와 입력 포트 수에 따라 종류별로 초기 트랜지스터 누설 고장 표를 생성하여 CMOS 라이브러리의 초기 고장 표 리스트에 저장하여 내부 중첩 프로세스와 게이트 간 중첩 프로세스에서 고장중첩을 수행할 때 테스트 대상회로의 각 게이트는 게이트의 형과 입력 포트 수에 맞는 고장 표를 검색하여 복사해서 사용한다.

6. 내부 중첩 프로세스

내부 중첩 프로세스는 트랜지스터 누설 고장모델에서 분해 프로세스와 라이브러리_표 프로세스 후에 기본 게이트의 내부를 분석하여 고장중첩을 수행함으로써 테스트 대상 회로에서 초기 기본 게이트가 가지는 가능한 고장 수를 효과적으로 줄이는 방법이다. 제안된 알고리즘에서는 게이트 분해 프로세스 과정 후에 내부 중첩 프로세스를 실행하기 때문에 고려되는 CMOS 기본 게이트의 종류가 적게 되는 장점이 있다.

그림 10에서 2-입력 AND 게이트는 2-입력 NAND 게이트와 인버터로 분해되어 테스트 대상 회로는 2-입력 NAND와 인버터의 라이브러리만을 필요로 하게 된다. 각 게이트는 고장 표에서 중복된 고장을 찾아서 삭제한다. 그림 10의 회로는 분해 프로세스와 내부 중첩 프로세스를 수행하기 전에 192개(AND 게이트 = 36 × 4 = 144, 인버터 = 12 × 2 = 24, NAND 게이트 = 24 × 1 = 24)의 트랜지스터 누설 고장을 가진다. 분해 프로세스후 NAND와 인버터를 가진 구조가 되고 내부 중첩 프로세스를 수행하면 73개(NAND 게이트 = 11 × 5 = 55, 인버터 = 3 × 6 = 18)의 고장 수로 줄어든다.

7. 게이트간 중첩 프로세스

제안된 알고리즘에서 고려하는 게이트 간 중첩

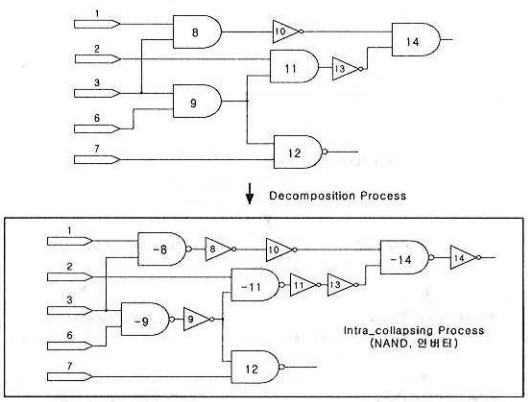


그림 10. 내부 중첩 프로세스의 예

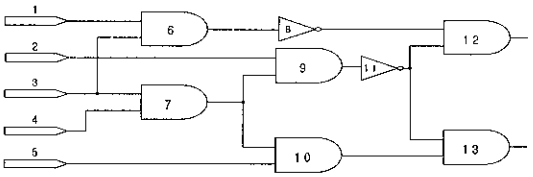
프로세스는 내부 중첩 프로세스 후에 게이트 간에 등가 고장을 고려하는 경우로서 분해 프로세스를 통해서 게이트간 더 많은 등가 고장의 상황을 만들어 줌으로 기존의 알고리즘에 비해서 효과적으로 게이트 간에 고장중첩을 검출 할 수 있다.

또한 기존 방식과 다르게 게이트간 등가 고장을 검출하기 위해서 우선 하나의 게이트를 선택하는 방식에서 제안된 알고리즘에서는 선택된 게이트의 입력 단에 관련된 게이트들도 같이 추적하는 방식을 통해서 더욱 효과적으로 게이트간 고장중첩을 수행한다. 게이트간 중첩 프로세스에서는 게이트의 단일 입력에 양의 고장과 음의 고장을 검출해내는 부프로세스와 게이트의 전체 입력을 고려해서 게이트 간의 고장 표를 결합하는 부프로세스로 구성이 된다.

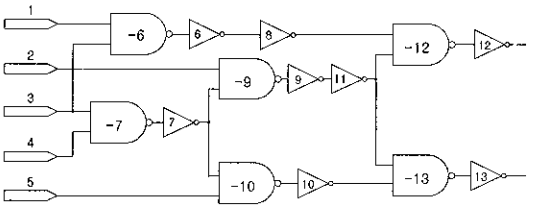
전류 테스팅을 이용하여 CMOS 회로에 발생 가능한 다양한 종류의 결함이나 고장을 검출하기 위해서 자주 사용되는 고장모델에서 제안된 고장중첩 알고리즘과 기존의 알고리즘과의 비교 예를 그림 11에 보인다. 그림 11(a)의 테스트 회로는 6개의 AND 게이트와 2개의 인버터로 이루어져 있으며 고장중첩을 수행하기 전의 전체 합선고장 수는 300개[내부노드 + 외부노드]이고, 트랜지스터 누설 고장의 수는 240개[(AND 게이트의 고장 수 = 36 × 6 = 216) + (인버터의 고장 수 = 12 × 2 = 24)]이다. 회로 (a)를 전체 합선 고장모델과 트랜지스터 누설 고장모델에 기존의 고장중첩 알고리즘을 적용하면 전체 합선고장은 등가 고장을 검출할 수 없고 트랜지스터 누설 고장은 게이트 내부 고장중첩을 거치면 각 AND 게이트의 고장 수가 12개와 인버터의 고장 수가 3개로 줄어들어 전체 고장은 78개

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

까지 줄일 수 있고, 게이트간 등가 고장중첩을 수행하면 추가의 6개 등가 고장을 검출할 수 있다



(a)



(b)

트랜지스터 누설 고장모델					전체합선 고장모델				
(A)	(B)	(C)	B/A	C/A	(D)	(E)	(F)	E/D	F/D
240	72	60	30%	25%	300	300	253	100%	84 3%

A, D 전체 고장 수,
B 게이트 내부와 게이트간 적용 후 남은 고장,
E 전체 합선고장중첩 기법 적용 후 남은 고장,
C, F 제안된 방식의 남은 고장

(c)

그림 11. 고장중첩 기법의 비교

제안된 방식의 알고리즘은 분해 프로세스를 통해서 회로 (a)의 AND 게이트를 NAND와 인버터로 분해하여 회로 (b)를 이용하게 된다. 전체 합선고장은 2개의 등가 연결 구조[노드 -6과 노드8, 노드 -9와 노드 11]을 찾게 되어 전체 합선고장의 수는 253개로 줄어들게 된다

트랜지스터 누설 고장의 수는 내부 중첩 프로세스를 거친 후 90개[(NAND 고장 수 = 11 × 6 = 66) + (인버터 고장 수 3 × 9 = 24)]로 회로 (a)에 비해 12개가 증가했지만, 게이트간 중첩 프로세스를 거친 후 게이트의 단일 입력에 양과 음의 고장을 검출해내는 부프로세스의 12개와 게이트의 전체 입력을 고려해서 게이트 간의 고장 표를 결합하는 부프로세스에서 18개[(NAND + 인버터 결합), (인버터 + 인버터의 결합)]을 검출하여 총 게이트간 30개의 등가 고장을 검출할 수 있다

전류 테스팅 기반의 고장모델에 제안된 고장중첩 알고리즘의 효율성을 검증하기 위해서 조합 회로로 구성되어 있는 ISCAS 벤치마크 회로에 적용한 모의실험 결과를 표 3과 고장 수를 고려할 경우에 고장중첩률에 관한 비교를 그림 12에 보인다 모든 ISCAS 벤치마크 회로에서 기존의 제안된 방식보다 높은 고장중첩을 보이고 있다. 표 3과 그림 12의 결과를 통해서 제안된 고장중첩 알고리즘이 기존의 전압 테스트 방식에서는 검출할 수 없는 다양한 CMOS VLSI의 고장 및 결함의 검출에 더 적합한 전류 테스팅 기반의 고장모델에 더 효과적임을 알 수 있다. 이러한 결과는 스위치 레벨과 트랜지스터 레벨 원리를 적용한 분해 프로세서 과정과 다음 단계에서 이러한 성질을 고려하고 이용하는 프로세서의 알고리즘을 통해 등가 고장을 효율적으로 감소시킨 결과이다

V. 결 론

테스트 회로에 존재하는 결함이나 장애의 영향을 기술하기 위해서 사용되는 고장모델은 실제적인 장

표 3 고장중첩을 이용한 실험 결과 비교

회 로	게이트 수	(A)	(B)	(C)	(D)	(E)	(F)	C/A (%)	E/A (%)	D/B (%)	F/B (%)
c880	383	10,188	405,450	2,889	323,610	2,730	318,003	28 4	26 8	79 8	78 4
c1355	546	13,080	665,281	4,006	593,505	2,204	593,505	30 6	16 9	89 2	89 2
c1908	876	16,788	1,483,503	4,845	634,501	4,581	428,275	28 9	27 3	42 8	28 9
c2670	1,193	27,488	3,595,221	7,314	2,168,403	6,986	1,422,141	26 6	25 4	60 3	39 6
c3540	1,669	39,672	7,036,876	10,194	3,777,126	9,523	2,958,528	25 7	24 0	53 7	42 0
c5315	2,307	60,060	15,851,265	16,434	10,490,490	16,180	8,256,016	27 4	26 9	66 2	52 1
c6288	2,416	60,672	12,779,040	18,523	12,622,800	12,168	12,318,166	30 5	20 1	98 8	96 4
c7552	3,512	79,560	29,625,753	21,149	17,508,403	20,427	12,804,330	26 6	25 7	59 1	43 2

트랜지스터 누설 고장모델
(A) 고장수, (C) 게이트 내부와 게이트간 적용 후 남은 고장
(E) 제안된 방식의 남은 고장
전체 합선 고장모델
(B) 고장 수 (D) 전체 합선고장 중첩기법 적용 후 남은 고장
(F) 제안된 방식의 남은 고장

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr

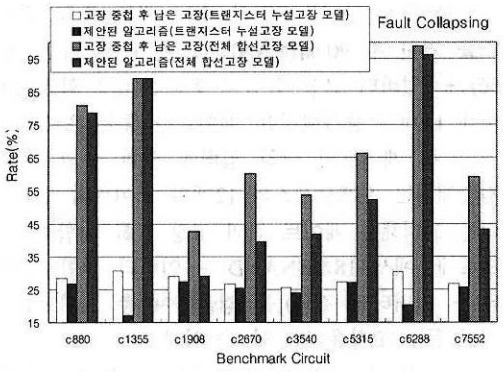


그림 12. 고장 중첩률 비교

애를 정확하게 모델링 해야 한다. 본 논문에서는 기존의 전압 테스트 방식에서는 검출할 수 없는 다양한 CMOS의 고장 및 결함 검출에 효율적인 전류 테스팅 기반의 CMOS VLSI 회로를 위한 고장모델에 적합한 새로운 고장중첩 알고리즘을 제안하였다.

전류 테스팅은 많은 장점을 가진 신뢰성 있는 테스팅 방식이나 전압 테스트에 비해 상대적으로 느린 단점을 가져 전류 테스팅 기반의 고장모델에서는 발생 가능한 고장의 수를 감소하거나 가능한 적은 수의 테스트 패턴을 유지하는 게 필요하다.

제안된 알고리즘은 스위치 레벨과 트랜지스터 레벨 원리를 이용하는 프로세스의 치환과 분해를 통해서 테스트 대상 회로의 게이트 수가 커질 경우 고려되어야 할 고장의 수가 매우 크게 되는 전류 테스트 기반의 고장모델에 적용한 기법으로 ISCAS 벤치마크 회로의 모의실험을 통하여 제안된 방식이 고려되는 고장의 수를 효과적으로 감소시킬 수 있고, 다양한 전류 테스트 방식의 고장모델에 더 적합함을 확인하였다.

참 고 문 헌

[1] Rochit Rajsuman, "Iddq Testing CMOS VLSI," Proceedings of The IEEE, vol. 88, no. 4, pp. 544-566, April 2000.

[2] 홍성제 외, 테스팅 및 테스팅을 고려한 설계, 홍릉과학출판사, 2000.

[3] R. C. Aitken, "A Comparison of Defect Models for Fault Location with Iddq Measurements," Proc. ITC'92, pp. 778-787, Sept. 1992.

[4] R. Rajsuman, IDDQ Testing for CMOS VLSI, Artech House, 1994.

[5] W. Mao and R. K. Gulati, "QUIETEST: A Quiescent Current Testing Methodology for Detecting Leakage Faults," Proc. ICCAD'90, pp. 280-283, 1990.

[6] S. Chakravarty and S. T. Zachariah, "STBM: A Fast Algorithm to Simulate IDDQ Tests for Leakage Faults," IEEE Trans. on Computer -Aided Design of Integrated Circuits and Systems, vol. 19, no. 5, pp. 568-576, May 2000.

[7] X. Wen, H. Tamamoto and K. Kinoshita, "IDDQ Test Vector Selection for Transistor Short Fault Testing," System and Computers in Japan, vol. 28, no. 5, 1997.

[8] P. J. Thadikaran, "Evaluation, selection and generation of IDDQ tests," PHD. Thesis, Department of Computer Science, State University of New York, 1996.

[9] T. Shinogi and T. Hayashi, "An iterative improvement method for generating compact tests for IDDQ testing of bridging faults," IEICE Trans. INF & SYST., Vol. E81-D. No. 7, July 1998.

[10] T. Lee, I. N. Hajj, E. M. Rudnick, J. H. Patel, "Genetic-algorithm based test generation for current testing of bridging faults in CMOS VLSI circuits," IEEE VLSI Test Symposium, pp. 456-462, 1996.

김 대 익 (Dae-Ik Kim) 정회원
제 28권 제8C호 참조
현재 : 여수대학교 반도체학과 조교수
<관심분야> 저전력 VLSI 설계, 테스팅

배 성 환 (Sung-Hwan Bae) 정회원
제 27권 제1C호 참조
현재 : 한려대학교 멀티미디어정보통신학과 조교수
<관심분야> VLSI 설계, ASIC 테스팅

Copyright (C) 2004 NuriMedia Co., Ltd.
www.dbpia.co.kr