

WCDMA 단말 모뎀을 위한 개선된 SIR 측정 알고리즘 설계

준회원 한 정 수*, 정회원 도 주 현*, 최 형 진*

Design of an enhanced SIR measurement algorithm for WCDMA mobile station Modem

Jung-Su Han* *Associate Member*, Joo-Hyun Doo*, Hyung-Jin Choi* *Regular Members*

요 약

본 논문에서는 WCDMA(Wideband Code Division Multiple Access) 단말 모뎀을 위한 개선된 SIR 측정 알고리즘을 제안한다. 제안된 알고리즘은 속도 적응형 IIR 타입의 channel estimator를 적용함으로써 DPCH(Dedicated Physical Channel)의 채널 보상으로 인한 처리 지연을 최소화하였으며 파일럿 채널인 CPICH(Common Pilot Channel)를 사용하여 페이딩 채널 환경에서 발생하는 신호 전력 감쇄를 보상함으로써 페이딩 환경에 SIR 측정 시 발생하는 SIR 측정 오차를 대폭 감소시켰다 또한 fading의 변화를 적절히 반영할 수 있도록 IIR 필터를 신호 전력 및 간섭 전력 측정 시에 추가함으로써 SIR 측정에 대한 안정도를 향상시켰다 제안된 알고리즘과 기존의 SIR 측정 알고리즘과의 성능 비교를 통하여 무선 이동 채널 특히 고속 이동체 환경에서 제안된 알고리즘의 측정된 SIR의 mean은 최대 약 8dB, jitter는 약 2dB의 향상된 우수한 성능을 보임을 입증하였다

key Words : SIR, WCDMA, CPICH, DPCH, IIR filter, Fading channel

ABSTRACT

In this paper, we propose an enhanced SIR measurement algorithm for WCDMA mobile station modem. The proposed algorithm minimizes processing delay by applying velocity estimation-based channel estimator with IIR filter and reduces measured SIR offset by compensating attenuated signal power by using pilot channel(CPICH) in fading channel environment. To improve stability of SIR measurement, we also adopt an IIR filter which can properly reflect variation of fading channel in signal and interference power measurement. We prove that the proposed algorithm outperforms conventional SIR measurement algorithm in mean and jitter of measured SIR. Computer simulation shows that performance results using the proposed algorithm have improvement of approximately 8dB for measured mean and 2dB for measured jitter in the wireless mobile channel, especially in fast mobile speed environment.

*성균관대학교 정보통신공학부(hjchoi@ece.skku.ac.kr)

논문번호 : KICS2004-09-197, 접수일자 : 2004년 9월 14일

I. 서론

DS/CDMA 시스템에서는 모든 사용자가 동일한 주파수를 공유하기 때문에 원하는 사용자 신호와 타 사용자 신호와의 교차 상관에 의한 다중 접속 간섭에 의해 시스템의 용량이 좌우된다. 따라서 다중 접속 간섭을 최소화하여 시스템의 용량을 극대화하기 위한 링크 적응화 기술로서 SIR 기반의 전력 제어가 적용되고 있다. 시스템의 안정도와 직결되는 전력 제어의 정확도는 수신 신호에 대한 올바른 SIR 추정을 근간으로 한다^{[2][4]}.

대부분의 SIR 측정 방식은 DPCH의 1 슬롯 구간에 삽입된 dedicated pilot 심볼을 평균하는 방식의 채널 추정을 통하여 채널 보상된 DPCH의 심볼을 대상으로 SIR 추정을 수행하며, 이러한 방식으로는 NTT DoCoMo의 SIR 측정 방식이 대표적이나 무선 이동 채널 환경 특히 고속 이동체 환경에서 큰 SIR 측정 오차를 가지는 단점을 가진다.

본 논문에서 제시된 SIR 측정 방식은 무선 이동 채널 환경에서 기존의 방식에 비해 향상된 SIR 측정 성능을 나타낸다. 이러한 SIR 측정 성능 향상은 전력 제어 시 정확한 채널 환경에 대한 측정을 통한 시스템 성능 향상에 기여할 뿐 아니라 HSDPA (High Speed Downlink Packet Access) 적용 시 MCS(Modulation and coding scheme) 레벨 선택을 위한 무선 채널의 상태 정보로써 사용 가능하다.

본 논문의 구성은 다음과 같다. 2 장에서는 NTT DoCoMo 방식의 구조 분석 및 성능 검증을 수행하였으며, 3 장에서는 NTT DoCoMo 방식의 문제점과 이에 대한 원인 분석 및 해결 방안을 제시하였다. 4 장에서는 3 장에서 제시한 해결 방안을 토대로 설계된 새로운 SIR 측정 알고리즘의 구조와 측정 방식을 제시하였으며, 5 장에서는 제시된 SIR 측정 방식의 성능을 NTT DoCoMo 방식과 비교 검증함으로써 제안된 알고리즘의 우수성을 보였다. 마지막으로 6 장에서는 결론을 맺었다.

II. NTT DoCoMo의 SIR 측정 방식

그림 1은 NTT DoCoMo 방식의 SIR 측정 알고리즘 구조이다. NTT DoCoMo 에서 제안된 SIR 측정 방식은 DPCH pilot 심볼을 이용한 채널 추정과 수신 신호의 제곱 오차(squared error)를 이용하여 SIR을 측정한다^[5].

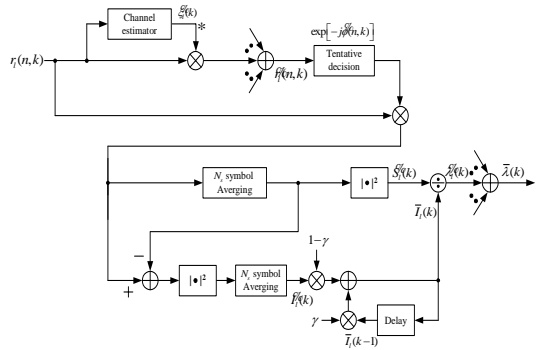


그림 1. NTT DoCoMo 방식의 SIR 측정 알고리즘 구조

DPCH의 OVSF 부호인 $W_{ch, SF_{DPCH}, k}$ 와 곱해진 l 번째 경로의 k 번째 슬롯의 n 번째 심볼을 $r_i(n, k)$ 라 하면, 수신 전력 $\mathcal{T}_i(k)$ 는 식 (1)과 같다.

$$\mathcal{T}_i(k) = |\overline{r}_i(k)|^2 \tag{1}$$

여기서 $\overline{r}_i(k)$ 는 수신된 한 슬롯의 DPCH 신호로 $\overline{r}_i(k) = \left| \frac{1}{M} \left[\sum_{n=0}^{N_s-1} \exp(-j\frac{\pi n}{4}) + \sum_{n=N_s}^{N_s-1} r_i(n, k) \exp(-j\Phi(n, k)) \right] \right|^2$ 이다. 또한 N_s 는 DPCH 한 슬롯의 심볼 수, N_p 는 DPCH 한 슬롯의 pilot 심볼 수이며, $\Phi(n, k)$ 는 tentative decision을 위한 위상으로서, 채널 추정을 통해 얻은 추정 값 $\xi_i(k)$ 에 의해 채널 보상된 DPCH 심볼이 rake combining된 신호 $\tilde{r}_i(n, k)$ 를 식 (2)와 같이 표현하면 $\Phi(n, k)$ 는 식 (3)과 같다.

$$\tilde{r}_i(n, k) = \sum_{l=0}^{L-1} r_i(n, k) \xi_i(k)^* , \quad 0 \leq n \leq N_s-1 \tag{2}$$

$$\Phi(n, k) = \left[\max \text{Re}(\tilde{r}_i(n, k) \exp(-j\Phi)) \right] + \frac{\pi}{4} \tag{3}$$

where $\Phi \in \{m\pi/2; m = 0 - 3\}$ (3)

간섭 전력 $\overline{I}_i(k)$ 는 식 (4)와 같이 나타낼 수 있고, forgetting factor γ 가 0.99375인 1차 IIR filter를 통하여 평균된 간섭 전력 $\overline{I}_i(k)$ 은 식 (5)와 같다. 식 (1)과 식 (5)를 이용하여 추정된 SIR은 $\mathcal{T}_i(k) = \mathcal{T}_i(k) / \overline{I}_i(k)$ 이며, rake combining된 최종 SIR $\overline{\mathcal{T}}_i(k)$ 은 식 (6)과 같다.

$$\overline{I}_i(k) = \frac{1}{N_s} \sum_{n=0}^{N_s-1} |r_i(n, k) \exp(-j\Phi(n, k)) - \overline{r}_i(k)|^2 \tag{4}$$

$$\overline{I}_i(k) = \gamma \overline{I}_i(k-1) + (1-\gamma) \overline{I}_i(k) \tag{5}$$

$$\bar{\lambda}(k) = \sum_{l=0}^{L-1} \tilde{\lambda}_l(k) \quad (6)$$

III. 페이딩 채널 환경에서의 SIR 측정 성능 열화에 대한 원인 및 해결 방안

3.1. SIR 측정 성능 열화의 원인 분석

DPCH와 CPICH가 다중화되어 전송되는 송신 신호 $S(s, k)$ 를 식 (7)에 나타내었으며, 이때 무선 채널을 통과한 수신 신호 $r(s, k)$ 는 식 (8)과 같다.

$$S(s, k) = \left[\sqrt{E_{c, cp}} \cdot \frac{G_p}{G_D} \cdot (C^I(s, k) + jC^Q(s, k)) \cdot W_{CP, |h_{N1}} + \sqrt{E_{c, dp}} \cdot (D^I(s, k) + jD^Q(s, k)) \cdot W_{DP, |h_{N2}} \cdot (S^I_{|h_M} + S^Q_{|h_M}) \right] \quad (7)$$

$$r(s, k) = \left[a(s, k) \cdot \left[\sqrt{E_{c, cp}} \cdot \frac{G_p}{G_D} \cdot (C^I(s, k) + jC^Q(s, k)) \cdot W_{CP, |h_{N1}} + \sqrt{E_{c, dp}} \cdot (D^I(s, k) + jD^Q(s, k)) \cdot W_{DP, |h_{N2}} \cdot (S^I_{|h_M} + S^Q_{|h_M}) \right] \cdot e^{j\theta(s, k)} + (n^I_k + n^Q_k) \right] \quad (8)$$

여기서 s 는 symbol index, k 는 chip index이며, $E_{c, cp}$ 와 $E_{c, dp}$ 는 각각 CPICH와 DPCH의 평균 칩 에너지이고, N_1 과 N_2 는 CPICH와 DPCH의 확산 계수(SF: Spreading Factor)이다. $C^I(s, k)$ 와 $C^Q(s, k)$, $D^I(s, k)$ 와 $D^Q(s, k)$ 는 각각 QPSK modulation된 CPICH와 DPCH의 s 번째 symbol의 n 번째 chip 신호를 나타내고 M 은 스크램블링 코드의 길이이며, G_D 와 G_p 는 DPCH와 CPICH의 채널 이득이다. 또한 $|h_{N1}$, $|h_{N2}$, $|h_M$ 은 각각 i modulus N_1 , N_2 , M 이고, $W_{CP, |h_{N1}}$ 와 $W_{DP, |h_{N2}}$ 는 CPICH와 DPCH의 OVSF 코드이며, $S^I_{|h_M} + S^Q_{|h_M}$ 은 스크램블링 코드, n^I_k 과 n^Q_k 는 $\frac{N_a}{2}$ 전력을 갖는 AWGN이고, $a(s, k)$ 와 $\theta(s, k)$ 는 각각 페이딩에 의한 랜덤 진폭과 위상이다

디스크램블링 디스프레딩 과정을 통하여 DPCH와 CPICH의 칩 신호는 각각 심볼 단위의 신호 Z_{DPCH} 와 Z_{CPICH} 는 식 (9), (10)과 같이 변환된다

$$Z_{DPCH} = \frac{1}{N_2} \sum_{k=0}^{N_2-1} [a(s, k) \cdot \sqrt{E_{c, dp}} \cdot (D^I(s, k) + jD^Q(s, k)) \cdot e^{j\theta(s, k)}] + \frac{1}{N_2} \sum_{k=0}^{N_2-1} w_{dp, k} \quad (9)$$

$$Z_{CPICH} = \frac{1}{N_1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \sqrt{E_{c, cp}} \cdot \frac{G_p}{G_D} \cdot (C^I(s, k) + jC^Q(s, k)) \cdot e^{j\theta(s, k)}] + \frac{1}{N_1} \sum_{k=0}^{N_1-1} w_{cp, k} \quad (10)$$

여기서, $w_{dp, k} = (n^I_k + n^Q_k) \cdot (S^I_{|h_M} + S^Q_{|h_M})^* \cdot W_{DP, |h_{N2}}^*$
 $w_{cp, k} = (n^I_k + n^Q_k) \cdot (S^I_{|h_M} + S^Q_{|h_M})^* \cdot W_{CP, |h_{N1}}^*$ 이다.

이후, 채널 보상된 DPCH 심볼을 경판정(hard decision)하여 결정된 $D^I(s) + jD^Q(s)$ 의 켈레 복소수(complex conjugate) 신호와 수신된 DPCH 심볼을 곱하여 tentative decision을 수행하게 된다. $(D^I(s) + jD^Q(s)) \cdot (D^I(s) + jD^Q(s))^* = 1$ 이 되므로 tentative decision 후의 DPCH 심볼은 식 (11)과 같고, SIR 측정 시의 신호 전력은 tentative decision 후의 DPCH 심볼 한 슬롯 구간에 대한 평균 전력으로 식 (12)와 같다.

$$Z_{DPCH} = \sqrt{E_{c, dp}} \cdot \frac{1}{N_2} + j \left[\sqrt{E_{c, dp}} \cdot \frac{1}{N_2} \sum_{k=0}^{N_2-1} [a(s, k) \cdot \sin \theta(s, k)] + \frac{1}{N_2} \sum_{k=0}^{N_2-1} (Z^I_{s, k} + jZ^Q_{s, k}) \right] \quad (11)$$

$$E[Z_{DPCH}]_{slot}^2 = E_{c, dp} \cdot \kappa_{DPCH} \quad (12)$$

$$\kappa_{DPCH} = \left[\left(\frac{1}{S_2} \frac{1}{N_2} \sum_{k=0}^{S_2-1} \sum_{l=0}^{N_2-1} [a(s, k) \cdot \cos \theta(s, k)] \right)^2 + \left(\frac{1}{S_2} \frac{1}{N_2} \sum_{k=0}^{S_2-1} \sum_{l=0}^{N_2-1} [a(s, k) \cdot \sin \theta(s, k)] \right)^2 \right] \quad (13)$$

위의 식 (11)의 $Z^I_{s, k} + jZ^Q_{s, k} = w_{dp, s, k} \cdot (D^I(s, k) + jD^Q(s, k))^*$ 이고, 식 (12)에서 한 슬롯 평균되어진 AWGN인 $\frac{1}{S_2} \frac{1}{N_2} \sum_{k=0}^{S_2-1} \sum_{l=0}^{N_2-1} (Z^I_{s, k} + jZ^Q_{s, k}) \cong 0$ 으로 근사화가 되었으며, S_2 는 한 슬롯내의 DPCH 심볼 수이다.

식 (13)에 주어진 페이딩의 영향에 의한 κ_{DPCH} 성분에 의해 신호 전력의 감쇄가 발생함을 식(12)를 통해 확인할 수 있으며 그림 2의 결과를 통해서 고속 이동체 환경에서 κ_{DPCH} 에 의해 DPCH의 수신 신호 전력 감쇄가 발생함을 실험적으로 입증하였다

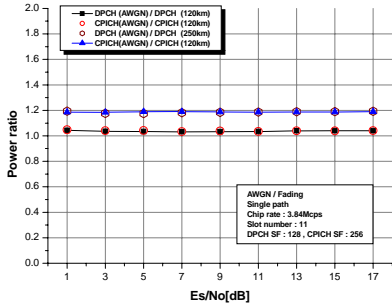


그림 2. 페이딩에 의한 감쇄된 DPCH 신호 전력과 평균 κ_{DPCH} 값

여기서, 칩 에너지인 $E_c = 1$ 로 가정하였으며, 한 슬롯 내에서 평균을 취하더라도 낮은 E_s/No 에서는 $\frac{1}{S_2} \frac{1}{N_2} \sum_{s=0}^{S_2-1} \sum_{k=0}^{N_2-1} (Z'_{s,k} + jZ''_{s,k}) \neq 0$ 으로 근사화되지 않기 때문에 κ_{DPCH} 영향과 신호 전력의 감쇄 간에 오차가 발생하나, 높은 E_s/No 에서는 AWGN 영향의 감소로 신호 전력의 감쇄와 κ_{DPCH} 가 거의 일치함을 확인할 수 있다.

3.2. 페이딩에 의한 측정 오류의 감소 방안

페이딩에 의한 DPCH의 신호 전력 감쇄를 해결하는 방안은 다음과 같다. DPCH와 다중화 되어 수신되는 CPICH는 동일한 페이딩을 겪기 때문에 DPCH와 동일한 신호 전력 감쇄 비율을 갖는다 따라서 페이딩에 의한 CPICH 신호 전력 감쇄 비율의 역수를 DPCH의 신호 전력에 적용함으로써 페이딩에 의한 DPCH 신호 전력 감쇄의 보상이 가능하다 한 슬롯내의 CPICH 심볼 수를 S_1 이라고 하면 식 (10)의 CPICH 심볼 Z_{CPICH} 의 한 슬롯 평균 전력은 식 (14)와 같이 계산이 가능하다

$$E[Z_{CPICH}]^2_{slot} = \frac{1}{2} \cdot E_{c, cp} \cdot \left(\frac{G_p}{G_D}\right)^2 \cdot \left[\left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \{ \cos \theta(s, k) - \sin \theta(s, k) \}] \right)^2 + \left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \{ \sin \theta(s, k) + \cos \theta(s, k) \}] \right)^2 \right] \quad (14)$$

$$\kappa_{CPICH} = \frac{1}{2} \cdot \left[\left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \{ \cos \theta(s, k) - \sin \theta(s, k) \}] \right)^2 + \left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \{ \sin \theta(s, k) + \cos \theta(s, k) \}] \right)^2 \right] \quad (15)$$

CPICH의 신호 전력도 DPCH의 신호 전력과 마찬가지로 식 (15)와 같은 페이딩의 영향인 κ_{CPICH} 성분 에 의해 신호 전력의 감쇄가 일어남을 알 수 있다. DPCH와 CPICH는 동일한 페이딩의 영향을 겪기 때문에 각각의 신호 전력에 영향을 미치는 κ_{DPCH} 와 κ_{CPICH} 는 동일하며, 이는 식 (16)을 통해서 확인할 수 있다

$$\kappa_{CPICH} = \frac{1}{2} \cdot \left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \cos \theta(s, k)] - \frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \sin \theta(s, k)] \right)^2 + \frac{1}{2} \cdot \left(\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \cos \theta(s, k)] + \frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \sin \theta(s, k)] \right)^2 = \left(\frac{1}{S_2} \frac{1}{N_2} \sum_{s=0}^{S_2-1} \sum_{k=0}^{N_2-1} [a(s, k) \cdot \cos \theta(s, k)] \right)^2 = \kappa_{DPCH} \quad (16)$$

위 식 (16)에서 $\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \cos \theta(s, k)]$ 와 $\frac{1}{S_2} \frac{1}{N_2} \sum_{s=0}^{S_2-1} \sum_{k=0}^{N_2-1} [a(s, k) \cdot \cos \theta(s, k)]$ 는 CPICH와 DPCH의 한 슬롯 구간에 미치는 페이딩 영향으로 동일한 2560칩 구간 동안 누적 평균된 값이기 때문에 두 값은 동일하다. $\frac{1}{S_1} \frac{1}{N_1} \sum_{s=0}^{S_1-1} \sum_{k=0}^{N_1-1} [a(s, k) \cdot \sin \theta(s, k)]$ 과 $\frac{1}{S_2} \frac{1}{N_2} \sum_{s=0}^{S_2-1} \sum_{k=0}^{N_2-1} [a(s, k) \cdot \sin \theta(s, k)]$ 역시 동일한 2560칩 구간 동안의 누적 평균으로 동일하다

그림 3과 4는 각각 고속 페이딩 환경에서의 CPICH의 신호 전력 감쇄가 κ_{CPICH} 의 영향과 페이딩의 영향에 의한 DPCH와 CPICH의 신호 전력 감쇄 비율 나타낸다.

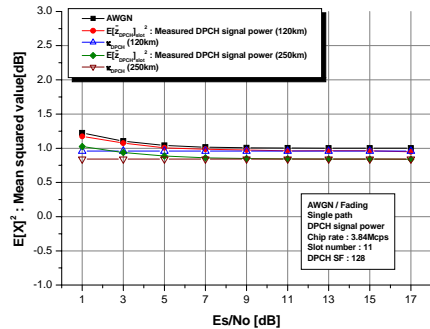


그림 3. 페이딩에 의한 감쇄된 CPICH 신호 전력과 평균 κ_{CPICH} 값

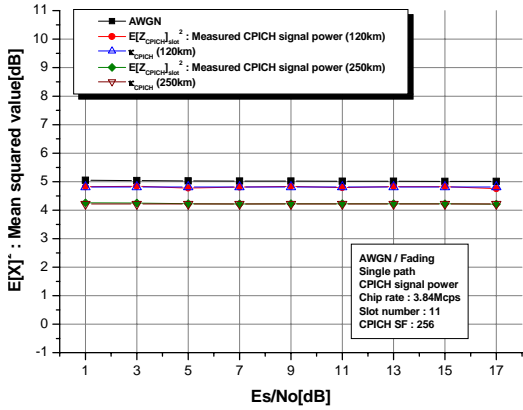


그림 4. DPCH와 CPICH의 페이딩에 의한 신호 전력 감쇄 비율

그림 3에서 CPICH는 DPCH보다 상대적으로 큰 확산 계수와 G_p 의 영향으로 AWGN의 영향이 DPCH 보다 감소하기 때문에 높은 E_s/N_0 에서 뿐 아니라 낮은 E_s/N_0 에서도 페이딩의 영향인 κ_{CPICH} 와 신호 전력의 감쇄가 일치함을 확인 할 수 있으며, 그림 4는 DPCH와 CPICH는 동일한 신호 전력 감쇄 비율을 가지며, 따라서 페이딩 영향인 κ_{DPCH} 와 κ_{CPICH} 가 동일함을 알 수 있다.

CPICH와 DPCH 사이에는 채널 이득인 G_D 와 G_p 의 비율 차이가 존재하기 때문에 식 (14)의 CPICH 신호 전력을 이용해 DPCH의 신호 전력 감쇄를 보상해주기 위해서는 물리 채널간의 전력비에 대한 영향을 제거해줄 필요가 있다 본 논문에서는 이를 위해 CPICH 심볼 Z_{CPICH} 에 대한 전력의 한 슬롯 평균을 이용하였다.

CPICH 심볼 Z_{CPICH} 에 대한 전력의 한 슬롯 평균은 다음과 같다.

$$E[(Z_{CPICH})^2]_{slot} = E_{c, cp} \cdot \left(\frac{G_p}{G_D} \right)^2 + \frac{N_a}{N_1} \quad (17)$$

$$\begin{aligned} \text{여기서 } E\left[\left(\frac{1}{N_1} \sum_{k=0}^{N_1-1} w^I |k|\right)^2\right]_{SLOT} &= E\left[\left(\frac{1}{N_1} \sum_{k=0}^{N_1-1} w^Q |k|\right)^2\right]_{SLOT} \\ &= \frac{N_2}{2N_1}, \quad E\left[\frac{1}{N_1} \sum_{k=0}^{N_1-1} w^J |k|\right]_{SLOT} = E\left[\frac{1}{N_1} \sum_{k=0}^{N_1-1} w^O |k|\right]_{SLOT} \approx 0, \\ \frac{1}{2} \left(E\left[\left(\frac{1}{N_1} \sum_{k=0}^{N_1-1} [a(k) \cdot ((\cos\theta(l, k) - \sin\theta(l, k)))]\right)^2\right]_{SLOT} \right. \\ &\left. + E\left[\left(\frac{1}{N_1} \sum_{k=0}^{N_1-1} [a(k) \cdot ((\cos\theta(l, k) + \sin\theta(l, k)))]\right)^2\right]_{SLOT} \right) \approx 1 \end{aligned}$$

식 (17)을 통하여 CPICH 심볼에 대한 전력 평균은 대부분 AWGN의 영향만 받는다는 것을 알 수 있고, 그림 5에 이러한 현상에 대한 실험 결과를 제시하였다.

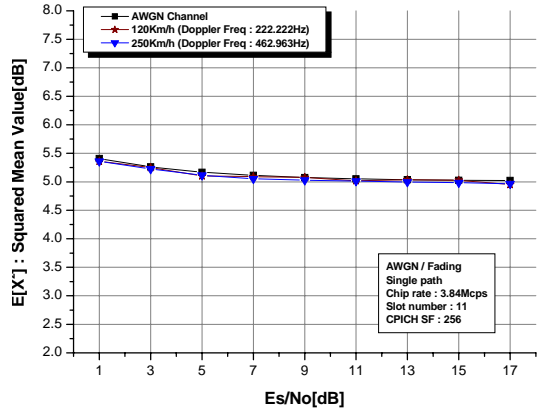


그림 5. CPICH 심볼을 제공한 후의 평균 전력

CPICH 심볼의 한 슬롯 평균 전력인 식 (14)와 CPICH 심볼에 대한 전력의 한 슬롯 평균인 식 (17)의 비율을 $\hat{\delta}(l, k)$ 는 다음과 같이 계산된다

$$\hat{\delta}(l, k) = \frac{E[(Z_{CPICH})^2]_{slot}}{E[Z_{CPICH}]^2_{slot}} = \frac{1}{\kappa_{CPICH}} + \frac{1}{\kappa_{CPICH}} \cdot \frac{N_a}{N_1} \quad (18)$$

CPICH의 상대적으로 큰 확산 계수와 채널 이득 G_p 에 의하여 AWGN의 영향이 큰 비율로 감소하기 때문에 $\frac{N_a}{N_1} \approx 0$ 으로 근사화하면 식 (18)은 식 (19)와 같이 표현되고 이를 DPCH의 신호 전력에 적용하면 식 (20)과 같다.

$$\hat{\delta}(l, k) = \frac{1}{\kappa_{CPICH}} \quad (19)$$

$$E[Z_{DPCH}]^2_{slot} \cdot \hat{\delta}(l, k) = E_{c, cp} \cdot \kappa_{DPCH} \cdot \frac{1}{\kappa_{CPICH}} = E_{c, cp} \quad (20)$$

식 (20)을 통하여 CPICH의 신호 전력 감쇄 비율을 측정된 DPCH 신호 전력 값에 적용함으로써 페이딩에 의한 신호 전력 감쇄의 보상이 가능하다.

그림 6은 $\hat{\delta}(l, k)$ 에 의해서 페이딩에 의한 DPCH의 신호 전력 감쇄의 보상을 나타내었다.

낮은 E_s/N_0 에서는 AWGN의 영향으로 보상된 신호 전력이 다소 크게 측정되지만 E_s/N_0 가 높아 질수록 페이딩에 의한 DPCH의 신호 전력 감쇄가 정확하게 보상됨을 확인 할 수 있다.

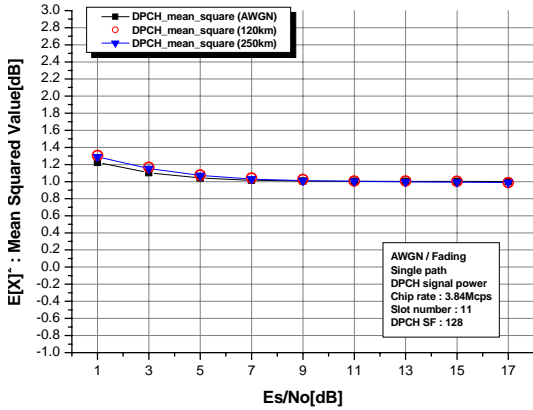


그림 6. $\hat{\sigma}(l, k)$ 에 의해 보상된 DPCH 신호 전력

IV. CPICH와 DPCH를 사용한 개선된 SIR 측정 알고리즘

그림 7은 본 논문에서 제안하는 개선된 SIR 측정 알고리즘 구조를 나타낸다. 본 논문에서 제안하는 SIR 측정 방식은 DPCH의 dedicated pilot 심볼을 사용한 채널 추정대신 속도 정합형 IIR타입의 channel estimator를 적용함으로써 DPCH의 채널 보상으로 인한 processing delay를 최소화하였으며^[6], 채널 보상된 DPCH 심볼의 분산을 계산함으로써 간섭 전력을 측정한다.

신호 전력은 채널 추정된 DPCH의 한 슬롯 구간을 누적함으로써 얻어지며 CPICH의 신호 전력 감쇄 비율을 DPCH에 적용하여 신호 전력의 감쇄를 보상한다. 측정 jitter 성능을 개선 및 구현의 복잡도를 고려하여 추가적으로 1차 IIR 타입의 LPF 필터를 적용하였다.

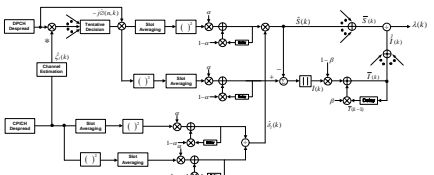
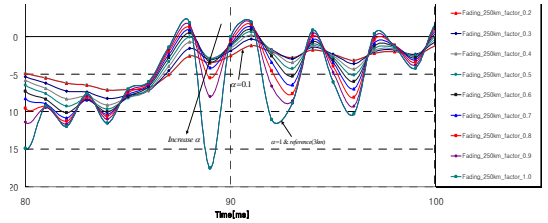


그림 7. 개선된 SIR 측정 알고리즘 블록도

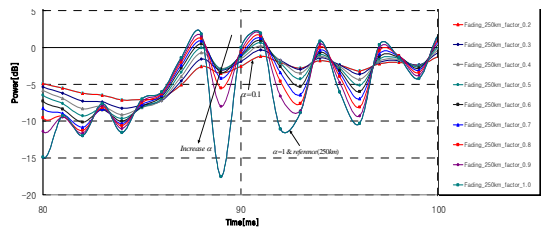
필터 적용 시 SIR 측정 시점에서의 페이딩 영향을 올바르게 반영할 수 있는 필터 계수 α 값 설정이 요구된다. 필터 계수 α 가 적은 경우 SIR 측정 이전 시점의 페이딩 영향이 반영되어 SIR 측정의 페이딩 영향을 제거할 수 없으며 반대로 α 가 클 경우는 측정 jitter가 증가하기 때문이다.

그림 8은 필터 계수 α 를 0.1에서 1까지 0.1씩 증가 시켰을 경우의 도플러 주파수에 따른 DPCH 페이딩 전력의 측정 결과를 나타낸다. 필터 계수가 1로 근접할수록 페이딩 영향을 더 정확히 반영하며 0.5이하의 필터 계수가 적용될 경우 페이딩 영향을 제대로 반영하지 못하는 것을 확인할 수 있다.

그림 9는 필터 적용 시 측정된 SIR의 평균 특성의 왜곡을 최소화할 수 있는 필터 계수의 설정을 위해 E_s/N_0 가 15.8dB와 9dB인 경우의 필터 계수에 따른 측정된 평균이다. 필터 계수 0.7이 기준 E_s/N_0 에 가장 근접함을 확인할 수 있다. 따라서 본 논문에서는 필터 계수에 따른 측정된 페이딩 전력 레벨과 평균 특성을 기반으로 하여 페이딩 영향을 반영하면서 측정되는 신호 전력과 간섭 전력의 안정도를 고려하여 필터 계수 α 를 0.7로 설정하였다.



(a) Doppler frequency 5.55Hz (3km)



(b) Doppler frequency 462.963Hz (250km)

그림 8. 필터 계수에 따른 페이딩 전력 레벨

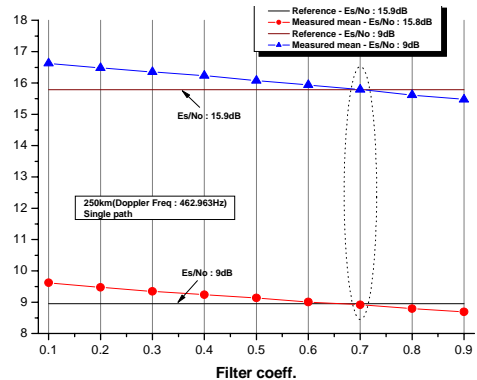


그림 9. 필터 계수에 따른 측정된 SIR의 mean

DPCH의 OVFS 부호인 $W_{ch, SF_{DPCH,k}}$ 와 곱해진 l 번째 경로의 k 번째 슬롯의 n 번째 심볼을 $d_{l,n,k}$, CPICH의 OVFS 부호인 $W_{ch, SF_{CPICH,k}}$ 와 곱해진 l 번째 경로의 k 번째 슬롯의 n 번째 심볼을 $c_{l,n,k}$ 라 하면 필터를 통과한 DPCH의 신호 전력 $\bar{S}_{dp,i}(k)$ 은 식 (21)과 같고, SIR 측정을 위한 DPCH의 신호 전력 $\hat{S}_{dp,i}(k)$ 은 식 (22)와 같다.

$$\bar{S}_{dp,i}(k) = (1-\alpha) \cdot \bar{S}_{dp,i}(k-1) + \alpha \cdot \left| \frac{1}{S_2} \left[\sum_{n=0}^{N_s} d_{l,n,k} e^{-j\pi/4} + \sum_{n=N_s}^{S_1-1} d_{l,n,k} e^{-j\Phi(n,k)} \right] \right|^2 \quad (21)$$

$$\hat{S}_{dp,i}(k) = \bar{S}_{dp,i}(k) \cdot \hat{\Phi}_i(k) \quad (22)$$

여기서, 식 (21)의 $\Phi(n,k)$ 는 tentative decision을 위한 위상으로서 채널 추정을 통해서 채널 보상된 DPCH 심볼 $\hat{d}_{l,n,k}$ 이 식 (23)과 같으면, $\Phi(n,k)$ 는 식 (24)와 같이 표현된다

$$\hat{d}_{l,n,k} = \sum_{m=0}^{L-1} d_{l,n,k} \cdot \hat{\tau}_l(k)^*, 0 \leq n \leq M-1 \quad (23)$$

$$\hat{\Phi}(n,k) = \max [\Phi \in \{m\pi/2; m = 0-3\}, \text{Re}[\hat{d}_{l,n,k} e^{-j\Phi}] + \frac{\pi}{4}] \quad (24)$$

식 (22)의 $\hat{\Phi}_i(k)$ 는 페이딩 영향에 의한 DPCH의 신호 전력 감쇄를 보상하기 위한 CPICH 신호의 전력비로서 $E[(Z_{CPICH})^2]_{slot}$ 과 $E[Z_{CPICH}]_{slot}^2$ 의 필터 통과 후의 신호 $\bar{U}_{cp,i}(k)$ 과 $\bar{S}_{cp,i}(k)$ 를 각각 식 (25), (26)이라 하면 $\hat{\Phi}_i(k)$ 는 (27)과 같다.

$$\bar{U}_{cp,i}(k) = (1-\alpha) \cdot \bar{U}_{cp,i}(k-1) + \alpha \cdot \left| \frac{1}{S_1} \left[\sum_{n=0}^{S_1-1} [c_{l,n,k}]^2 \right] \right| \quad (25)$$

$$\bar{S}_{cp,i}(k) = (1-\alpha) \cdot \bar{S}_{cp,i}(k-1) + \alpha \cdot \left| \frac{1}{S_1} \left[\sum_{n=0}^{S_1-1} [c_{l,n,k}]^2 \right] \right| \quad (26)$$

$$\hat{\Phi}_i(k) = \frac{\bar{U}_{cp,i}(k)}{\bar{S}_{cp,i}(k)} \quad (27)$$

간섭 전력 $\hat{I}_i(k)$ 는 DPCH 제공 신호의 평균 전

력을 이용하여 측정하며, DPCH 제공 신호의 평균 전력과 간섭 전력은 식 (28), (29)와 같다.

$$\bar{U}_{dp,i}(k) = (1-\alpha) \cdot \bar{U}_{dp,i}(k-1) + \alpha \cdot \left| \left[\frac{1}{M} \sum_{n=0}^{M-1} [s_{l,n,k} e^{-j\Phi(n,k)}]^2 \right] \right| \quad (28)$$

$$\hat{I}_i(k) = \bar{U}_{dp,i}(k) - \hat{S}_{dp,i}(k) \quad (29)$$

Forgetting factor인 β 가 0.99375인 필터를 통과한 간섭 전력은 식 (30)과 같고^[5], SIR을 측정하기 전에 신호 전력과 간섭 전력은 각각 rake combining 되고 식 (31)과 같다. 최종적으로 측정된 SIR은 식 (32)와 같다.

$$\bar{I}_i(k) = \beta \bar{I}_i(k-1) + (1-\beta) \hat{I}_i(k) \quad (30)$$

$$\bar{I}(k) = \sum_{l=0}^{L-1} \bar{I}_l(k), \quad \bar{S}(k) = \sum_{l=0}^{L-1} \hat{S}_l(k) \quad (31)$$

$$\bar{X}(k) = \hat{S}_i(k) / \bar{I}_i(k) \quad (32)$$

V. 컴퓨터 모의 실험 결과

시스템 사양은 3GPP 규격에 맞추어서 설정하였고^[7], 모의 실험을 위한 파라미터는 표 1과 같다.

표 1. 컴퓨터 모의 실험 환경

Channel environment	AWGN / Fading channel
Doppler frequency	5.55(Hz) / 92.593(Hz) / 222.222(Hz) / 462.963(Hz)
Mobile speed	3km/50km/120km/250km
Modulation	QPSK
Channel estimation	CPICH channel estimation
SIR measurement algorithm	Enhanced SIR measurement algorithm & NTT DoCoMo algorithm
Chip rate	3.84Mcps
Slot format	11
DPCH/CPICH SF	128 / 256
Path number	Singlepath / multipath
Channel coding	Uncoded

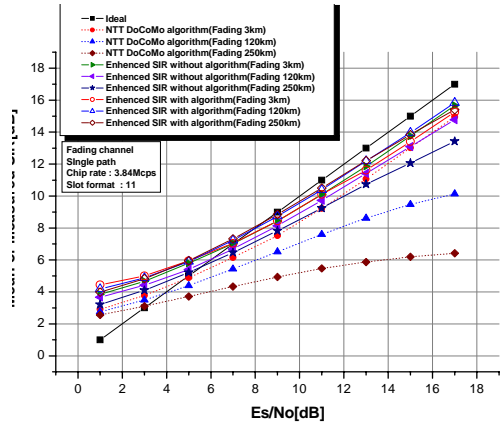
그림 10은 개선된 SIR 측정 알고리즘의 LPF 사용 유무 그리고 NTT DoCoMo SIR 측정 알고리즘

의 SIR의 측정 mean과 jitter 성능을 나타낸 것이다. 개선된 SIR 측정 알고리즘의 LPF 적용 유무에 따른 측정된 SIR의 mean은 저속 이동체 환경에서는 거의 유사하나 고속 이동체 환경에서는 필터 적용을 통하여 페이딩 영향이 감소되므로 측정된 SIR의 mean은 필터를 적용하지 않았을 경우보다 약 0.5~1dB의 측정 성능 향상을 보인다. 측정 jitter의 경우 저속 이동체 환경에서는 필터를 적용했을 시에 낮은 Es/No에서 약 0.5dB의 성능 향상이 있음을 확인할 수 있고, 고속 이동체 환경에서의 jitter 특성은 필터를 적용한 경우가 약 1dB의 향상이 있다. 페이딩 환경에서 Es/No가 증가할수록 측정 SIR의 jitter가 증가하는 현상은 페이딩으로 인한 신호의 영향은 동일하나 잡음이 감소하므로 SIR 계산 시 상대적인 증가로 인한 것이며 이러한 현상은 이후의 성능 평가 결과에도 동일하게 나타난다.

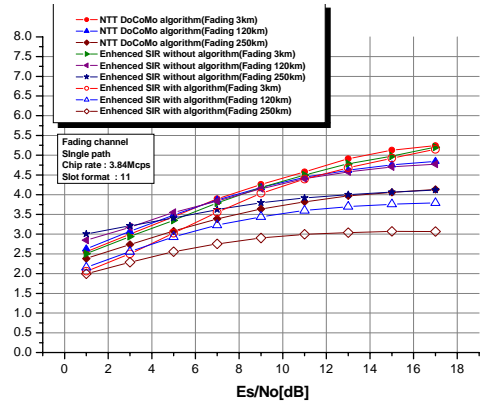
개선된 SIR 측정 알고리즘과 NTT DoCoMo 방식의 SIR 측정 알고리즘 성능 비교 시 저속 이동체 환경에서의 측정된 SIR의 mean은 제안된 알고리즘이 NTT DoCoMo 방식보다 약 1dB의 측정 오차 감소에 따른 성능 향상을 보임을 확인할 수 있으며, 고속 이동체 환경에서의 측정된 SIR의 mean의 경우 NTT DoCoMo 방식의 SIR 측정 성능이 Es/No가 커질수록 최대 약 10dB의 SIR 측정 오차를 보이는 데 반하여 본 논문에서 제시하는 SIR 측정 알고리즘은 고속 이동체 환경에서도 SIR 측정 오차가 2dB 이내로서 NTT DoCoMo 방식에 비해 최대 약 8dB의 SIR 측정 오차가 감소된 우수한 성능을 보인다. 측정 jitter 역시 NTT DoCoMo 방식과 비교하여 제안된 알고리즘이 약 2dB의 성능 향상이 있음을 확인할 수 있다.

그림 11과 12는 각 경로의 전력비는 동일하고 1 chip 구간의 지연을 갖는 다중 경로 페이딩 환경일 경우의 저속 이동체(3km)와 고속 이동체(250km)에 대한 제안된 알고리즘의 mean과 jitter 특성이다. 그림 11(a)와 그림 12(a)는 동일 전력비를 갖는 다중 경로 페이딩 환경에서 이동체 속도에 따른 평균 특성을 나타낸다. 경로가 증가할수록 일정한 오프셋을 가지며 측정되는 SIR의 평균값이 작아지는 것을 확인할 수 있다. 이는 식 (31)과 같이 신호 전력은 경로의 수와 관계없이 일정한 반면에 간섭 전력은 패스 수의 증가에 따라 일정하게 증가하기 때문으로서 전력 제어 시에 측정된 SIR의 값에 경로 수에 따른 오프셋을 고려한 mapping table을 통해 전력 제어가 가능하다. 그림 11(b)와 그림 12(b)는 이동체

속도에 따른 다중 경로에서의 jitter 특성을 나타내며 경로수가 증가하면 jitter 특성은 향상된다.

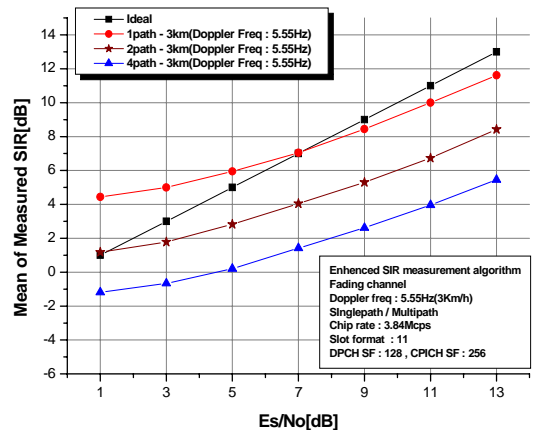


(a) 측정된 SIR의 mean 특성

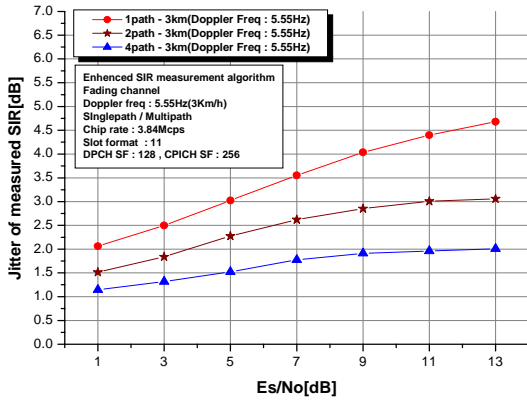


(b) 측정된 SIR의 jitter 특성

그림 10. 측정된 SIR의 mean과 jitter 특성

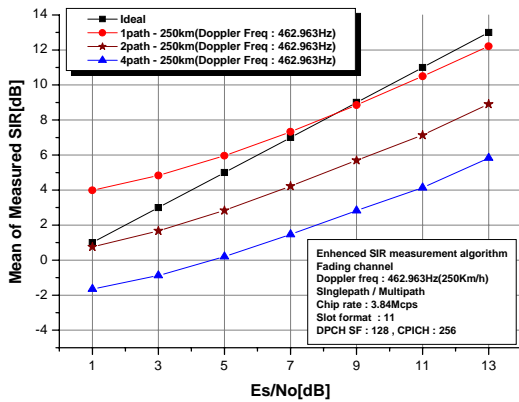


(a) 측정된 SIR의 mean 특성

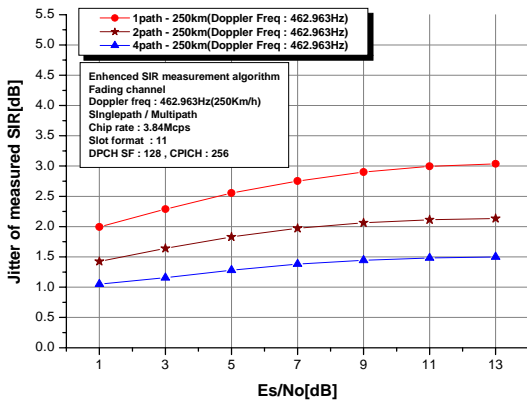


(b) 측정된 SIR의 jitter 특성

그림 11. 개선된 알고리즘의 다중 경로 저속 페이딩 환경에서의 성능 (3km/h)



(a) 측정된 SIR의 mean 특성



(b) 측정된 SIR의 jitter 특성

그림 12. 개선된 알고리즘의 다중 경로 고속 페이딩 환경에서의 성능 (250km/h)

VI. 결론

본 논문에서는 CPICH를 이용하여 DPCH의 페이

딩에 의한 신호 전력 감쇄를 보상함으로써 이동체 환경에서의 SIR 측정 시 발생하는 오차를 줄일 수 있고, 페이딩 환경을 반영할 수 있는 필터 계수 설정을 통하여 필터를 도입함으로써 jitter 특성 역시 향상시킬 수 있는 개선된 SIR 측정 알고리즘을 제안하였다. 제안된 알고리즘은 무선 이동 채널 환경에서 SIR 측정 오차가 2dB 이내로서 NTT DoCoMo의 SIR 측정 방식의 최대 측정 오차인 10dB에 비해 약 8dB의 측정 오차가 감소하는 월등히 우수한 성능을 보였으며, jitter 특성 역시 약 2dB의 성능 향상을 보임을 확인하였다.

본 논문에서 제안된 SIR 측정 알고리즘을 통한 SIR 측정 성능의 향상은 전력 제어 성능을 향상시킬 수 있을 뿐 아니라 HSDPA에서의 MCS 레벨을 선택하기 위한 신뢰성 있는 채널 상태 정보로서 사용 가능할 것으로 예상된다.

참고 문헌

- [1] Ariyavisitakul and Li. Fing. Chang, "Signal and Interference Statistics of a CDMA System with Feedback Power Control," *IEEE Trans. Comm.*, Vol. 41, Issue. 11, pp.1626-1634, Nov. 1993.
- [2] Sang-Mun Lee, Hyung-Jin Choi, "An Efficient SIR Estimation and Channel Estimation Algorithm considering Power control in CDMA Systems," 제 25권, 7호, *한국통신학회*, pp.1194-1195, July 2000.
- [3] Shunsuke Seo, Tomohiro Dohi and Fumiyuki Adachi, "SIR-Based Transmit Power Control of Reverse Link for Coherent DS-CDMA Mobile Radio," *IEICE Trans. Comm.*, Vol. E81-B, No. 7, pp1508-1516, July 1998.
- [4] Fahrner, Dieterich and Fray, "SIR estimation for fast power control for FDD-UMTS," *IEEE conf. on VTC*, Vol. 2, 24-28, pp1274-1278, Sept. 2002
- [5] Kenichi Higuchi, Hidehiro Andoh, Koichi Okawa and Mamoru Sawahashi, "Experimental Evaluation of Combined Effect of Coherent Rake Combining and SIR-Based Fast Transmit Power Control for Reverse Link of DS-CDMA Mobile Radio," *IEEE JSAC*, Vol.18, No.8, pp.1526-1535, Aug. 2000.

- [6] Joo-Hyun-Do, Yang-Soo-Park and Hyung-Jin Choi, "Velocity Estimation-Based Channel Estimation for WCDMA Forward Link Receiver," *IEEE TENCON*, November 2004.
- [7] 3GPP Technical Specification Group Radio Access Network TS. 25.104, 25.211, 25.213 Release 2003.

한 정 수(Jung-Su Han)

준회원



2004년 2월 성균관대학교 정보통신공학부 졸업
 2004년 3월~현재 성균관대학교 전자공학과 석사과정
 <관심분야> 이동통신, MODEM 동기화 기술

최 형 진(Hyung-Jin Choi)

정회원



1974년 2월 서울대학교 전자공학과 졸업
 1974년 2월 한국과학기술원 전기전자공학과 석사
 1976년 3월~1979년 7월 (주)금성사 중앙연구소 연구원
 1979년 9월~1982년 12월 미국

University of Southern California 전기공학과 (공학박사)

1982년 10월~1989년 2월 미국 Lincom Corp. 연구원

1989년 3월~현재 성균관대학교 정보통신공학부 교수

<관심분야> 디지털 통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 MODEM 기술

도 주 현(Joo-Hyun Do)

정회원



2001년 2월 성균관대학교 전자공학과 졸업
 2003년 2월 성균관대학교 전지전자 및 컴퓨터 공학과 석사
 2003년 3월~현재 성균관대학교 전자공학과 박사과정

<관심분야> 무선통신, 이동통신, MODEM 동기화 기술