

CCK 무선랜 모뎀을 위한 Channel Matched Filter 기반의 RAKE 수신기

준회원 이 유 성*, 정회원 박 현 철*

A Rake receiver for CCK wireless LAN modem based on Channel Matched Filter

Yusung Lee* *Associate Member*, Hyuncheol Park* *Regular Member*

요 약

본 논문에서는 지연 확산이 큰 다중 무선랜 채널에 적합한 CMF (Channel Matched Filter) 기반의 CCK (Complementary Code Keying) RAKE 수신기를 제안한다. 제안된 수신기는 CMF-DFE (CMF-Decision Feedback Equalizer) 구조에, ISI (Inter-Symbol Interference) 성분 및 ICI (Inter-Chip Interference) 성분을 제거하기 위한 심볼 단위 DFE 구조가 병렬로 연결된 구조를 가진다 또한, 복조된 CCK 코드를 이용하여 ICI와 ISI의 계산하기 때문에, CCK 칩 기반의 CMF-DFE 수신기와는 달리 CCK 코드의 에러 정정능력을 이용할 수 있으며 심볼 단위의 DFE 구조를 이용하여 ISI 와 ICI를 동시에 제거할 수 있는 장점을 가지고 있다 제안된 수신기의 성능은 다중 경로 채널 환경하에서 비트 오류 확률(Bit Error Rate, BER) 성능을 통해 기존의 수신기와 비교를 통해 평가된다.

Key Words : CCK, WLAN, RAKE receiver, CMF

ABSTRACT

In this paper, we propose a new type of RAKE receiver for complementary code keying (CCK) codes, which is suitable for the multipath channel with large delay spread. Our proposed system is based on channel matched filter (CMF) with decision feedback equalizer (DFE) and contains codeword DFE structure. In our system, inter chip interference (ICI) and inter symbol interference (ISI) generated due to multipath environments are calculated by using detected CCK codeword. Also it uses the error correcting capability of CCK codes, and it can remove ISI and ICI at the same time.

I. 서 론

무선랜 (Wireless LAN)은 기존 통신 기술이 갖고 있는 취약성을 보완할 수 있는 특성을 가지고 있다. 통신 속도 면에서 장점을 가지고 있는 기존 유선망의 이점과 더불어 무선랜은 이동성을 제공하기 때문에 현재 무선랜의 사용은 급속도로 증가되

고 있다.

무선랜은 1991년 처음으로 Working Group이 형성되어 논의가 시작된 이후, 1997년에 IEEE 802.11 무선랜 표준이 완성되었다. 제안된 IEEE 802.11 표준은 초기 다양한 표준으로 인한 호환성 문제로 큰 호응을 얻지 못하다가, 1998년 Harris Semiconductor와 Lucent Technologies가 제안한 CCK 코드

* 한국정보통신대학교 공학부 정보전송연구실({diotima, hpark}@icu.ac.kr)

논문번호 : KICS2004-11-270, 접수일자 : 2004년 6월 26일

를 기반으로 하여 2.4GHz ISM 대역 (Industrial, Scientific and Medical band)에서 최대 11Mbps 까지 전송률을 올리는 DSSS(Direct Sequence Spread Spectrum) 방식의 802.11b 규격이 IEEE에 의해 채택됨으로써 무선랜 시장은 활성화 되었다[1]. 추후 전송 속도를 높이기 위하여 2.4GHz 대역에서 IEEE802.11a과 유사한 54Mbit/s의 전송 속도를 낼 수 있는 IEEE 802.11g 무선랜이 새로운 표준으로 채택되어 현재 표준으로 사용되고 있으며 IEEE 802.11b와의 호환성을 위하여 OFDM(Orthogonal Frequency Division Multiplexing)과 더불어 CCK가 동시에 지원하고 있다

무선랜의 주된 사용 환경은 사무실 가정과 같은 실내 채널 환경에서 사용된다 일반적으로 실내 환경에서는 다중 경로를 통해 수신된 신호가 성능의 주된 성분으로 작용한다 다중 경로를 통과한 신호는 각 경로에 따라 시간 지연을 겪으며 지연에 따른 위상 성분 및 에너지의 손실을 경험한다 따라서 무선랜 수신기는 다중 경로에 의한 손실을 보상하도록 구현되어야 하며, RAKE 수신기는 이에 대한 좋은 해결책이라 할 수 있다

RAKE 수신기는 다중 경로를 통해 수신되는 각각의 신호들을 독립적으로 결합함으로써 낮은 신호 대 잡음비 (Signal to Noise Ratio, SNR)에서도 보다 나은 성능을 얻을 수 있으며 또한 페이딩 현상을 경감 시킬 수 있다는 장점을 가지고 있다 이러한 장점들로 인해 주로 자기 상관(Auto-correlation) 특성이 우수한 DSSS 기법의 시스템에 주로 이용되어 왔다. 그러나, CCK는 일반적인 형태를 지닌 즉 지연기와 상관기, 결합기로 구성된 RAKE 수신기를 사용하는 데에는 여러 가지 제약이 따른다 첫째로, 일반적인 방식의 RAKE 수신기를 사용하기 위해서는 CDMA 방식에 사용되는 PN (Pseudo Noise) 코드와 같이 우수한 상관 특성을 가지고 있어야 하나 CCK 코드는 덜 우수한 자기 상관 특성을 가지고 있으며, 둘째로, CCK 코드는 8칩으로 구성된 64가지 (ϕ_1 을 고려한다면, 총 256가지)의 코드 집합으로 이루어져 있기 때문에 다수의 상관기 블록이 필요로 한다. 따라서 상관기 블록과 그 출력 신호를 합하는 결합기로 구성된 일반적인 방식의 RAKE 수신기는 CCK 수신기에 적절치 않다[2],[3].

위와 같은 문제는 상관기 블록의 입력 단에서 다중 경로의 신호를 합하는 개념인 CMF 구조를 도입함으로써 해결될 수 있다 기존의 RAKE 수신기와는 달리, 상관기 입력 단에서 다중 경로를 통해 수

신되는 신호를 합함으로써 단일 상관기로 구현이 가능하다. 또한, CMF는 채널 응답(Channel Impulse Response)에 따라 채널을 보상하고 채널의 영향을 최소화하기 때문에 성능 향상에도 도움이 된다 따라서, CCK 수신기에 CMF 개념의 적용은 일반적인 RAKE 수신기 사용으로 인해 야기되는 시스템의 복잡도를 줄일 수 있으며 이 기법과 더불어 등화기법을 적용한다면 수신기의 성능 향상에 좋은 방법이 되겠다[2]. CCK RAKE 수신기로 CMF와 CCK 상관 수신기가 결합된 구조 ISI 등화기가 결합된 구조, 그리고 CMF 구조에 CCK 칩 단위 DFE 구조가 결합된 수신기 등 여러 형태의 구조가 제안되었다[2],[4]. 본 논문에서는 위와 같은 기존의 방식을 기반으로 큰 지연 확산을 갖는 다중 경로 채널에 적합한 등화기법을 결합한 CMF 기반의 CCK RAKE 수신기를 제안한다.

본 논문은 다음과 같이 구성되어 있다 2 장에서는 무선랜 표준에 사용되는 CCK 코드에 대해 설명하며, 3장에서는 CCK 수신기 구조 및 AWGN (Additive White Gaussian Noise) 채널하의 수신기 성능을 분석하고 무선랜 채널 환경에 따른 CCK RAKE 수신기에 대해 설명한다 그리고 4 장에서는 본 논문을 통해 제안된 RAKE 수신기 구조에 대해 설명한다. 마지막으로 모의 실험을 통해 제안된 수신기에 대한 성능 결과를 비교 본 논문에 대한 결론을 맺는다.

II. CCK 코드

IEEE 802.11b 표준 무선랜에서 사용하는 CCK 코드는 1951년 Marcel J. E. Golay에 의해 제안된 보수 코드 (Complementary Code)의 한 형태로서 다상 보수 코드 (Poly-phase Complementary Code)의 한 종류이다[5]. 일반적인 보수 코드는 다음과 같이 독특한 자기 상관 특성을 갖는다 [6].

$$\frac{1}{M} \sum_{k=1}^M \phi_{k,k}^a(n) = \delta(n) \quad (1)$$

여기서 상관함수 $\phi_{k,k}^a(n)$ 은 다음과 같이 정의된다

$$\phi_{k,k}^a(n) = \begin{cases} \frac{1}{N} \sum_{i=1}^{N-n} a_{k,i} a_{k,i+n}^* & \text{if } 0 \leq n \leq N-1 \\ \frac{1}{N} \sum_{i=1}^{N+n} a_{k,i} a_{k,i-n}^* & \text{if } -N+1 \leq n \leq 0 \\ 0 & \text{otherwise } |n| \geq N \end{cases} \quad (2)$$

위와 같은 상관 특성을 갖는 CCK는 IEEE 802.11b 표준의 5.5Mbps, 11 Mbps의 고속 데이터 전송을 위한 표준 변조 방식으로 사용되고 있다.

IEEE 802.11b 표준에서 사용되는 CCK 코드는 다음 식과 같이 8 칩으로 구성된다 [1]:

$$c = \left(e^{j(\varphi_1 + \varphi_2 + \varphi_3 + \varphi_4)}, e^{j(\varphi_1 + \varphi_3 + \varphi_4)}, e^{j(\varphi_1 + \varphi_2 + \varphi_4)}, e^{-j(\varphi_1 + \varphi_4)}, e^{j(\varphi_1 + \varphi_2 + \varphi_3)}, e^{j(\varphi_1 + \varphi_3)}, e^{-j(\varphi_1 + \varphi_2)}, e^{j(\varphi_1)} \right), \quad (3)$$

여기에서 $\varphi_n \in \{0, \pi/2, \pi, -\pi/2\}$, ($n=1, 2, 3, 4$)이며, $\varphi_1 - \varphi_4$ 성분은 8 비트 입력 데이터 중 각 2 비트에 의해 결정된다. $\varphi_2 - \varphi_4$ 는 하위 6 비트의 QPSK (Quadrature Phase Shift Keying) 변조를 통해 결정되며, φ_1 성분은 상위 2 비트의 DQPSK (Differential-QPSK) 변조를 통해 얻어진다. 위식에서도 알 수 있듯이, φ_1 성분은 모든 칩에 더해진 것을 볼 수 있다. 따라서 CCK 코드는 φ_2, φ_3 와 φ_4 으로 구성된 총 64 개의 코드 집합에, φ_1 의 위상을 더하여 총 256개의 코드 집합으로 구성됨을 알 수 있다.

CCK 코드는 Walsh/Hadamard 함수를 사용하여 FWT(Fast Walsh Transform) 구조로 생성될 수 있다. 이 FWT 구조는 CCK 상관 수신기로 변형되어 사용되며, 저 복잡도의 수신기 구현을 가능케 한다.

III. CCK 수신기 구조 및 성능

3.1 CCK 수신기 구조 및 AWGN 채널하의 성능

CCK 코드는 크게 세가지 방법을 통해 복조될 수 있다. 첫째로, 총 256 개의 코드 집합에 대한 상관 수신기를 필요로 하는 최대 우도법 (Maximum Likelihood method)을 이용하여 복조될 수 있다 [2]. 이 방식은 최적 방법으로 알려져 있으나, 높은 복잡도를 가진다. 둘째, 준최적 방법으로 CCK 칩 위상 성분의 조합을 통한 복조 방법이 존재한다 [7]. 마지막으로 CCK 코드의 FWT 구조를 이용한 방식이 존재한다. 이 방식은 그림 1과 같이 변형된 FWT 구조를 이용한 상관 출력값의 최대 절대치 검출부와 위상 검출기로 구성되며, 최적 방식에 비해 낮은 복잡도를 가진다 [2]. 본 논문에서는 세 번째 방식을 이용한 수신기 구조를 사용하였다. 우선 이 방식의 AWGN 채널에서의 성능을 평가한다.

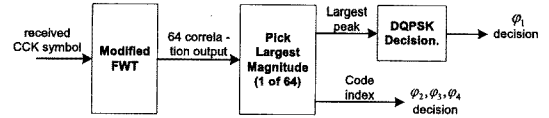


그림 1. 변형된 FWT 구조를 이용한 CCK 수신기 구조

만약 코드워드 s_i 이 전송되었을 경우, 상관 수신기의 출력, 즉 판정기로의 입력값은 다음 식과 같이 표현될 수 있다.

$$r_m = \rho_m e^{j\varphi_1} \sqrt{E_s} + n_m, \quad m = 1, 2, \dots, M \quad (4)$$

여기서 ρ_m 은 코드워드 \tilde{s}_1 과 \tilde{s}_m 간의 상호 상관 계수를 뜻하며, \tilde{s} 는 코드워드 s 에서 φ_1 를 제외한 성분을 나타낸다. E_s 는 CCK 코드워드의 에너지, n_m 은 복소 가우시안 랜덤 변수, M 은 CCK 상관 수신기 출력값의 개수, 즉 CCK 코드 집합의 개수인 64를 뜻한다.

수신된 신호의 판정은 상관 수신기 출력값의 절대치, 즉 $R_m = |r_m|$ 에 근거하기 때문에, 이 값의 확률 분포를 이용하여 CCK 수신기의 성능 수식을 얻을 수 있다. 여기서 R_m 은 다음과 같이 라이시안 분포 (Ricean distribution)를 갖는 랜덤 변수로 표현된다.

$$p(R_m) = \frac{R_m}{\sigma^2} \exp\left(-\frac{R_m^2 + \beta_m^2}{2\sigma^2}\right) I_0\left(\frac{R_m \beta_m}{\sigma^2}\right), \quad m = 1, 2, \dots, M \quad (5)$$

여기서 $\beta_m = \rho_m \sqrt{E_s}$, $\sigma^2 = N \cdot N_0/2$ (여기서 N 은 CCK 칩의 수), 그리고 $I_0(x)$ 는 제 1종 영차 수정 베셀 함수(Zero-order modified Bessel function of the first kind)이다.

R_1 과 R_m 은 통계적으로 상관값을 갖기 때문에, 오류 확률, 즉 짝 오류 확률(Pairwise Error Probability)은 다음 식과 같이 이중 적분으로 표현된다.

$$P(\tilde{s}_1 \rightarrow \tilde{s}_m) = P(R_m > R_1) = \int_0^\infty \int_{x_1}^\infty p(x_1, x_2) dx_1 dx_2 \quad (6)$$

여기서 $p(x_1, x_2)$ 는 R_1 과 R_m 의 결합 확률 밀도 함수 (Joint probability density function)이다.

또한, 위 식은 또한 다음과 같이 표현이 가능하다.

$$P(R_m > R_1) = P(R_m^2 > R_1^2) = P(R_m^2 - R_1^2 > 0) \quad (7)$$

여기서 $R_m^2 - R_1^2$ 은 복소 가우시안 (Complex-valued Gaussian) 랜덤 변수의 일반적인 이차 형태로써, 위 식은 다음 식과 같이 간략히 표현될 수 있다[8].

$$P(\tilde{\mathbf{s}}_1 \rightarrow \tilde{\mathbf{s}}_m) = Q_1(a_m, b_m) - \frac{1}{2} \exp\left(-\frac{a_m^2 + b_m^2}{2}\right) I_0(a_m b_m) \quad (8)$$

단, $Q_1(a, b)$ 는 Marcum의 Q 함수이며, a_m 과 b_m 은 각각 다음과 같이 정의된다

$$\begin{cases} a_m = \sqrt{4 \frac{E_b}{N_0} (1 - \sqrt{1 - |\rho_m|^2})} \\ b_m = \sqrt{4 \frac{E_b}{N_0} (1 + \sqrt{1 - |\rho_m|^2})} \end{cases} \quad (9)$$

표 1. CCK 코드의 상호 상관값의 분포

상호 상관 계수 (ρ)	코드 워드의 개수
1	1
$\sqrt{2}/2$	6
1/2	12
$\sqrt{2}/4$	8
0	37

표 1은 ϕ_1 을 제외한 64 가지의 CCK 코드의 상호 상관값의 분포를 나타낸다 CCK 코드의 비트 오류 확률 및 코드 워드 오류 확률(Word Error Rate, WER)는 코드 간의 상관값을 이용하여 계산될 수 있다. 표 1의 상관 계수를 (8), (9)에 대입하여 ϕ_1 을 제외한 64 코드에 대한 오류 확률은 다음과 같이 구해진다.

$$P_{\tilde{\mathbf{s}}} \leq \frac{1}{64} \sum_r \sum_{j \neq r} P(\tilde{\mathbf{s}}_r \rightarrow \tilde{\mathbf{s}}_j). \quad (10)$$

또한 ϕ_1 은 DQPSK로 변조되므로, 이 값은 최대의 상관 수신기 출력값의 위상값을 이용하여 판정된다. 따라서 이 성분에 대한 오류 확률은 다음과 같이 계산될 수 있다 [8].

$$P_{\phi_1} = 2Q_1(a, b) - \exp\left(-\frac{a^2 + b^2}{2}\right) I_0(ab) \quad (11)$$

여기서 a 와 b 의 값은 (9)의 상호 상관 계수에 $\rho = \sqrt{1/2}$ 을 대입함으로써 구해진다 따라서 CCK 코드에 대한 최종 오류 확률은 (10)과 (11)로부터 다음과 같이 구해진다

$$P_{\tilde{\mathbf{s}}} = P_{\tilde{\mathbf{s}}} + P_{\phi_1} - P_{\tilde{\mathbf{s}}} P_{\phi_1} \quad (12)$$

그림 2는 위 수식을 통해 구한 CCK 코드의 오류 확률을 실험을 통해 구한 값과 비교한 그래프이다

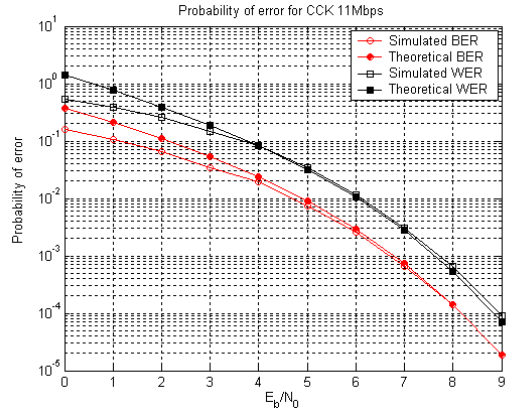


그림 2. CCK 코드의 비트 오류 확률 및 워드 오류 확률의 실험치와 이론치의 비교

3.2 다중 경로 채널하의 CCK 수신기

CCK 변조된 신호가 다중 경로 채널을 통과하게 되면 에너지의 손실을 겪게 된다. RAKE 수신기는 이에 대한 좋은 해결책이 된다 그러나 앞서서도 설명했듯이 CCK 코드는 좋지 못한 자기 상관 및 상호 상관 특성으로 인하여 주로 CMF와 CCK 상관 수신기를 결합한 CMF 기반의 RAKE 수신기가 주로 사용된다 [2]-[4].

필터 구조로 이루어진 CMF는 다중 경로 채널의 효과를 제거할 수 있다. 그러나 CMF 출력단에서, Pre-cursor 성분과 Post-cursor 성분을 야기하며 이 성분은 CCK 심볼 내의 칩간의 간섭 및 인접 심볼 내의 칩으로부터의 간섭을 발생시킨다 이 두 종류의 간섭 성분을 구분하여 동일 심볼 내의 칩들간의 간섭은 ICI로, 인접 심볼 (또는 인접 심볼 내의 칩)에 의한 간섭 성분을 ISI로 표현한다. 이에 대한 설명은 다음 장에서 자세히 다루도록 하겠다

큰 지연 확산을 갖는 채널 환경에서 CCK 수신기는 증대되는 ICI/ISI 값을 제거하기 위해 등화기 구조를 필요로 하며 이를 해결하기 위하여 CCK RAKE 수신기는 ISI 등화기가 결합된 RAKE 수신

기 [2], CCK 칩 기반의 DFE 구조가 결합된 수신기 등과 같이, RAKE 수신기에 등화 기법을 적용하여 주로 구성된다.

IV. 제안된 CCK RAKE 수신기

본 장에서는 본 논문을 통해 제안된 CCK RAKE 수신기 구조에 대해 설명한다. 제안된 방식은 CMF-DFE 방식에 기초하여 구성된다. 따라서 CMF-DFE 등화 기법을 우선 보이고, 제안된 수신기 구조에 대해 설명하겠다.

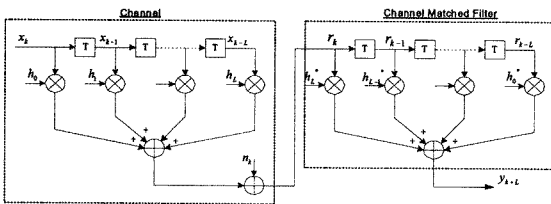


그림 3. 다중 경로 채널 모델 및 CMF 구조

4.1 CMF-DFE 등화 기법

다중 경로 채널은 TDL (Tapped Delay Line) 필터 구조로 표현될 수 있으며, 채널에 대한 정합 필터는 다음 그림 3와 같이 표현된다 [9][10].

h_k 의 임펄스 응답을 갖는 다중 경로 채널을 통해 수신된 신호는 다음과 같이 표현된다.

$$r_k = \sum_{i=0}^L h_i x_{k-i} + n_k \quad (13)$$

$$= h_0 x_k + \sum_{i(\neq 0)} h_i x_{k-i} + n_k$$

여기서 x_k 는 송신된 신호이고, n_k 는 k 번째 심볼에 부가된 AWGN 잡음 신호이다. CMF의 출력 신호 y_k 는 다음과 같다.

$$y_k = \sum_{i=0}^L h_{L-i}^* r_{k-i} \quad (14)$$

$$= \sum_{i=0}^L d_i x_{k-i} + \sum_{j=0}^L h_{L-j}^* n_{k-j}$$

여기서 CMF의 계수는 채널 탭 계수의 복소 공액 (Complex conjugate)로 주어지며, d_i 는 다음과 같이 주어진다.

$$d_i = \sum_{n=0}^{L-i} h_n^* h_{n+i}, \quad i=0, 1, \dots, L \quad (15)$$

위 식에서 $d_0 = \sum_{k=0}^L |h_k|^2$ 로서, 다중 경로의 모든 에너지를 합한 값이며, $d_{-i} = d_i^*$, $i=1, 2, \dots, L$ 이다.

CMF를 통과한 신호는 그림 4와 같은 DFE 필터의 FFF(Feed Forward Filter)와 FBF(Feed Back Filter)를 거치며, Pre-cursor, Post-cursor 성분이 제거된다. DFE 출력 신호는

$$\hat{x}_k = \sum_{i=-L_f}^0 f_i y_{k-i} - \sum_{i=1}^{L_b} f_i \tilde{x}_{k-i} \quad (16)$$

단, $f_i (i=-L_f, \dots, 0, \dots, L_b)$ 는 L_f+1 탭의 FFF, L_b 탭의 FBF를 갖는 등화기 계수이며, \tilde{x}_k 는 \hat{x}_k 의 판정값이다. 위 식에 (14)의 CMF 출력 신호를 대입하여 정리하면 다음과 같은 간섭 성분이 제거된 DFE 출력 신호를 얻을 수 있다.

$$\hat{x}_k = \sum_{i=-L_f}^L f_i \left(\sum_{j=-L}^L d_j x_{k-i-j} + \sum_{j=-L}^L h_{L-j}^* n_{k-j-i} \right) - \sum_{i=1}^{L_b} f_i \tilde{x}_{k-i} \quad (17)$$

4.2 제안된 ICI/ISI 등화기가 결합된 CCK RAKE 수신기

CCK 칩(QPSK 심볼) 기반의 CCK 수신기는 DFE 구조를 CMF와 CCK 상관 수신기 사이에 결합하여 구성될 수 있다. 그러나 DFE는 에러 전파 (Error Propagation) 특성으로 인해 수신부 성능이 열화되는 단점을 가지고 있다. 또한 CCK 칩 기반의 DFE 구조는 칩의 판정값에 따라 성능이 좌우되기 때문에 상대적으로 높은 SNR를 요구한다.

칩 기반의 DFE 수신기의 문제점을 보완하고 지연 확산이 큰 채널 환경에 대응하기 위하여 본 제안된 수신기는 그림 5와 같이 코드워드 DFE (Codeword DFE, CW-DFE) 구조를 결합하고, CCK 상관 수신기를 통해 검출된 CCK 코드를 이용하여 ICI와 ISI 성분을 계산하여 제거한다. 즉, 본 수신기는 CCK 칩 기반의 CMF-DFE 수신기 구조와 ICI, ISI 제거를 위한 CW-DFE 구조가 결합된 형태이다.

그림 4에서 칩 DFE의 출력 신호는 앞의 (17)과 같이 계산될 수 있다. 이 식에서 x_k 는 전송된 CCK 칩이라 할 수 있고, \tilde{x}_k 은 k 번째 칩의 추정값, 즉 \hat{x}_k 의 판정값이라 할 수 있다. 이 식으로부터 CCK 상관 수신기로의 m 번째 입력 CCK 코드는 다음과 같이 표현될 수 있다.

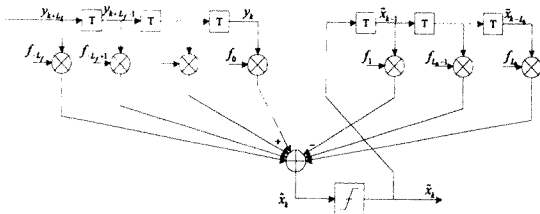


그림 4. DFE 필터 구조

$$\hat{\mathbf{X}}_m = \begin{bmatrix} \hat{x}_{m,0} \\ \hat{x}_{m,1} \\ \vdots \\ \hat{x}_{m,N-1} \end{bmatrix} = \bar{\mathbf{X}}_m - \sum_{k=0}^{\eta} \mathbf{F}_b \mathbf{U}_{m-k} \bar{\mathbf{X}}_{m-k}, \quad (18)$$

여기서

$$\mathbf{F}_b = \begin{bmatrix} f_{L_b} & f_{L_b-1} & \cdots & f_1 & 0 & \cdots & 0 & 0 \\ 0 & f_{L_b} & \cdots & f_2 & f_1 & \cdots & 0 & 0 \\ \vdots & 0 & \cdots & f_3 & f_2 & \cdots & 0 & 0 \\ \vdots & \vdots & \cdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ 0 & 0 & \cdots & f_{L_b} & f_{L_b-1} & \cdots & f_1 & 0 \end{bmatrix}$$

이고 $\mathbf{U}_{m-k} = \begin{bmatrix} 0_{(\eta-k)N \times N} \\ \mathbf{I}_{N \times N} \\ 0_{kN \times N} \end{bmatrix}$ 이다.

위 식에서 $\bar{\mathbf{X}}_m = [\bar{x}_{m,0} \bar{x}_{m,1} \cdots \bar{x}_{m,N-1}]^T$ 은 FFF 출력의 m 번째 CCK 심볼을 나타내고, $x_{m,n}$ 은 m 번째 CCK 심볼의 n 번째 칩을 뜻하며, $N \times N(\eta+1)$ 행렬 \mathbf{F}_b 의 $f_i (i=1,2,\dots,L_b)$ 는 FBF의 계수이다. 그리고, $\bar{\mathbf{X}}_{m-k} = [\bar{x}_{m-k,0} \bar{x}_{m-k,1} \cdots \bar{x}_{m-k,N-1}]^T$ 로서 $(m-k)$ 번째 CCK 심볼의 추정

값에 대한 칩의 판정값을 표현하며, $\eta = \lceil \frac{L_b}{N} \rceil$ 로 현재 심볼에 영향을 미치는 이전 CCK 심볼의 개수를 나타낸다.

앞에서 ICI와 ISI의 값은 QPSK 심볼 기반의 CCK 칩의 판정값을 이용하여 계산된다. 그러나 이 값 대신에 CCK 상관 수신기 출력에서 얻을 수 있는 복조된 CCK 칩을 사용한다면, 보다 신뢰성있는 ISI 및 ICI 값을 계산할 수 있다. 왜냐하면, CCK는 대략 2 dB의 부호화 이득을 가지고 있기 때문이다[4]. 따라서 CCK 상관 수신기에 의해 판정된 CCK 심볼을 이용하여 ICI와 ISI 성분은 다음 식과 같이 제거가 가능하다. (18)의 $\bar{\mathbf{X}}_m$ 대신에 상관

수신기에 의해 가판정된 값 \mathbf{X}_{D_m} 을 대입하면, 다음 식과 같이 표현된다.

$$\mathbf{X}'_m = \bar{\mathbf{X}}_m - \sum_{k=0}^{\eta} \mathbf{F}_b \mathbf{U}_{m-k} \mathbf{X}_{D_{m-k}}, \quad (19)$$

여기서 $\mathbf{X}_{D_{m-k}} = [x_{D_{m-k,0}} \ x_{D_{m-k,1}} \ \cdots \ x_{D_{m-k,N-1}}]^T$ 은 판정된 CCK 심볼이며, 위 식으로부터 ICI 성분과 ISI 성분은 각각 다음 식과 같이 계산된다.

$$\mathbf{F}_b \mathbf{U}_m \mathbf{X}_{D_m} = \begin{bmatrix} 0 & 0 & \cdots & 0 & 0 \\ f_1 & 0 & \cdots & 0 & 0 \\ f_2 & f_1 & \cdots & 0 & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ f_{N-1} & f_{N-2} & \cdots & f_1 & 0 \end{bmatrix} \cdot \mathbf{X}_{D_m} \quad (20)$$

$$\mathbf{F}_b \mathbf{U}_{m-k} \mathbf{X}_{D_{m-k}} = \begin{bmatrix} f_{kN} & f_{kN-1} & \cdots & f_{(k-1)N+1} \\ f_{kN+1} & f_{kN} & \cdots & f_{(k-1)N+2} \\ f_{kN+2} & f_{kN+1} & \cdots & f_{(k-1)N+3} \\ \vdots & \vdots & \ddots & \vdots \\ f_{(k+1)N-1} & f_{(k+1)N-2} & \cdots & f_{kN+1} \end{bmatrix} \cdot \mathbf{X}_{D_{m-k}} \quad (21)$$

위 식에 의해 계산된 ICI와 ISI 성분은 CW-DFE 구조를 통해 제거된다.

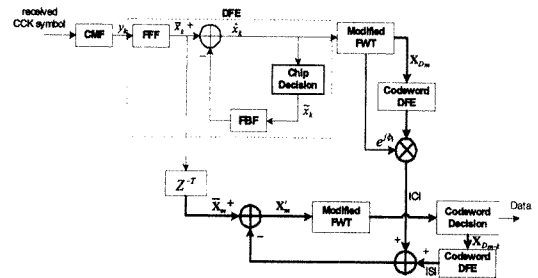


그림 5. 제안된 CCK 레이크 수신기 구조

V. 모의 실험

본 장에서는 제안된 수신기의 성능을 평가하기 위하여, CMF RAKE 수신기, CMF-DFE 수신기, ISI 등화기가 결합된 RAKE 수신기 구조, ZF-LE (Zero-Forcing Linear Equalizer)가 결합된 수신기 구조 등 여러 종류의 수신기와 제안된 수신기의 BER 성능을 중심으로 비교, 분석한다. 또한 각 수신기의 복잡도를 비교함으로써 제안된 수신기의 성능을 평가한다.

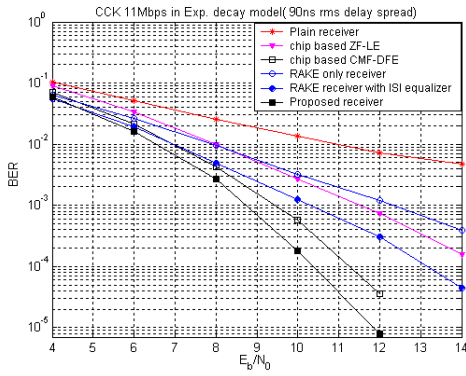


그림 6. 다중 경로 채널 $\tau_{rms} = 90ms$ 에서의 비트 오류확률 성능 곡선

5.1 BER 성능 평가

모의실험은 CCK 11Mbps 전송에 대하여 수행되었고, BER 성능은 지수 감소 채널(Exponential decay channel) 모델에서 평가되었다[11].

그림 6은 90ns RMS (Root Mean Square) 지연 확산을 갖는 지수 감소 채널에서의 비트 오류율을 나타낸다. 본 실험을 위하여 5 탭의 CMF를 사용하였고, 5 탭 FFF와 4 탭 FBF가 사용되었다. 제안된 수신기는 BER 10^{-4} 에서 CMF-DFE 수신기보다 대략 1dB, ISI 등화기보다 대략 3dB의 나은 성능을 발휘하였다. 그림 7은 180ns RMS 지연 확산을 갖는 채널에서 7탭의 CMF, 7탭 FFF와 6탭 FBF를 사용한 수신기의 BER 성능 곡선을 나타낸다. 제안된 수신기는 BER 10^{-4} 성능을 얻기 위해 CMF-DFE 수신기보다 대략 0.8dB 정도의 SNR 이득을 보이며, 다른 수신기 구조와 비교하여 2dB 이상의 성능 향상을 가진다. 그림 8은 270ns RMS 지연 확

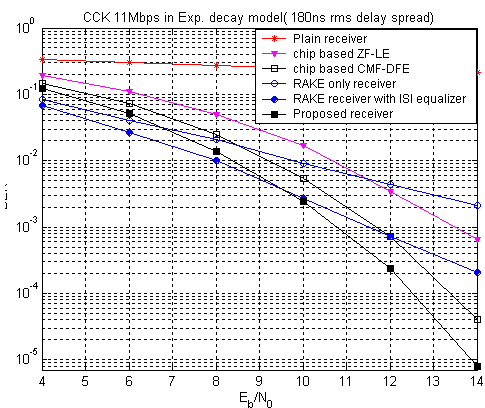


그림 7. 다중 경로 채널 ($\tau_{rms} = 180ms$)에서의 비트 오류확률 성능 곡선

표 2. 등화 과정을 위한 연산량 비교

수신기 구조	연산량 (MACs)	
	1 CCK 심볼	n CCK 심볼
ZF-LE 수신기	$8L_{LE}$	$8nL_{LE}$
CMF-DFE 수신기	$8(L_f + L_b)$	$8n(L_f + L_b)$
ISI 등화기가 결합된 레이크 수신기	$\frac{L(L-1)}{2}$	$\frac{L(L-1)}{2} n$
제안된 레이크 수신기	$8(L_f + L_b) + (L_b + 8) + 8 * 64(L_b + 8)$	$8n(L_f + L_b) + n(L_b + 8) + 8 * 64(L_b + 8)$

산을 갖는 채널 하에서의 실험 결과이다. 제안된 수신기는 E_b/N_0 이 16dB에서 10^{-4} 의 BER 성능을 얻을 수 있었다. 다른 수신기 성능과 비교하여 비교적 지연확산이 큰 채널 환경 하에서 보다 안정된 성능을 보임을 알 수 있다.

5.2 Computational Complexity

다음 표 2는 각 수신기에서 등화 과정을 위해 필요로 하는 MAC(Complex Multiply and Accumulate) 연산의 수를 나타낸다. 각 CCK 심볼 단위로 필요한 연산의 개수 및 패킷 단위로 필요한 연산의 수를 표현한다. 표 2에서 L_{LE} 는 LE-ZF의 탭 수를 표현하며, L_f 와 L_b 는 각각 FFF와 FBF의 탭 수를 나타낸다. 그리고 L 은 CMF의 탭 수를 나타낸다.

제안된 수신기 구조는 병렬로 연결된 등화기 구조를 사용한다. 따라서 다른 수신기 구조에 비해 보다 많은 연산량을 필요로 한다. 그러나 제안된 구조의 ISI 등화 기법 및 ICI 등화 기법은 (20), (21)과 같이 동일한 형태로 계산되며 총 64개의 CCK 코

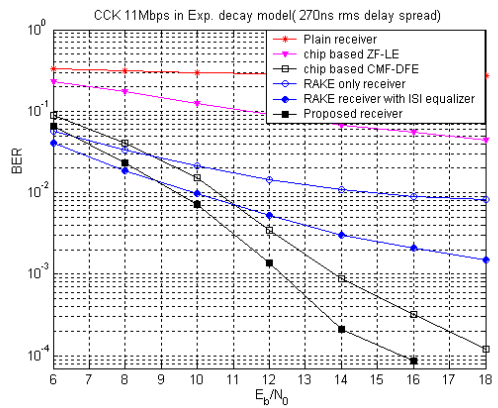


그림 8. 다중 경로 채널 ($\tau_{rms} = 270ms$)에서의 비트 오류확률 성능 곡선

드에 대해 정의되므로 다음과 같은 방법으로 연산량은 감소될 수 있다. 제안된 수신기는 만약 채널이 n 개의 CCK 심볼 시간에서 일정하다고 가정하면, 심볼 단위 ISI/ICI 등화 과정을 위해 필요한 연산의 결과는 테이블(Array Look-up table)을 이용하여 보다 쉽게 얻을 수 있다. ICI/ISI 등화를 위한 연산은 저장된 테이블을 통해 대치될 수 있으며 결과적으로 CW-DFE 연산은 CCK 심볼 당 $(L_b + N)$ 개의 MAC 연산으로 감소된다 여기서 N 은 CCK 칩의 수를 표현한다.

VI. 결론

우리는 본 논문을 통하여 무선랜 채널 환경에서 효과적인 성능을 낼 수 있는 CCK RAKE 수신기를 제안하였다. 제안된 수신기 구조는 CCK 칩 기반의 DFE 구조와 심볼 단위로 ISI와 ICI를 제거하는 코드워드 DFE 구조를 결합하여 구성된다 제안된 수신기는 ISI와 ICI를 제거하기 위하여 상관 수신기로부터 복조된 CCK 코드를 이용한다 이는 CCK 코드의 부호화 이득을 활용할 수 있기 때문에 ISI 및 ICI를 보다 정확히 계산해낼 수 있다

본 논문에서 제안된 CCK RAKE 수신기의 성능은 지수 감소 채널에 대한 BER 비교를 통해 평가할 수 있었다. 제안된 CCK RAKE 수신기는 모의 실험을 위해 적용된 모든 채널에서 CCK 칩 기반의 CMF-DFE 수신기, ISI 등화기를 결합한 RAKE 수신기에 비해 우수한 성능 향상을 보였다 특히 제안된 RAKE 수신기는 ISI 등화기가 결합된 RAKE 수신기보다 270ns RMS 지연 확산을 갖는 채널과 같이 다중 경로에 의한 성능 열화가 큰 환경에서 보다 우수한 성능을 나타낸다

참 고 문 헌

[1] IEEE Std 802.11b, Part 11: Wireless LAN medium access control (MAC) and physical layer (PHY) specifications: High speed physical layer extension in the 2.4 GHz band, 1999.

[2] Andren, C. and Webster, M., "CCK modulation delivers 11Mbps for high rate 802.11 extension," *Wireless Symposium /Portable By Design Conference Proceedings*, Spring 1999.

[3] P. Shan and E. J. King, "Cancel multipath interference in spread-spectrum communications," *Wireless Systems Design*, March 2001.

[4] R. van Nee, G. Awater, M. Morikura, H. Takanashi, M. Webster, and K. W. Halford, "New high-rate wireless LAN standards," *IEEE Communications Magazine*, Dec. 1999.

[5] Golay, Marcel J. E., "Complementary Series," *IRE Transactions on Information Theory*, pp. 82-87, April 1961.

[6] G. L. Stuber, *Principles of mobile communication: second edition*, Kluwer Academic Publishers, 2001.

[7] R. van Nee, "OFDM codes for peak-to-average power reduction and error correction," *Proc. IEEE Global Telecommun. Conference*, vol. 1, pp. 740- 744, Nov. 1996.

[8] J. G. Proakis, *Digital communications*, McGraw-Hill, Fourth edition, 2001.

[9] I. Kaya, A. R. Nix and R. Benjamin, "Exploiting multipath activity using low complexity equalization techniques for high speed wireless LANs," *IEEE VTC'98*, pp. 1593-1597, 1998, Ontario, Canada.

[10] K. Barman and V. U. Reddy, "A reduced complexity decision feedback equalization in spread spectrum based WLAN" *Proc. of 2002 International Signal Processing Conf.*, March 31-April 3, 2003, Dallas, Texas.

[11] B. O'Hara and A. Petrick, *IEEE 802.11 handbook: Designer's companion*, IEEE Press.

[12] K. Halford and M. Webster, "Multipath measurement in wireless LANs," AN9895, Intersil Corporation, May 2000.

[13] S. Halford, K. Halford, and M. Webster, "IEEE 802.11-00/282: Evaluating the performance of HRb proposals in the presence of multipath," Intersil Co., Sep. 2000.

이 유 성 (Yusung Lee)

준회원



2002년 2월 한국항공대학교 통신정보공학과 졸업

2004년 2월 한국정보통신대학교 공학부 석사

1996년 3월~현재 한국정보통신대학교 공학부 박사과정

<관심분야> 차세대 통신 시스템

OFDM, MC-CDMA 시스템, 통신 신호 처리.

박 현 철 (Hyuncheol Park)

정회원



1983년 2월 연세대학교 전자공학과 졸업

1985년 2월 연세대학교 전자공학과 석사

1997년 8월 Georgia Institute of Technology 전기공학과 박사

1985년~1991년 삼성전자 종합

연구소 선임연구원

1993년~1997년 Georgia Institute of Technology Research Assistant

1997년~2002년 삼성전자 중앙연구소 수석연구원

2002년 2월~현재 한국정보통신대학교 공학부 조교수

<관심분야> 초고속 무선통신 부호이론