

입력 데이터 분할을 이용한 저전력 부스 곱셈기 설계

정희원 박종수*, 종신회원 김진상**, 정희원 조원경**

Low-Power Multiplier Using Input Data Partition

Jongsu Park* *Reguler Member*, Jinsang Kim** *Lifelong Member*,
Won-Kyung Cho** *Reguler Member*

요약

본 논문에서는 곱셈을 수행할 때 발생하는 스위칭 율을 줄이는 방식의 저전력 부스 곱셈기를 제안한다. radix-4 부스 알고리즘(radix-4 Booth algorithm)은 입력에서 연속되는 3비트가 0이나 1의 같은 값을 가지게 되면, 부스 인코딩 결과로서 0을 발생시키는 특성을 가지고 있다. 따라서 곱셈기의 두 입력 중 더 작은 활성영역을 갖는 입력을 승수로 사용할 때 부분 곱셈결과가 0이 될 확률이 높다. 제안된 곱셈기는 곱셈식을 본래의 곱셈 입력 비트보다 더 작은 비트를 갖는 여러 개의 곱셈식으로 분할한 후, 각각의 곱셈들을 독립적으로 계산하여 각각의 곱셈의 결과를 더하여 최종적인 결과를 얻는다. 따라서 곱셈의 두 입력간의 교환율은 기존의 곱셈기보다 더 높아지게 된다. 이는 제안된 곱셈기의 부스 인코딩 결과가 0이 되는 확률이 기존의 곱셈기보다 더 높은 저전력 곱셈기를 구현할 수 있음을 의미한다. 제안된 곱셈기는 기존의 부스 곱셈기보다 최대 20% 정도의 소모전력이 감소됨을 확인하였다.

Key Words : Booth multiplier, dynamic range, low-power, switching activity.

ABSTRACT

In this paper, we propose a low-power Booth multiplication which reduces the switching activities of partial products during multiplication process. Radix-4 Booth algorithm has a characteristic that produces the Booth encoded products with zero when input data have sequentially equal values (0 or 1). Therefore, partial products have higher chances of being zero when an input with a smaller effective dynamic range of two multiplication inputs is used as a multiplier data instead of a multiplicand. The proposed multiplier divides a multiplication expression into several multiplication expressions with smaller bits than those of an original input data, and each multiplication is computed independently for the Booth encoding. Finally, the results of each multiplication are added. This means that the proposed multiplier has a higher chance to have zero encoded products so that we can implement a low power multiplier with the smaller switching activity. Implementation results show the proposed multiplier can save maximally about 20% power dissipation than a previous Booth multiplier.

I. 서론

디지털 신호처리(DSP)는 멀티미디어와 모바일 통신 시스템의 차세대 핵심기술 중 하나이다^[1]. 대부분의 DSP 응용은 덧셈과 곱셈연산을 포함한다. 예를 들어, DCT, FFT, 웨이블렛 변환과 OFDM은 이

미지와 비디오 신호처리와 이동통신을 위한 핵심 알고리즘이다^[2-4]. 디지털 신호처리는 대부분 덧셈과 곱셈에 의하여 수행되며, 곱셈은 덧셈보다 매우 복잡하고 많은 전력을 소모하므로 저전력 곱셈기는 배터리 전력을 사용하는 휴대용 멀티미디어 정보기기의 설계시 고려해야 할 핵심사항 중 하나이다.

* 연세대학교 전자공학과 (jspark@dubiki.yonsei.ac.kr),

논문번호 : KICS030499-1113, 접수일자 : 2003년 11월 13일

※본 연구는 경희대학교의 지원(IT학과 장비지원사업의 대응연구과제: 20020380)으로 수행되었습니다.

** 경희대학교 전자공학과 ({jskim27, chowk}@khu.ac.kr)

CMOS 회로에서, 스위칭 전력 소모에 관한 식은 (1)과 같다.

$$P_{Switching} = aCV_{dd}^2 f_{clk} \quad (1)$$

여기서 a 는 스위칭율이며, C 는 부하 캐패시턴스, V_{dd} 는 공급 전압이며 f_{clk} 는 동작 클럭 주파수이다. CMOS 회로에서의 스위칭 전력의 소모는 수식 (1)과 같이 스위칭율을 줄임으로써 감소됨을 알 수 있다. 이 중에서 스위칭을 많이 알고리즘 수준에서 고려할 수 있는 파라미터이므로 곱셈연산 수행 중 알고리즘 수준에서 스위칭율을 줄이는 것은 하위 수준의 저전력 설계기법을 고려하기 전에 가장 먼저 고려되어야 할 사항이다^[5].

기존의 곱셈 알고리즘을 수정하여 소모전력을 줄이기 위하여 다양한 곱셈방식이 제안되었다^[6-12]. 그중 Shen은 곱셈시 스위칭율을 감소시킬 수 있는 저전력 곱셈기를 제안하였다^[12]. 이 방식은 radix-4 부스 알고리즘을 이용하여 부분 곱셈결과를의 수를 줄이는 방식이다. 부스 알고리즘은 입력의 연속되는 3비트가 같은 값을 가질 때, 0의 값을 갖는 부스 인코딩 결과를 발생하는 특성을 이용하였다. 두개의 곱셈 입력 중 더 작은 활성영역을 갖는 입력을 승수로 사용하면 부분 곱셈결과가 0이 되는 확률은 더 증가하게 된다.

본 논문에서는 Shen이 제안한 곱셈기보다 전력소모를 더 많이 줄일 수 있는 곱셈기를 제안한다. 먼저, 곱셈 수식을 본래의 곱셈보다 더 작은 비트를 갖는 여러 개의 곱셈식으로 변환한다. 그 후 적은 비트로 표현되는 각각의 곱셈식의 활성영역을 조사하여 활성영역이 큰 입력값을 승수로 사용한다. 각각의 곱셈결과는 더해져서 최종 곱셈결과를 얻는다. 이러한 과정을 통하여 곱셈과정 중 부스 인코딩 결과가 0이 되는 확률이 기존의 곱셈기보다 높은 저전력 곱셈기를 구현할 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 radix-4 부스 곱셈방식과 기존의 저전력 곱셈기에 대해서 설명하고, III장에서는 제안된 저전력 곱셈기에 대해서 논의한다. IV장에서는 실험 및 구현결과를 보이며, 마지막으로 V장에서는 결론을 맺는다.

II. 부스 알고리즘을 이용한 기존의 저전력 곱셈기

2.1 Radix-4 부스 알고리즘

Radix-4 부스 알고리즘은 최종 곱셈결과를 얻기

위하여 부분 곱셈결과를 더하는데 필요한 사이클의 수를 줄임으로서, 기존의 radix-2 알고리즘보다 연산 속도를 높인 알고리즘이다^[13]. 곱셈에 필요한 두 입력 X, Y 중하나의 입력에 대해서만 부스 알고리즘이 적용된다. 부스 인코딩을 위해서 입력 X 가 사용된다면, X 는 3비트씩 그룹화 되고, 각 그룹의 1 비트는 이전 그룹과 중첩된다. 따라서 W 의 길이를 가진 X 의 2의 보수는 다음과 같이 표현된다.

$$\begin{aligned} X_i &= -x_i^{W-1} 2^{W-1} + \sum_{j=0}^{W-2} x_i^{(j)} 2^j \\ &= \sum_{l=0}^{\frac{W}{2}-1} (-2x_i^{(2l+1)} + x_i^{(2l)} + x_i^{(2l-1)}) 2^{2l} \\ &= \sum_{l=0}^{\frac{W}{2}-1} X_{i,l} 2^{2l}, \end{aligned} \quad (2)$$

$x_i^{(j)}$ 는 X 의 j 번째 비트이고, $x_i^{(-1)}$ 은 0이다. 여기서, W 는 짝수 값을 의미한다. X 에 의해서 곱해지는 또 다른 입력 값인 Y 데이터를 고려한다면, 곱셈식은 다음과 같이 수정된다.

$$\begin{aligned} X_i Y_i &= \sum_{l=0}^{\frac{W}{2}-1} (-2x_i^{(2l+1)} + x_i^{(2l)} + x_i^{(2l-1)}) Y_i 2^{2l} \\ &= \sum_{l=0}^{\frac{W}{2}-1} B(X_{i,l}, Y_i) 2^{2l}. \end{aligned} \quad (3)$$

식 (2)에 따르면, 식 (3)의 $B(X_{i,l}, Y_i)$ 는 $-2Y, -Y, 0, Y, 2Y$ 의 다섯 가지 중 하나로 표현된다. 그러므로 식 (3)에서 X 와 Y 의 곱셈은 X 의 부스 인코딩 결과와 Y 를 곱하는 것으로 대체 할 수 있다는 것을 알 수 있다.

2.2 활성영역과 부스 인코딩 결과

활성영역은 연속되는 이진 값의 변화 횟수와 관련된다. 예를 들어, '0000'이나 '1111'은 가장 작은 활성영역을 갖는다. 반면, '0101'이나 '1010'은 이진값의 변화 횟수가 가장 많으므로 가장 큰 활성영역을 갖는다.

두 입력 중에서 더 작은 활성영역을 갖는 입력이 부스 인코딩 결과가 0이 되는 확률이 더 높다. 만일 0의 값을 갖는 부분 곱셈결과를 더 많이 발생시킬 수 있다면, 어떤 부가적인 계산 없이 곱셈시 전력을 감소시킬 수 있음을 쉽게 확인할 수 있다.

2.3 Shen의 곱셈 알고리즘

Shen의 곱셈 알고리즘^[12]은 곱셈시 스위칭을 줄임으로써 저전력 곱셈기를 구현하였다. 표 1과 같이 더 작은 활성영역을 갖는 부스 인코딩 결과가 0의 값을 갖는 부분 결과를 발생시킬 확률이 높다. 따라서 저전력 소모를 위해서는 두 입력 중 더 작은 활성영역을 갖는 입력이 승수가 되어야 한다.

Shen 곱셈기 구조 내의 비교기는 두 입력의 활성영역을 비교하고, 만일 피승수의 활성영역이 승수보다 작다면, 피승수와 승수를 교환하게 된다. 교환된승수와 피승수는 기존의 부스 알고리즘을 이용하여 계산된다. 이 알고리즘에서는 활성영역을 비교할 때, 입력의 전체 비트를 기준으로 비교한다.

III. 제안된 저전력 곱셈기

3.1 곱셈 입력의 데이터 분할

기존의 방법^[12]은 한번에 입력의 전체 비트를 기준으로 활성영역을 비교하므로, 곱셈식을 더 작은 여러 개의 곱셈식으로 나누는 제안된 방법보다 일반적으로 활성영역이 크기 때문에 데이터 교환율이 더 작게 된다.

예를 들어, 두 입력간의 데이터 교환율을 증가시키기 위하여, 곱셈식을 그림 1처럼 수정할 수 있다. 곱셈을 위한 두 입력은 상위 부분과 하위 부분으로 나누어진다. 그림 1과 같이 (11110101 x 10110000)의 곱셈의 경우, 기존의 방법을 이용하면 두 입력이 교환되지 않으나 제안된 구조에서는 교환된다. 왜냐하면 제안된 곱셈기는 분리된 4개의 작은 비트를 갖는 곱셈식을 이용하여 활성영역을 비교를 하기 때문이다. 따라서 제안된 방법은 부분 결과가 0이 되는 확률을 증가시킬 수 있으며 적은 하드웨어의 추가만으로 전력 소모를 줄일 수 있음을 알 수 있다. 또한, 제안된 곱셈기는 기존의 부스 곱셈기 보다 더 적은 비트를 갖는 곱셈을 병렬로 처리할 수 있으므로 곱셈의 속도를 증가시킬 수 있다.

$$\begin{aligned}
 10101000 \times 10011001 &= (1010 \times 1001) \times 10000000 \\
 &+ (1010 \times 1001) \times 10000 \\
 &+ (1000 \times 1001) \times 10000 \\
 &+ (1000 \times 1001)
 \end{aligned}$$

그림 1. 제안된 곱셈방식의 예

3.2 제안된 곱셈기의 구조

그림 2는 입력되는 곱셈 데이터를 하위와 상위

비트로 분할한 경우의 제안된 곱셈기의 구조를 보여준다. 이 곱셈 구조는 입력 데이터 분할 유닛, 활성영역 검출 유닛(DRD: Dynamic Range Detection Unit), radix-4 부스 곱셈기와 부분 곱셈결과와 합을 위한 덧셈기 트리로 구성되어 있다. 입력 데이터 분할 유닛은 각 입력 데이터를 상위 부분과 하위부분으로 나눈다. 이 나누어진 데이터들은 독립적으로 곱셈이 수행된다. DRD는 두 입력의 활성영역을 비교하고, 작은 활성영역을 갖는 입력을 승수로 그 반대의 경우를 피승수로 출력한다.

DRD의 세부적인 구조는 그림 3과 같다. DRD에서 비교기의 첫 번째와 두 번째 그룹은 첫 번째 MSB 4비트와 다음 LSB 4비트이다. DRD 입력의 세 번째 비트는 첫 번째와 두 번째 그룹 모두에서 사용된다. 이는 radix-4 부스 인코딩을 위해서는 3개의 연속되는 비트가 필요하기 때문이다.

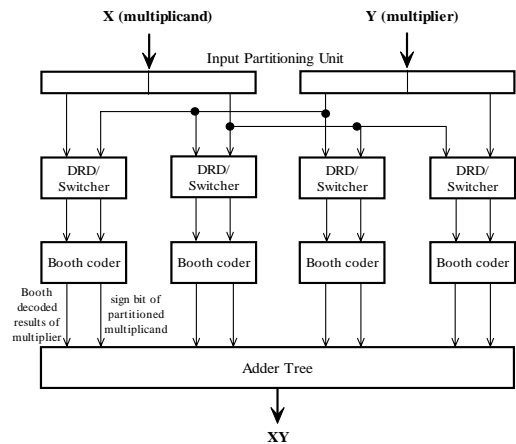


그림 2. 제안된 곱셈의 구조

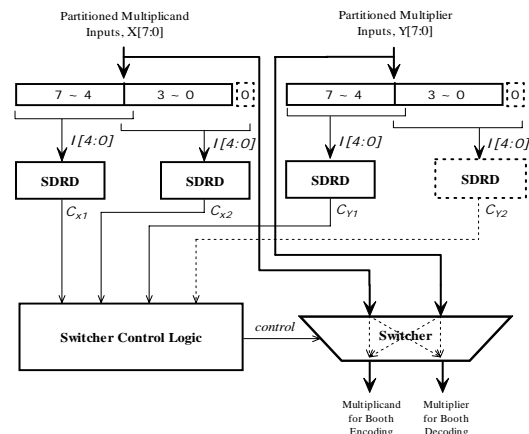


그림 3. 제안된 구조의 DRD

DRD에서 사용되는 비교기는 1개의 AND 게이트, 1개의 NOR 게이트와 1개의 OR 게이트로 구성된다. 비교기의 모든 입력이 같은 값일 때 1이 출력된다. 입력 Y의 활성영역이 입력 X의 활성영역보다 작을 때 교환기(switcher)에서 X와 Y의 입력이 교환된다.

IV. 실험 결과 및 성능 분석

4.1 입력데이터의 교환을 분석

DCT와 웨이블릿 변환을 이용하여 제안된 곱셈의 교환율을 분석하였다. 실험에 사용한 데이터는 QCIF Lena, Flower Garden, Miss america와 Table tennis 영상이다. 표 1과 같이, DCT의 경우 기존의 곱셈기는 평균 약 3.91%의 곱셈 데이터 교환이 발생하였고, 제안된 구조에서는 평균 약 10.56%의 곱셈 데이터 교환이 발생하였다. 제안된 곱셈 방법은 기존의 방법^[12]보다 약 2.5배의 곱셈 데이터 교환율이 증가됨을 알 수 있다.

표 2와 같이 웨이블릿 변환의 경우 기존의 방법에서는 평균 약 4.05%의 교환이 발생하였고, 제안된 구조에서는 평균 약 19.82%의 곱셈 데이터 교환이 발생하였다. 웨이블릿 변환의 경우, 제안된 곱셈 방법은 이전 방법보다 약 5.6배의 곱셈 데이터 교환율이 증가됨을 알 수 있다.

표 1. DCT의 입력 데이터 교환율
(전체 곱셈횟수 : 262,144)

	Shen 곱셈기		제안된 곱셈기	
	Lena	5,282	2.015%	28,097
Flower Garden	14,172	5.406%	27,639	10.543%
Miss America	8,046	3.069%	27,909	10.646%
Table Tennis	13,605	5.189%	27,189	10.371%
평균	10,276	3.919%	27,708	10.569%

표 2. 웨이블릿 변환의 입력 데이터 교환율
(전체 곱셈횟수 : 327,680)

	Shen 곱셈기		제안된 곱셈기	
	Lena	10,542	3.217%	63,582
Flower Garden	17,143	5.231%	66,896	20.415%
Miss America	13,741	4.193%	64,660	19.732%
Table Tennis	11,668	3.560%	64,765	19.764%
평균	13,273	4.050%	64,975	19.828%

4.2 전력 소모의 분석

제안된 곱셈기와 기존의 부스 곱셈기 (Shen^[12], Yu^[10], Ahn's^[11])의 소모전력을 Synopsys사의 Prime Power를 이용해서 측정하여 비교하였다. 소모전력 측정을 위하여 제안된 곱셈기를 포함한 4개의 부스 곱셈기를 HDL을 사용해서 모델링 한 후, 합성, 배치와 라우팅 과정을 거쳐서 레이아웃한 결과를 이용하였다. 제안된 곱셈기의 레이아웃 하였다. 제안된 곱셈기, Shen의 곱셈기, Yu의 곱셈기와 Ahn의 곱셈기의 면적은 각각 42974 CLBs(Cell Logic Blocks), 41225 CLBs, 39141 CLBs와 40394 CLBs이다. 제안된 곱셈기는 Shen의 곱셈기와 Ahn의 곱셈기에 비해서 약 4%와 9% 정도의 면적이 증가함을 알 수 있다.

표 3, 4와 5는 각각 DCT, FFT, 웨이블릿 변환의 소모전력을 분석한 결과이다. 제안된 곱셈기의 전력 소모는 Shen의 곱셈기, Yu의 곱셈기와 Ahn의 곱셈기에 비해서 최대 약 7%, 15%와 20%의 감소를 보임을 알 수 있다. 표 2와 3의 곱셈 입력 데이터의 교환율이 전력 소모 감소율과 같은 결과를 보이지 않는 이유는 입력 데이터의 교환 비율은 단지 분할된 입력의 활성영역을 기초로 한 것이므로 분할된 입력 데이터가 교환될 때 부스 인코딩에서의 모든 부분 결과가 항상 0이 되지 않기 때문이다.

표 3. DCT의 소모전력 분석
(단위: mW)

	제안된 곱셈기	Shen 곱셈기	Yu 곱셈기	Ahn 곱셈기
Miss America	17.63	18.67	21.45	20.38
Lena	17.19	17.95	21.02	19.99
Flower Garden	16.82	18.71	19.78	19.42
Table Tennis	17.67	18.93	21.82	20.52
Ratio (%)	93%	100%	113%	108%

표 4. FFT의 소모전력 분석
(단위: mW)

	제안된 곱셈기	Shen 곱셈기	Yu 곱셈기	Ahn 곱셈기
Miss America	16.73	17.81	20.72	19.16
Lena	16.08	17.46	19.56	18.56
Flower Garden	16.82	18.07	20.06	19.46
Table Tennis	16.54	17.39	19.25	18.11
Ratio (%)	93%	100%	112%	106%

표 5. 웨이블렛 변환의 소모전력 분석

(단위: mW)

	제안된 곱셈기	Shen 곱셈기	Yu 곱셈기	Ahn 곱셈기
Miss America	17.63	18.76	21.86	20.49
Lena	17.03	18.26	20.94	20.05
Flower Garden	17.79	18.85	21.17	20.99
Table Tennis	18.24	18.97	21.52	20.34
Ratio (%)	94%	100%	114%	109%

제안된 곱셈기의 지연시간은 13.75ns이며, Shen 곱셈기의 딜레이는 14.33ns이다. 제안된 곱셈기가 Shen 곱셈기에 비해서 약간 더 빠르다는 것을 알 수 있다.

V. 결론

본 논문에서는 부스 알고리즘을 이용한 새로운 저전력 곱셈기를 제안하였다. 전력 소모를 줄이기 위하여 곱셈의 입력 데이터를 적은 비트로 분할한다. 이러한 과정을 거치면 부스 인코딩의 결과가 0이 되는 확률이 더 높아져 적은 스위칭을 갖는 저전력 곱셈기를 구현할 수 있다. 제안된 곱셈기는 부스 곱셈알고리즘을 사용하는 기존의 곱셈기보다 최대 9% 정도의 면적이 증가되나, 소모전력 면에서 최대 20%의 감소율을 얻을 수 있음을 실험을 통하여 확인하였다. 따라서 제안된 곱셈기는 저전력 기 능이 우선시 되는 휴대용 멀티미디어 장치와 SoC 설계에 유용하게 활용될 수 있다.

참 고 문 헌

[1] Chang-Young Han, Hyong-Joon Park and Lee-Sup Kim, "A low-power array multiplier using separated multiplication technique," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Volume: 48 Issue: 9, Sep 2001 Page(s): 866-871

[2] C. Lemonds, "A high throughput 16 by 16 bit multiplier for DSP cores," IEEE International Symposium on Circuits and Systems, ISCAS, vol. 2, pp. 477-480. 1996.

[3] Turner, R.H., Courtney, T. and Woods, R.,

"Implementation of fixed DSP functions using the reduced coefficient multiplier, Acoustics, Speech, and Signal Processing," 2001. proceedings. (ICASSP '01). 2001 IEEE International Conference on, volume: 2, 2001 Page(s): 881-884 vol.2

[4] Yiquan Wu and Zhaoda Zhu, "The new real-multiplier FFT-j algorithms," Aerospace and Electronics Conference, 1993. NAECON 1993., proceedings of the IEEE 1993 National, 24-28 May 1993, Page(s): 90-93 vol.1

[5] Yi-Wen Wu, Chen, O.T.-C and Ruey-Liang Ma, "A low-power digital signal processor core by minimizing inter-data switching activities," Circuits and Systems, 2001. MWSCAS 2001. Proceedings of the 44th IEEE 2001 Midwest Symposium on, Volume: 1, 2001 Page(s): 172-175 vol.1

[6] Paliouras, V., Karaginni, K. and Stouraitis, T. "A low-complexity combinatorial RNS multiplier," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Volume: 48 Issue: 7, Jul 2001 Page(s): 675-683

[7] Fayed, A.A and Bayoumi, M.A, "A merged multiplier-accumulator for high speed signal processing applications," Acoustics, Speech, and Signal Processing, 2002. Proceedings. (ICASSP '02). IEEE International Conference on, Volume: 3, 2002 Page(s): III-3212-III-3215 vol.3

[8] Kim, S. and Papaefthymiou, M.C., "Reconfigurable low energy multiplier for multimedia system design," VLSI, 2000. Proceedings. IEEE Computer Society Workshop on, 2000 Page(s): 129-134

[9] Bakalis, D., Kalligeros, E., Nikolos, D., Vergos, H.T. and Alexiou, G., "Low power BIST for wallace tree-based multipliers," Quality Electronic Design, 2000. ISQED 2000. Proceedings. IEEE 2000 First International Symposium on, 2000 Page(s): 433-438

[10] Zhan Yu, Wasserman, L., and Willson, A.N., Jr., "A painless way to reduce power dissipation by over 18% in 부스-encoded

