

IEEE 802.16e OFDMA TDD 시스템 하향링크 트래픽 채널의 Fixed-point 구현 방법론

준회원 김규현*, 선대형*, 왕우봉*, 종신회원 장경희*,
정회원 박형일**, 어익수**

Fixed-point Implementation for Downlink Traffic Channel of IEEE 802.16e OFDMA TDD System

KyooHyun Kim*, TaeHyung Sun*, YuPeng Wang* *Associate Members*,
KyungHi Chang* *Lifelong Member*,
HyungIl Park**, IkSoo Eo** *Regular Member*

요약

본 논문에서는 IEEE 802.16e에 기반한 OFDMA TDD 시스템 하향 링크 트래픽 채널의 Fixed-point 구현을 위해 Floating-point 모델로부터 성능 열화와 하드웨어 복잡도를 최소화 할 수 있도록 적절한 비트 사이즈를 결정하는 방법론에 대하여 기술한다. Fixed-point 구현에 있어서 여러 가지 고려 사항 중 하나는 비트 사이즈를 절사하는 방법에 따른 Saturation과 Quantization의 선택이며, 반드시 주의해야 할 점은 신호의 분포를 정확히 파악한 후 신호의 분포에 맞도록 Saturation과 Quantization 중 하나의 비트 절사방법을 적절히 적용시켜야 한다는 점이다. 또한, 시행착오를 거치면서 여러 비트 사이즈에 대하여 모의 실험을 수행하여야만 성능 열화를 최소화 하면서 원하는 비트 사이즈를 얻을 수 있다. 본 논문에서는 수신단의 트래픽 채널에 최적화된 비트 사이즈를 결정하기 위하여 AWGN 및 ITU-R M.1225의 Veh-A 채널 환경에서 컴퓨터 모의 실험을 수행한다.

Key Words : OFDM/OFDMA, Floating-point, Fixed-point, Quantization, Saturation

ABSTRACT

This paper propose to methodology for deciding suitable bit size that minimizes hardware complexity and performance degradation from floating-point design the fixed-point implementation of downlink traffic channel of IEEE 802.16e OFDMA TDD system. One of the major considering issues for implementing fixed-point design is to select Saturation or Quantization properly with the knowledge of signal distribution by pdf or histogram. Also, through trial and error, we should execute exhaustive computer simulation for various bit sizes, hence obtain appropriate bit size while minimizing performance degradation. We carry out computer simulation to decide the optimized bit size of downlink traffic channel under AWGN and ITU-R M.1225 Veh-A channel model.

I. 서론

최근 국내외적으로 4세대 이동통신에 대한 관심

이 높아지면서, 4세대 이동통신 시스템의 요구 사항을 만족시키는 시스템에 대한 연구가 활발히 진행 중에 있다. 특히, OFDM (Orthogonal Frequency

* 인하대학교 정보통신대학원 이동통신연구실 (khchang@inha.ac.kr), ** 한국전자통신연구원(ETRI) IT 융합·부품연구소
논문번호: KICS2006-03-138, 접수일자: 2006년 3월 24일, 최종논문접수일자: 2006년 5월 29일

Division Multiplexing) 방식은 높은 전송 효율과 간단한 단일 탭 등화기로 채널의 왜곡을 보상하고, 심각한 인접 심볼간 간섭 문제를 CP (Cyclic Prefix)를 사용하여 쉽게 해결할 수 있는 장점을 가지고 있다. 이러한 OFDM 시스템의 장점을 기반으로 하여, 사용자의 다양한 QoS (Quality of Service)를 만족시키기 위한 다중 사용자 접속 방식인 OFDMA (OFDM-FDMA) 시스템에 대한 연구가 진행 중에 있다. OFDMA는 각 사용자에게 서로 다른 서브 캐리어를 할당하는 다중 사용자 접속방식으로서, 사용자의 요구에 맞추어 다양하게 자원을 할당함으로써 다양한 QoS를 제공할 수 있다는 장점을 가지고 있으며, 주파수 선택적 페이딩 현상과 협대역 간섭에 강한 특성을 가지고 있어 현재 IEEE 802.16a/d/e 표준의 물리계층이며, 한국에서 연구되고 있는 WiBro (Wireless Broadband Internet) 시스템과의 연계가 활발히 진행 되고 있는 상태이다. 본 논문은 이러한 OFDMA-TDD 시스템의 하향링크 트래픽 채널의 Fixed-point 구현을 위하여 성능 열화를 최소화하며 하드웨어의 크기 및 복잡도를 줄일 수 있는 적절한 비트 수를 결정하는 방법론에 대하여 제안한다.

본 논문의 2장에서는 OFDMA-TDD 시스템의 물리 계층 (Physical Layer)의 사항들에 대하여 간단히 소개하며, 3장에서는 Fixed-point 구현에 대한 방법론을 제시하고 그에 따른 모의 실험을 각 블록별로 수행하여 성능 열화와 시스템 복잡도와의 Tradeoff를 고려하여 적정 비트 수를 제시 하였으며, 결론에서는 Fixed-point 구현 시의 주요 사항들에 대하여 요약한다.

II. OFDMA-TDD 시스템의 물리 계층

IEEE 802.16e OFDMA-TDD 시스템의 하향 링크 프레임은 프리앰블과 데이터 전송 구간인 부채널로 구성되어 있으며, 하향 프리앰블은 초기 동기, 셀 탐색, 주파수 오프셋 및 채널 추정에 사용할 수 있다. 또한 상·하향 전송시간을 구분하기 위한 보호 시간인 RTG (Rx/Tx Transition Gap)와 TTG (Tx/Rx Transition Gap)는 각각 74.4 μ s와 87.2 μ s로 프레임 중간과 마지막에서 하향링크 및 상향링크 사이에 삽입된다. 표 1은 IEEE 802.16e OFDMA-TDD 시스템의 프레임 구성 변수 값을 나타낸다.

트래픽 채널 (Traffic Channel)은 음성이나 데이터 등의 실제 정보가 전송되는 구간으로 하향링크

표 1. TDD 주요 프레임 변수.

Table 1. Main frame parameters in TDD system.

Parameters	Values
FFT 사이즈	1024
대역폭	8.75MHz
샘플링 주파수	10MHz
부반송파 주파수 간격	9.765KHz
프레임 당 심볼 수	42
OFDM 심볼 시간	115.2 μ s
유효 심볼 시간	102.4 μ s
Cyclic Prefix	12.8 μ s
TTG 시간	87.2 μ s
RTG 시간	74.4 μ s
TDD 프레임 길이	5ms

표 2. 각 부채널별 부반송파 사용.

Table 2. Sub-carrier usage per each sub-channel.

Sub-carrier	PUSC	FUSC	OFUSC	AMC
Left-guard SC	92	87	80	80
Right-guard SC	91	86	79	79
Used SC	840	850	864	864
DC SC	1	1	1	1
Pilot SC	120	82	96	96
Data SC	720	768	768	768

의 데이터 전송 구간은 PUSC 부채널 (Partial Usage Sub-channel) 구간과 다이버시티 부채널 (FUSC: Full Usage Sub-channel, OFUSC : Optional-FUSC) 구간 및 AMC (Adaptive Modulation and Coding) 부채널 구간으로 나눌 수 있다. 각 부채널에 대한 부반송파의 할당은 PUSC 부채널의 경우 클러스터라는 단위에 파일럿과 데이터가 할당되며, FUSC 부채널은 인접한 다수의 부반송파 군들에서 선택된 부반송파로 이루어져 있으며, AMC 부채널은 빈이라는 구조에 8개의 데이터 반송파 당 1개의 파일럿 부반송파가 할당된다.^[1]

III. 하향링크 트래픽 채널의 Fixed-point 구현 방법론 및 컴퓨터 모의 실험 결과

본 장에서는 OFDMA-TDD 시스템의 Fixed-point 구현에 대한 방법론을 제시하고 그에 따른 모의 실험을 각 블록별로 수행하여 Floating-point와의 성능 열화가 최소이면서도 하드웨어의 복잡도면에서 적절

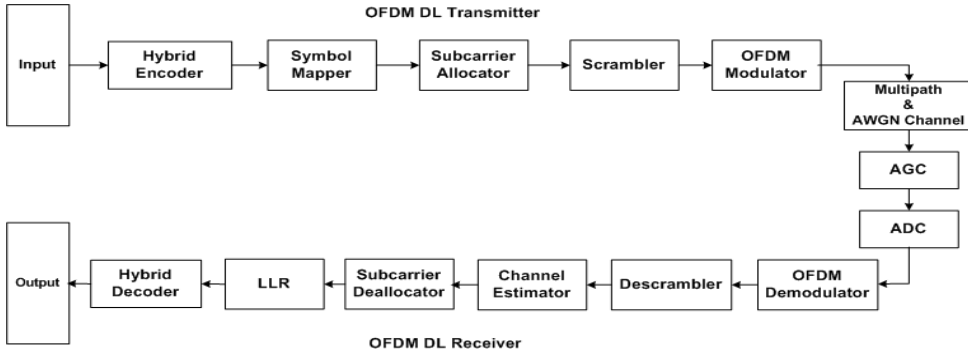


그림 1. OFDM 시스템의 송·수신단 블록도
Fig. 1. Transmitter and receiver block diagram of OFDM system.

표 3. 모의 실험 파라미터.

Table 3. Simulation parameters.

Parameters	Values
Used sub-channel	OFUSC
데이터 부반송파 수	768
파일럿 부반송파 수	96
변조 방법	2/3 64QAM
FFT 사이즈	1024
Cyclic Prefix	128
Channel 환경	ITU-R M.1225 Veh-A
MS (Mobile Station) 속도	60km/h

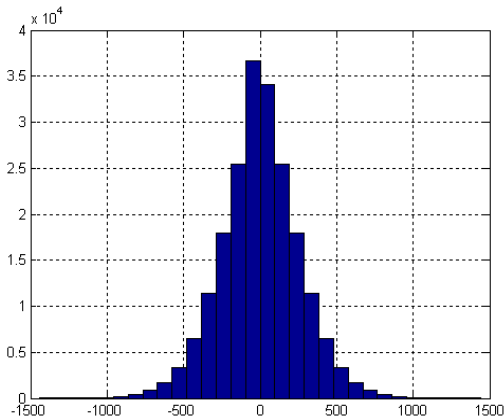


그림 2. Saturation이 사용되는 경우의 신호 분포
Fig. 2. Signal distribution for Saturation.

한 word-length를 제안한다. 실제 Fixed-point를 구현 하는 경우에 있어서 PER (Packet Error Rate) 성능 열화를 0.5dB 이하로 설계하므로 본 논문에서도 PER 0.5dB 이하의 성능 열화를 Target으로 하향링크 Fixed-point를 구현한다. 그림 1은 하향링크 Fixed-point 구현을 위한 OFDM 송·수신단 블록도를 나타내며, 수신단의 구성은 ADC (Analog

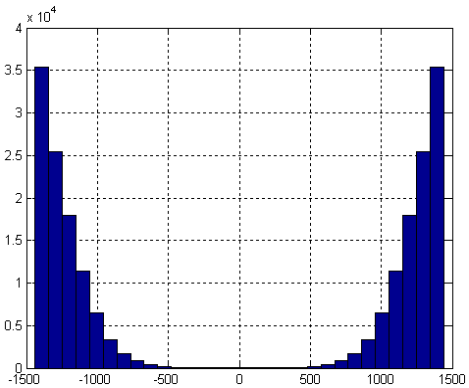


그림 3. Quantization이 사용되는 경우의 신호 분포
Fig. 3. Signal distribution for Quantization.

Digital Converter)의 입력을 일정하게 유지시키는 역할을 하는 AGC (Automatic Gain Controller), 아날로그 신호를 디지털 신호로 변환시키기 위한 ADC, FFT (Fast Fourier Transform) 수행과 CP를 제거하는 OFDM 복조기, 다중 경로 채널로 인한 왜곡을 보상하기 위한 Channel Estimator, Soft Demapping을 수행하는 LLR (Log Likelihood Ratio) 과 CTC Decoding을 위한 Hybrid Decoder로 구성되어 있다. Fixed-point 구현 시 고려해야 할 사항은 모든 열악한 환경에서도 하드웨어의 동작을 보장하기 위하여 최악의 상황을 가정하고 설계를 해야 한다는 것이다.

그림 1에서 AGC는 수신기의 이득을 조절하여 ADC 출력이 원하는 레벨을 유지하도록 하는 기능으로써, 수신 전력을 측정하여 수신단 이득을 조절함으로써 ADC 입력 신호가 과도하게 커져 ADC 출력이 Overflow되거나 ADC 입력 신호가 과도하게 작아 ADC 상위 비트가 낭비되지 않도록 한다. 표 3은 컴퓨터 모의 실험 환경을 나타낸다.

3.1 Saturation과 Quantization의 적용

비트 사이즈 결정에 있어서 고려해야 할 사항으로 Saturation과 Quantization 방법이 있다. 이는 비트 사이즈를 줄일 필요가 있을 경우에 사용되는 방법으로, 신호의 분포를 확인하여 어떠한 Method를 사용할지 결정해야한다.

Saturation은 MSB (Most Significant Bit)를 절사하기 위한 방법으로 신호의 분포가 그림 2에서처럼 가우시안 (Gaussian) 분포를 갖고 있을 경우에 사용되며, 이외는 반대로 그림 3에서처럼 신호의 분포가 U자형 분포를 갖고 있을 경우에는 Quantization을 사용하여 LSB (Least Significant Bit)를 절사해야 한다.

3.2 ADC

ADC는 채널을 통과한 아날로그 신호를 디지털 신호로 변환시키는 역할을 하게 된다. 하향링크의 Fixed-point 구현에 있어서 가장 우선적으로 수행되는 블록이 ADC이기 때문에 ADC의 비트 사이즈를 적절하게 결정하는 것은 매우 중요한 문제이다. ADC의 비트 사이즈가 크게 될 경우 시스템의 복잡도가 증가할 뿐 만 아니라 전력 소모 또한 증가하게 되며, 비트 사이즈가 작을 경우 하드웨어의 복잡도는 감소하는 반면 아날로그 신호를 디지털로 정확하게 표현할 수 없게 되므로 성능 열화가 심해지게 된다. 따라서 이러한 Tradeoff를 고려해서 적절한 비트 사이즈를 결정해야 한다. 그림 4는 ADC의 비트 사이즈를 정하기 위하여 ADC의 입력 신호에 대한 Dynamic Range 측정을 나타낸다.

Dynamic Range의 측정 방법은 Floating-point에서 Full-loading을 이용하여 다중 경로 채널 및 AWGN (Additive White Noise Gaussian)을 통과한

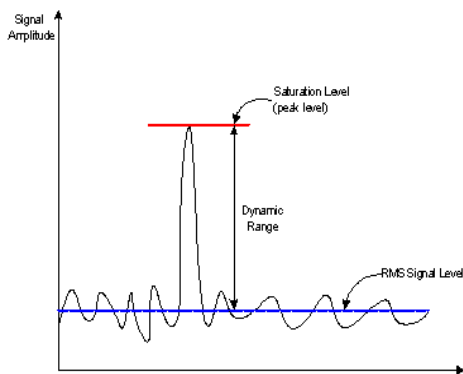


그림 4. ADC의 dynamic range 측정.
Fig. 4. Measurement of ADC dynamic range.

신호의 PAPR (Peak to Average Power Ratio)과 RMS (Root Mean Square) Power를 측정하여 이 두 값에 대한 차이를 Dynamic Range로 결정한다. ADC의 비트 사이즈와 Dynamic Range 측정은 채널 Coding/Decoding을 제외한 상태에서 Uncoded BER (Bit Error Rate)을 성능 척도로 사용하여 Target BER에서 Floating-point 보다 SNR (Signal to Noise Ratio) 0.1dB 이하의 성능 열화를 만족할 수 있도록 설계해야 한다. 일반적으로 OFDM 신호는 PAPR 값이 큰 단점이 있기 때문에 PAPR과 RMS 값의 차이를 Dynamic Range로 사용하게 되면 결국 더 높은 Resolution과 더 많은 비트가 필요하게 되어 ADC의 복잡도가 증가한다. 따라서 BER 0.1dB 이하의 성능 열화를 만족하는 범위 내에서 Dynamic Range를 줄여야 한다.

그림 5는 ADC 입력 신호의 Amplitude를 나타내며, 그림 6은 ADC 출력에 대한 성능 그래프를 나타낸다. 위의 그림 6에서 Dynamic Range와 비트

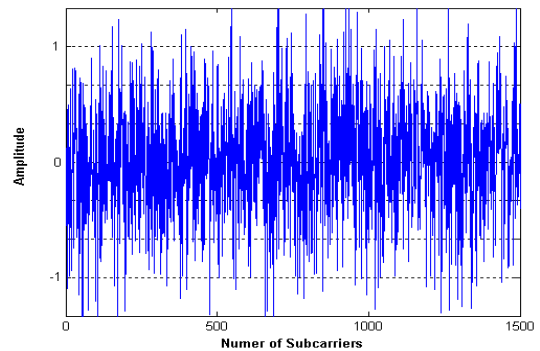


그림 5. ADC 입력 신호의 진폭.
Fig. 5. Amplitude of ADC input signal.

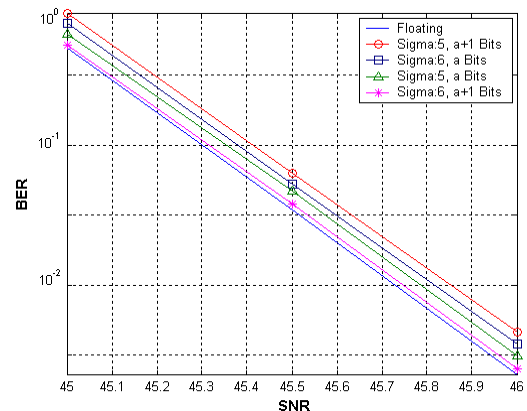


그림 6. Dynamic range와 비트 수에 따른 ADC 성능.
Fig. 6. ADC performance according to dynamic range.

사이즈가 항상 비례하지 않음을 알 수 있는데, 이는 Quantization Noise와 Clipping에 기인한 것이다. QAM 변조된 OFDM 신호에 있어서 Quantization Noise와 Clipping에 따른 SNR은 식 (1)과 같이 나타낼 수 있다.

$$SNR = [(SNR_Q)^{-1} + (SNR_{CL})^{-1}]^{-1} \quad (1)$$

where,

$$SNR_Q = \frac{12 \cdot 2^{2b}}{(2\mu)^2}$$

$$SNR_{CL} = \left(\left(1 + \mu\right)^2 \operatorname{erfc}\left(\frac{\mu}{\sqrt{2}}\right) - \sqrt{\frac{2}{\pi}} \mu e^{-\frac{\mu^2}{2}} \right)^{-1} \quad (2)$$

식 (1)에서 μ 는 Clipping Level과 입력 신호의 RMS Amplitude의 비를 나타낸다.^[2]

ADC의 출력값은 Two's complement의 Saturation arithmetic을 사용한다.

3.3 FXP FFT

FFT는 시간 영역의 데이터를 주파수 영역으로 변환하는 DFT (Discrete Fourier Transform)를 고속으로 처리하기 위한 알고리즘으로 Radix-2를 이용하여 N-point DFT과정을 2개의 (N/2)-point DFT로 나누면 식 (3)과 같이 표현할 수 있다.

$$\begin{aligned} x_1(n) &= x(2n), & n &= 0, 1, \dots, \frac{N}{2} - 1 \\ x_2(n) &= x(2n+1), & n &= 0, 1, \dots, \frac{N}{2} - 1 \end{aligned} \quad (3)$$

식 (3)을 N-point DFT에 대하여 일반화 시키면 식 (4)와 같이 표현할 수 있다.

$$\begin{aligned} X(k) &= \sum_{n=0}^{N/2-1} x[2n]W_N^{2nk} + \sum_{n=0}^{N/2-1} x[2n+1]W_N^{(2n+1)k} \\ &= \sum_{n=0}^{N/2-1} x_1[n]W_{N/2}^{nk} + W_N^k \sum_{n=0}^{N/2-1} x_2[n]W_{N/2}^{nk} \\ &= X_1(k) + W_N^k X_2(k) \end{aligned} \quad (4)$$

일반적인 FFT 과정은 식 (5)와 같이 표현할 수 있으며, N-point FFT를 구성하는 가장 기본적인 단위는 2-point FFT이며, 이를 수행하는 블록을 Butterfly라고 한다.^[3]

$$X(k) = \begin{cases} X_1(k) + W_N^k X_2(k) & 0 \leq k \leq \frac{N}{2} - 1 \\ X_1(k - \frac{N}{2}) + W_N^k X_2(k - \frac{N}{2}) & \frac{N}{2} \leq k \leq N - 1 \end{cases} \quad (5)$$

Butterfly는 2개의 입력 A,B를 받아서 식 (6)과 같은 2개의 출력 X,Y를 내보낸다.

$$X = A + W_N^k B, \quad Y = A - W_N^k B \quad (6)$$

Radix-2 알고리즘으로 인한 FFT 입력 및 출력의 비트 수는 식 (7)에 따라 결정되며, 그림 7은 Butterfly 연산에 의한 입력 비트에 따른 출력 비트를 나타낸다.

$$\text{Nr. of FFT Out} = \text{Nr. of FFT Input} + \text{Nr. of State} \quad (7)$$

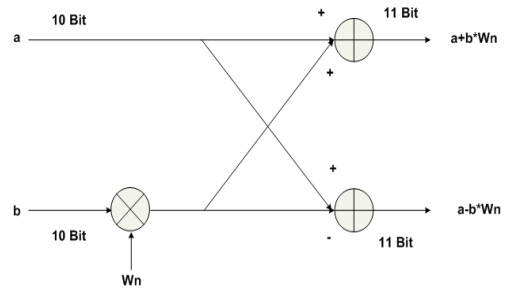


그림 7. Butterfly 연산에 따른 입·출력 비트.
Fig. 7. Input and output bit size according to the butterfly operation.

FFT의 Butterfly 연산을 수행하기 위하여 Twiddle Factor가 필요하게 되는데 Twiddle Factor에 따른 FFT의 성능은 그림 8과 같다.

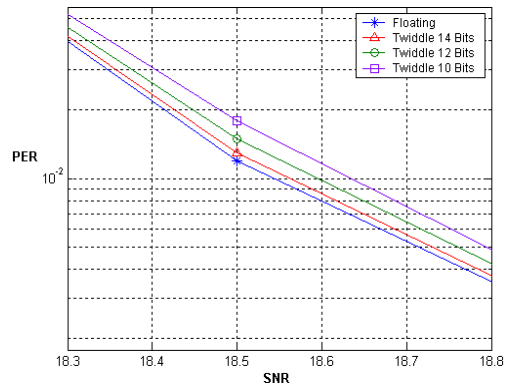


그림 8. Twiddle factor에 따른 FFT 성능.
Fig. 8. FFT performance according to twiddle factor.

3.3.1 Convergent Block Floating Point (CBFP)

FFT는 Butterfly와 복소수 곱셈으로 구성되는 연산 단계를 거치면서 FFT Core 의 중간결과 값의 비트 수가 증가한다는 단점을 가지고 있다. 따라서 Fixed-point 연산을 사용하는 FFT에 있어 각 연산 단계의 중간결과 값을 적절한 내부 비트 사이즈로 제한해야 한다. 각 연산 단계의 출력을 FFT 내부 비트 사이즈로 잘라내는 절사 방법은 추가적인 메모리가 필요 없는 장점이 있지만, 단순 절사에 의한 FFT 출력의 정확도가 떨어져 SQNR (Signal to Quantization Noise Ratio)이 낮아지는 단점이 있다.

이를 개선하기 위한 방법으로, Fixed-point 표현과 Floating-point 표현을 혼합한 BFP (Block Floating Point) 스케일링 기법이 제안되었다^{4, 5)}.

BFP 스케일링은 각 연산 단계의 중간 결과 데이터를 버퍼에 저장한 후, 이들 중 가장 큰 값을 기준으로 데이터를 스케일링하여 내부 비트 사이즈를 제안하는 방법이지만, 전체 데이터를 저장할 버퍼가 필요하므로 전력소모가 큰 장점을 가지고 있다. CBFP는 FFT의 SQNR 향상을 위하여 제안된 기법으로 데이터의 연산은 독립적으로 이루어지므로, 각 데이터 블록의 연산이 종료된 직후 이 중에서 가장 큰 값을 기준으로 데이터를 스케일링하여 내부 비트를 줄이는 방법으로 버퍼 사이즈를 크게 줄일 수 있다는 장점이 있다.

그림 9와 식 (8)은 CBFP의 SQNR을 계산하기 위한 블록도와 수식을 나타낸다.

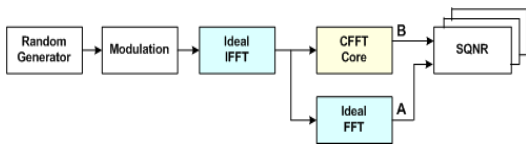


그림 9. SQNR 측정을 위한 블록 다이어그램.
Fig. 9. Block diagram for SQNR measurement.

$$SQNR = \frac{\sum \{Re(A)\}^2 + \sum \{Im(A)\}^2}{\sum \{Re(A) - Re(B)\}^2 + \sum \{Im(A) - Im(B)\}^2} \quad (8)$$

식 (8)에서 A는 Ideal FFT의 출력 값을 B는 Convergent FFT의 출력 값을 나타낸다. 식 (8)에서 SQNR은 Convergent FFT와 Ideal FFT의 연산에 의한 출력 값이 비슷할수록 FFT 출력의 정확도는 높아진다.

그림 10은 CBFP가 있는 경우의 SQNR과 없는 경우의 SQNR 값을 나타내는 그래프로 FFT Core

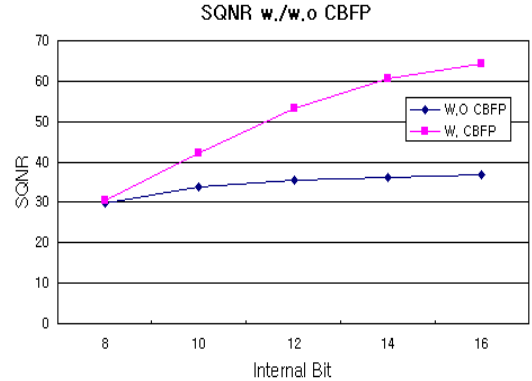


그림 10. SQNR 성능 (with/without CBFP).
Fig. 10. SQNR performance with/without CBFP.

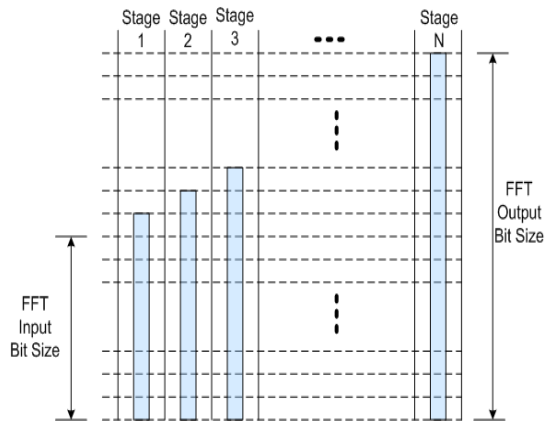


그림 11. State 수에 따른 FFT 출력 비트 사이즈 증가.
Fig. 11. FFT output bit size increase according to the number of state .

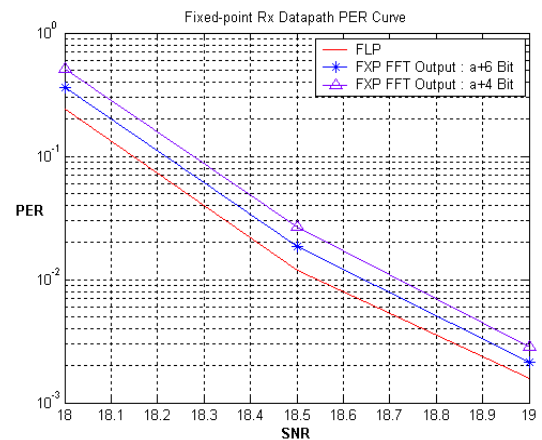


그림 12. FXP FFT 성능.
Fig. 12. FXP FFT performance.

에서 CBFP를 이용하게 되면 그렇지 않은 경우에 비하여 내부 비트 사이즈가 증가함에 따라 SQNR

값이 증가하게 된다.

FFT의 출력은 Butterfly 연산으로 인해 커다란 비트 사이즈를 갖고 있기 때문에 비트를 절사하지 않고 채널 추정기로 가져가게 되면 채널 추정기의 복잡도 또한 증가하게 된다. 그림 11은 State 수의 증가에 따른 채널 추정기의 출력 비트 수 증가를 나타내며, 그림 12는 FFT 출력 (a+10) 비트를 (a+4) 비트와 (a+6) 비트로 절사한 경우의 성능열화를 나타낸다.

3.4 FXP 채널 추정기

채널 추정기는 다중 경로 페이딩에 의해 발생하는 신호의 왜곡을 추정하고 보상하는 기능을 하며, 채널 추정은 프리앰블을 이용한 방식과 파일롯을 이용한 방식이 있다. 본 논문에서는 파일롯을 이용하여 신호를 보상한다. 그림 13은 채널 추정기의 구조를 나타낸다.

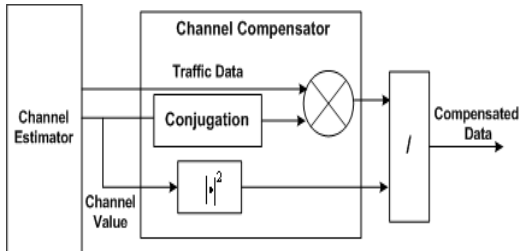


그림 13. 채널 추정기 구조.
Fig. 13. Channel estimator structure.

채널 추정은 2단계에 거쳐 수행되며, 첫 번째 단계는 파일롯 값들을 이용하여 그림 14에서처럼 채널 추정을 하게 된다. 채널 추정 방법은 파일롯 값들을 이용하여 심볼 측으로 파일롯 값들을 평균을 내거나 인접 심볼에 복사를 하며, 주파수 축으로는 이전 파일롯과 Interpolation을 하게 된다.

채널 추정기의 Fixed-point 구현은 채널 추정 알고리즘 자체의 Fixed-point 구현과 주파수 축으로 Interpolation 연산 과정에서의 나눗셈에 필요하다.

그림 15는 Floating-point Interpolation 값인 1/3을 디지털로 스케일링한 값들에 대한 PER 성능을 나타내는데, 각각은 3비트(0.375), 4비트(0.3125), 5비트(0.34375)가 필요하다. 그림에서 보면 3비트를 사용하였을 경우 성능 열화가 약 0.1dB인 반면, 4비트와 5비트는 0.05dB 이하이기 때문에 4비트를 선택하는 것이 복잡도면이나 성능 열화 관점에 있어서 적절하다는 것을 알 수 있다.



그림 14. 채널 추정 방법 (Av. & Copy).
Fig. 14. Channel estimation method (Av. & Copy).

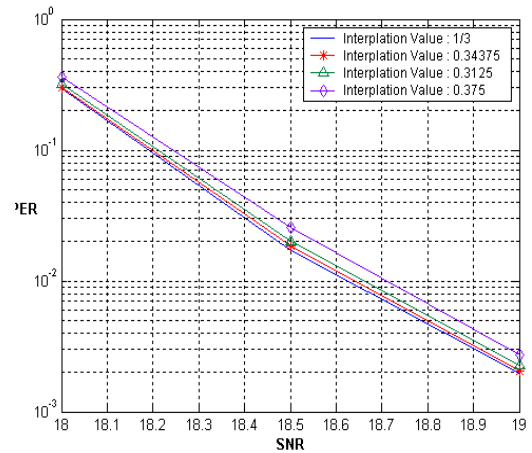


그림 15. Interpolation 값에 따른 채널 추정 성능.
Fig. 15. Channel estimation performance according to interpolation value.

채널 추정기에 대한 Fixed-point 구현이 끝나면 두 번째 단계인 채널 보상에 대한 Fixed-point 구현이 필요하다. 채널 보상의 구조는 그림 13과 같으며 채널 추정기로부터 파일롯과 데이터를 입력으로 받아들인다. 보상 과정은 데이터 값과 공액 (Conjugate) 파일롯 값을 곱한 후 파일롯의 제곱으로 나눔으로써 신호의 위상과 크기를 보상하게 된다.

Fixed-point 구현 시에 고려해야 할 점은 Target SNR의 범위를 벗어나지 않는 범위내에서 가능하면 비트 사이즈를 줄여야 한다는 것이다. 채널 보상의 내부 구조에 있어서 파일롯 값의 제공이나 데이터 값의 곱은 매우 큰 값이므로 많은 비트 사이즈를 필요로 하게 된다. 따라서 이 값들 역시 모의 실험을 통해 가능하면 최대한 줄여야 하며, 그림 16은 이에 대한 PER 성능 그래프를 나타낸다.

그림 16에서 파일롯의 제공에 해당하는 비트 사

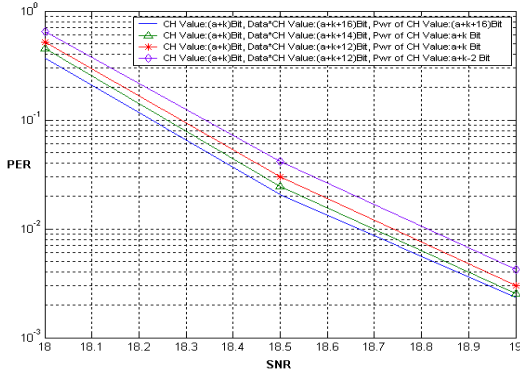


그림 16. 채널 보상기 내부 비트 크기에 따른 성능.
Fig. 16. Channel compensation performance according to internal bit size.

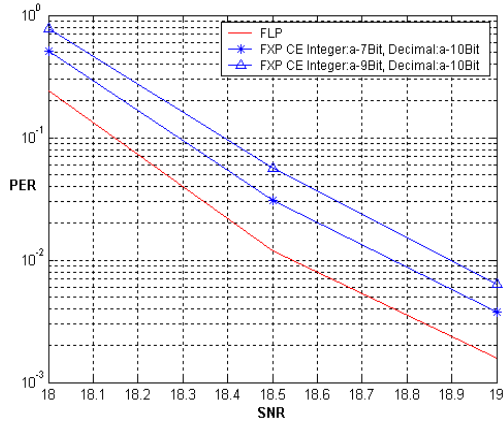


그림 17. FXP 채널 추정기 성능.
Fig. 17. FXP channel estimation performance.

이즈가 상당히 줄었음을 알 수 있는데 이는 제곱 연산에 의해 파일럿 값들이 상대적으로 큰 값으로 집중되기 때문이다.

그림 16에서 채널 보상기의 출력 비트는 파일럿 (a+k+2) 비트, 파일럿과 데이터의 곱 (a+k+14) 비트, 파일럿 제곱 a 비트를 선택한다.

채널 추정기의 출력 신호는 파일럿의 제공 값으로 나누어지므로 채널 추정기의 최종 비트 크기를 결정해야 한다.

그림 17은 이에 대한 성능을 나타내며 출력 비트는 정수 (a-9)비트와 소수 (a-10) 비트이다.

3.5 FXP Simplified LLR (Log Likelihood Ratio)

Simplified LLR은 기존 LLR의 복잡도를 줄이면서도 성능 열화가 거의 없는 알고리즘이다.

LLR이 채널 추정에 의해 보상된 데이터와 채널

추정값을 이용하여 LLR을 계산한 후 소프트 판정을 하여 Decision을 내리는 반면, Simplified LLR은 전송 모드에 따라 Decision Boundary를 정해 소프트 값을 계산하는 알고리즘이다. 식 (9) ~식 (10)은 64QAM In-phase 신호에 대한 Decision Boundary와 Simplified LLR 계산식이다. Quadrature 신호에 대한 계산식도 식 (9)와 같다.^[6]

$$D_{I,1} = \begin{cases} y_I[i], & |y_I[i]| \leq 2 \\ 2(y_I[i]-1), & 2 < y_I[i] \leq 4 \\ 3(y_I[i]-2), & 4 < y_I[i] \leq 6 \\ 4(y_I[i]-3), & y_I[i] > 6 \\ 2(y_I[i]+1), & -4 \leq y_I[i] < -2 \\ 3(y_I[i]+2), & -6 \leq y_I[i] < -4 \\ 4(y_I[i]+3), & y_I[i] < -6 \end{cases}$$

$$D_{I,2} = \begin{cases} 2(-|y_I[i]|+3), & |y_I[i]| \leq 2 \\ 4-|y_I[i]|, & 2 < |y_I[i]| \leq 6 \\ 2(-|y_I[i]|+5), & |y_I[i]| > 6 \end{cases} \quad (9)$$

$$D_{I,3} = \begin{cases} |y_I[i]|-2, & |y_I[i]| \leq 4 \\ -|y_I[i]|+6, & |y_I[i]| > 4 \end{cases}$$

$$LLR(b_{I,k}) \triangleq |G_{ch}(i)|^2 \cdot D_{I,k} \quad (10)$$

식 (9), (10)에서 $y[i]$ 는 수신 신호를 나타내며, $G_{ch}(i)$ 는 채널 값을 나타낸다.

그림 18에서 LLR 출력은 정수 (a-9) 비트 소수 (a-10) 비트이며, 그림 18의 그래프는 최종적인 하향링크 Fixed-point의 성능을 나타내게 된다. 처음에 언급했듯이 Target PER 성능 열화를 0.5dB 이하로

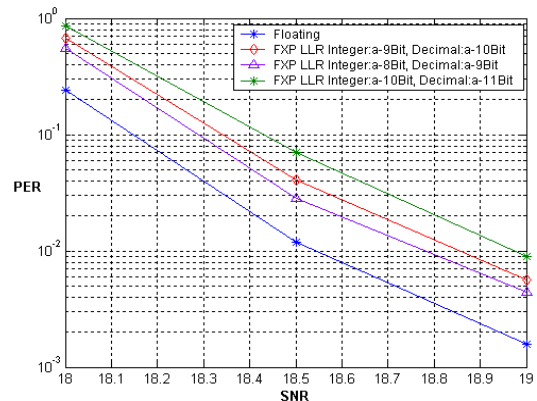


그림 18. FXP simplified LLR 성능.
Fig. 18. FXP simplified LLR performance.

설정을 하였기 때문에 FXP LLR까지의 성능 열화 약 0.32dB는 각 블록에 있어 정확한 Fixed-point 구현과 적절한 비트 사이즈가 결정되었다는 것을 나타낸다.

IV. 결론

본 논문에서는 Floating-point 설계로부터 최적의 Fixed-point 구현을 위한 효율적인 방법론을 제시하였으며, Fixed-point 설계를 하는데 있어 다음과 같은 방법론을 제안한다.

첫째, 아날로그 신호를 디지털 신호로 변환시키는 역할을 하는 ADC의 Dynamic Range와 비트 사이즈를 적절히 결정해야 한다는 것이다. ADC의 비트 사이즈가 증가하면 ADC의 복잡도 증가와 전력 소모가 커지게 되는 반면, 비트 사이즈가 작을 경우 Resolution이 감소되어 성능 열화가 심해진다. 또한, Quantization Noise와 Clipping 레벨을 함께 고려해서 적절한 비트 사이즈와 Dynamic Range를 찾아야 한다.

둘째, 비트 사이즈를 절사 할 필요가 있는 경우, Saturation과 Quantization을 적절히 사용하기 위하여 신호의 pdf 또는 histogram 특성을 이용하여 정확한 신호의 분포를 파악해야 한다.

셋째, 비트 사이즈를 정할 경우에 신호의 출력값이 크다면 소수점 이하를 무시하고 정수 값만을 고려해도 성능에 큰 영향이 없지만, 나눗셈 연산에 의하여 출력 값이 아주 작아질 경우에는 반드시 소수점 이하의 비트까지 고려해야만 성능 열화를 최소화 할 수 있다.

마지막으로 적절한 비트 사이즈를 얻기 위해서는 시행착오를 거치며, 다양한 비트 사이즈에 대하여 모의 실험을 수행하여 성능과 복잡도 간의 Tradeoff 관계를 최적화해야 한다.

참 고 문 헌

[1] IEEE P802.16e/D11-2005 IEEE Standards for local and metropolitan area networks part 16: Air interference for fixed broadband wireless access systems.
 [2] Marc Engels, *Wireless OFDM Systems*. Kluwer, 2002.

[3] Emmanuel C. Ifeachor and Barrie W. Jervis, *Digital Signal Processing*. Prentice Hall, pp. 777-782, 2001.
 [4] R.G. Lyons, *Understanding Digital Signal Processing*. Addison-Wesley, 1997.
 [5] 이승기, 양대성, 신경욱, “2단계 수렴 블록 부동점 스케일링 기법을 이용한 8192점 파이프라인 FFT/IFFT 프로세서,” *한국통신학회논문지*, vol. 27, No. 10C, pp. 963-972.
 [6] Filippo Tosato and Paola Bisaglia, “Simplified soft-output demapper for binary interleaved COFDM with application to HIPERAN/2,” in *Proc, IEEE International Communications Conference*, vol. 2, May 2002, pp. 664-668.

김 규 현 (Kyoohyun Kim)

준회원



2005년 2월 인하대학교 정보통신공학과 (공학사)
 2005년 3월~현재 인하대학교 정보통신대학원 석사과정
 <관심분야> 4세대 이동 통신 시스템, MIMO 및 Smart Antenna System, WiBro 시스템 무선 전송 규격, Cooperative Relaying System.

선 태 형 (TaeHyung Sun)

준회원



2005년 2월 인하대학교 컴퓨터공학과 (공학사)
 2005년 3월~현재 인하대학교 정보통신대학원 석사과정
 <관심분야> 4세대 이동통신 시스템, MIMO 시스템 및 WiBro 시스템 무선 전송규격, Cognitive Radio

왕 우 봉 (YuPeng Wang)

준회원



2004년 7월 동북대학교 통신공학과 (공학사)
 2004년 9월~현재 인하대학 정보통신대학원 석사과정
 <관심분야> 4세대 이동통신 시스템, UWB 시스템 무선 전송 규격

장 경 희 (KyungHi Chang)

중신회원



1985년 2월 연세대학교 전자공학과 (공학사)

1987년 2월 연세대학교 전자공학과 (공학석사)

1992년 8월 Texas A & M Univ., EE Dept. (Ph.D.)

1989년~1990년 삼성종합기술원

주임연구원

1992년~2003년 한국전자통신연구원, 이동통신연구소 무선전송 방식 연구팀장 (책임연구원)

2003년~현재 인하대학교 정보통신대학원 부교수

<관심분야> 4세대 이동통신 및 3GPP LTE 무선 전송방식, WMAN 및 DMB 시스템 무선전송기술 Cognitive Radio, Cross-layer Design

박 형 일 (HyungIl Park)

정회원



1995년 2월 전남대학교 전자공학과 (공학사)

1997년 2월 전남대학교 대학원 전자공학과 (공학석사)

1997년~1999년(주) 아남반도체기술

1998년~현재 한국전자통신연구원 IT융합부품연구소 선임연구원

<관심분야> VLSI 신호처리, u-Processor 구조, CDMA/OFDM/OFDMA, SDR

어 익 수 (IkSoo Eo)

정회원



1985년 2월 부산대학교 전자공학과 (공학사)

1987년 8월 한국과학기술원 전기 및 전자공학과 (공학석사)

1987년 10월~현재 한국전자통신연구원 IT융합부품연구소 책임연구원

<관심분야> VLSI 설계, 무선모뎀 구현, 통신신호처리