

단축 및 평처링 기반의 가변형 RS 복호기 설계

종신회원 송 문 규*, 준회원 공 민 한*, 정회원 임 명 섭**

Design of a Variable Shortened and Punctured RS Decoder

Moon Kyou Song* *Lifetime Member*, Min Han Kong* *Associate Member*
Myoung Seob Lim** *Regular Member*

요 약

본 논문에서는 소실 복호 기능을 갖는 가변형 Reed-Solomon(RS) 복호기가 수정 유클리드 알고리즘(modified Euclid's algorithm; MEA)을 기반으로 설계되었다. 복호기의 가변성은 원시 RS(255, 239, 8) 부호와는 다른 RS(124, 108, 8) 부호를 기반으로 단축과 평처링을 통해 구현된다. 이렇게 하므로써 복호 시간을 단축시켰다. 복호기는 4단계 파이프라인 구조를 갖으며, 파이프라인의 각 단계는 서로 다른 클럭으로 동작할 수 있도록 설계하였다. 따라서 MEA 블록에 고속 클럭을 사용하므로써 복호기의 복잡도 및 복호 지연을 단축할 수 있으며, 버스트 및 연속 모드의 복호를 모두 지원한다. 설계된 복호기는 VHDL로 구현하고 FPGA에 합성하였으며, 3,717개의 로직 셀과 2,048 비트의 메모리가 사용되었다. 설계된 복호기는 최고 33MByte/sec의 데이터를 복호할 수 있다.

Key Words : block code, error correcting code, modified Euclid's algorithm, variable RS code

ABSTRACT

In this paper, a variable Reed-Solomon(RS) decoder with erasure decoding functionality is designed based on the modified Euclid's algorithm(MEA). The variability of the decoder is implemented through shortening and puncturing based on the RS(124, 108, 8) code, other than the primitive RS(255, 239, 8) code. This leads to shortening the decoding latency. The decoder performs 4-step pipelined operation, where each step is designed to be clocked by an independent clock. Thus by using a faster clock for the MEA block, the complexity and the decoding latency can be reduced. It can support both continuous- and burst-mode decoding. It has been designed in VHDL and synthesized in an FPGA chip, consuming 3,717 logic cells and 2,048-bit memories. The maximum decoding throughput is 33 MByte/sec.

I. 서 론

무선을 통한 광대역 데이터의 고속 전송을 위해서는 유용한 대역폭을 효율적으로 활용해야 한다. 이를 위해서 높은 차수의 변조 기법과 채널 환경 및 원하는 성능에 따라 부호의 선택을 달리하는 적응형 에러정정 기법이 요구되며, 이들 사이의 적절

한 조합도 매우 중요하다.

순방향 에러정정(forward error-correction; FEC) 기법의 일반적인 설계 원칙은 최악의 채널 환경에서 원하는 평균 성능을 얻는 것이다. 그러나 대부분의 응용에서 채널은 단지 매우 작은 시간 동안만 최악의 상태로 존재한다. 그러므로 대역 효율성이 떨어지고, 채널상황에 따라 변화하는 에러정정 능력

* 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.

* 원광대학교 전기전자및정보공학부 무선통신연구실({mksong, y2kdoli}@wku.ac.kr)

** 전북대학교 전자정보공학부 초고속데이터이동통신연구실(mslim@chonbuk.ac.kr)

논문번호 : KICS2006-02-099, 접수일자 : 2006년 2월 27일, 최종논문접수일자 : 2006년 7월 14일

에 대한 요구를 충족시킬 수 없다. 광대역 데이터의 고속 전송을 위해서 더 우수한 대역 효율성으로 에러를 정정할 수 있는 보다 더 효율적인 FEC 기술이 요구된다.

적응형 FEC(adaptive FEC; AFEC) 기법은 시변 잡음 레벨과 요구되는 성능에 따라 적응적으로 최적의 부호를 선택한다. AFEC 기법은 대역 효율성과 전력 효율성 사이의 쉽고 용이한 절충을 제공할 수 있고, 다양한 전송 성능 요구를 수용할 수 있다^[1, 2]. 가변 에러정정 능력 t 를 갖는 가변형 RS 부호는 AFEC를 위해 이용될 수 있다. 가변형 RS 부호는 다중 QoS 요구를 지원할 수 있고, 시변 채널 특성에 적응적으로 스케일될 수 있고, 변화하는 에러정정 능력 t 와 부호율 R 에도 불구하고 일정한 복호 지연을 갖도록 설계할 수 있는 잇점을 갖는다.

핑처링을 통한 가변형 RS 부호의 응용과 성능에 관한 연구는 문헌 [3~5] 등에서 찾을 수 있으며, 문헌 [6]에서는 단축과 핑처링을 통한 가변형 RS 부호의 복호 알고리즘에 관하여 연구하였다. 문헌 [6]에서 제시한 복호 알고리즘은 에러정정이 없는 소실 복호만이 가능하며, 원천 부호로서 블록 길이가 $n=2^m-1$ 인 원시 RS 부호를 사용하여 복호 지연이 크다.

본 논문에서는 수정 유클리드 알고리즘(modified Euclid's algorithm; MEA)을 기반으로 소실 복호 기능을 갖는 가변형 RS 복호기를 설계한다. 복호기의 가변성은 RS(124, 108, 8) 부호를 기반으로 단축과 핑처링을 통해 구현된다. 가변형 부호에 대한 원천 부호로서 이 부호를 사용하는 것은 원시 RS(255, 239, 8) 부호를 사용한 것보다 복호 지연을 단축할 수 있다. 복호기는 4단계 파이프라인 구조를 갖으며 파이프라인의 각 단계는 서로 다른 클럭으로 동작할 수 있도록 설계하였다. MEA 블록에 고속 클럭을 사용하므로써 복호기의 복잡도 및 복호 지연을 단축하였으며, 버스트 및 연속 모드의 복호를 모두 지원할 수 있다.

이후의 본 논문의 구성은 다음과 같다. II장에서는 가변 RS 부호의 규격을 간략하게 소개한다. III장에서는 RS 복호기의 구조에 대해서 기술한다. IV장에서는 복호기 회로의 합성과 실험 결과를 요약한다. 마지막으로, V장에서 결론을 맺는다.

II. 가변형 RS 부호의 규격

표 1은 본 논문에서 사용한 채널 부호의 규격을

표 1. 채널 부호화 규격

RS code	Message length	Code rate	Block length	Modulation
(12, 12, 0)	12	1	24	BPSK
(32, 24, 4)	24	3/4	48	QPSK
(40, 36, 2)	36	9/10	48	QPSK
(64, 48, 8)	48	3/4	96	16-QAM
(80, 72, 4)	72	9/10	96	16-QAM
(108, 96, 6)	96	8/9	144	64-QAM
(120, 108, 6)	108	9/10	144	64-QAM

표 2. RS 부호의 단축과 핑처링

Modulation	Primitive RS (n, k, t)	Shortening		Shortened RS (n, k, t)	Puncturing		Variable RS (n, k, t)
		p	p'		2q	q	
BPSK	(255, 239, 8)	227	96	(28, 12, 8)	16	8	(12, 12, 0)
QPSK	(255, 239, 8)	215	84	(40, 24, 8)	8	4	(32, 24, 4)
QPSK	(255, 239, 8)	203	72	(52, 36, 8)	12	6	(40, 36, 2)
16-QAM	(255, 239, 8)	191	60	(64, 48, 8)	0	0	(64, 48, 8)
16-QAM	(255, 239, 8)	167	36	(88, 72, 8)	8	4	(80, 72, 4)
64-QAM	(255, 239, 8)	143	12	(112, 96, 8)	4	2	(108, 96, 6)
64-QAM	(255, 239, 8)	131	0	(124, 108, 8)	4	2	(120, 108, 6)

보인 것이다. BPSK, QPSK, 16-QAM 그리고 64-QAM을 포함하는 변조 기법이 메시지 타입과 채널 상태에 따라 적응적으로 채택되고, 각각의 변조 기법은 서로 다른 RS 부호와 조합된다^[7]. 모든 RS 부호는 GF(256)상의 원시 RS(255, 239, 8) 부호를 기반으로 생성되며, 사용되는 원시 다항식과 생성자 다항식은 각각 식(1)과 식(2)에 주어진다.

$$p(x) = x^8 + x^4 + x^3 + x^2 + 1 \tag{1}$$

$$g(x) = \prod_{i=0}^{15} (x - \alpha^i) \tag{2}$$

단축은 RS 부호의 차원(dimension)을 변화시킬 수 있다. 메시지 길이를 p 심볼만큼 단축하는 것은 (n, k, t) RS 부호를 $(n-p, k-p, t)$ RS 부호로 변환시킨다. 여기에서 n 은 블록 길이, k 는 차원 또는 메시지 길이, t 는 에러정정 능력을 의미하며, p 는 단축되는 심볼의 수를 나타낸다. 즉, 단축을 통해 블록 길이와 메시지 길이를 모두 p 만큼 줄일 수 있다. 블록이 $n-p$ 데이터 바이트로 단축되는 경우 부호기는 메시지 블록의 앞에 p 개의 영을 삽입하여

부호화 하고, 부호화 이후 p 개의 삽입된 영은 무시한다. 수신기에서는 복호하기 전에 p 개의 영을 재삽입한다.

평처링은 RS 부호의 에러정정 능력을 변화시킨다. (n, k, t) RS 부호는 평처링에 의해서 $(n-2q, k, t-q)$ RS 부호로 변환된다. 여기에서 q 는 평처링되는 체크 심볼의 수이다. 즉, 평처링을 통해 에러정정 능력을 q 만큼, 블록 길이는 $2q$ 만큼 감소시킬 수 있다. 부호기에서 $2t$ 개의 리던던시 심볼 중에서 $2q$ 개의 체크 심볼을 무시한다. 복호기에서는 평처링된 $2q$ 개의 리던던시 심볼을 소실로 처리하여 복호할 수 있다. 소실이란 에러의 위치는 알고 있으나 그 크기는 모르는 에러를 말한다. 소실 복호 기능을 갖는 RS 복호기에서 발생한 에러의 개수를 e , 소실의 개수를 E 라 하면 $2e+E \leq 2t$ 개의 에러 정정이 가능하다. 따라서 (255, 239, 8) RS 부호의 단축과 평처링을 통해 표 1에 제시된 RS 부호를 모두 얻을 수 있다.

표 2는 단축과 평처링을 통해 가변 RS 부호의 얻는 과정을 나타낸 것이다. 중요한 점은 이러한 과정이 반드시 블록 길이 $n=255$ 인 원시 RS 부호를 기반으로 수행할 필요는 없다는 것이다. 표 2에 보인 것처럼 가변 RS 부호 중에서 가장 긴 $n=124$ 인 RS 부호를 기반으로 단축과 평처링을 수행해도 동일한 RS 부호 집합을 얻을 수 있으며, 부호 및 복호 시간을 단축시키고, 소요 메모리를 감소시킬 수 있다.

III. RS 복호기 설계

단축과 평처링을 통한 가변 RS 부호의 복호를 위해서는 소실 복호 기능을 갖는 RS 복호기가 필요하다. 그림 1은 4단계 파이프라인 구조를 갖는 가변형 RS 복호기의 블록 다이어그램을 보인 것이다. 복호기는 수정 유클리드 알고리즘을 기반으로 블록 길이가 $n=124$ 인 RS 부호의 소실 복호를 수행한다.

3.1 신드롬 계산 및 소실 위치 다항식 근 생성

단계 1에서는 수신 부호어를 이용하여 16개의 신드롬 계수로 구성되는 신드롬 다항식 $S(x)$ 를 얻는다^[8]. 이와 동시에 소실 위치 다항식의 근을 생성한다. 소실 위치 다항식의 근은 수신 심볼과 함께 해당 심볼의 소실 여부를 나타내는 신호를 이용하여 근을 생성하는 구조를 갖도록 설계할 수 있다^[9]. 이 경우 만약 j 번째 심볼이 소실되었다면 근은 a^j 이다.

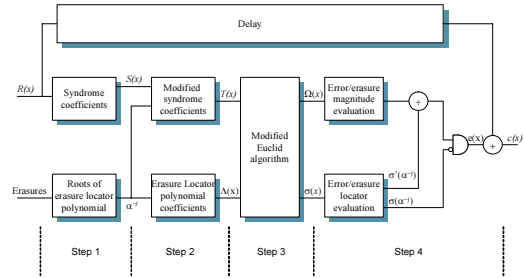


그림 1. RS 복호기의 블록도

그러나 표 1에 규정된 RS 부호는 평처링된 q 개의 체크 심볼을 소실로 처리하게 되며, 이는 부호 모드에 따라 고정되어 있다. 따라서 레지스터, 갈로아 필드 곱셈기, 갈로아 필드 덧셈기 등으로 구성되는 회로를 구성하는 대신 각 부호 모드에 따라 저장된 소실 위치 다항식의 근을 사용하는 구조가 하드웨어 구현에 있어서 더 효율적이다.

3.2 수정 신드롬 다항식 및 소실 위치 다항식

단계 2에서는 신드롬 다항식 $S(x)$ 와 소실 위치 다항식의 근을 이용하여 수정 신드롬 다항식 $T(x)$ 와 소실 위치 다항식 $A(x)$ 를 계산한다. 수정 신드롬 다항식 $T(x)$ 는 식 (3)과 같이 정의된다.

$$T(x) = S(x)A(x) \bmod x^{2t} \tag{3}$$

$$= S(x) \prod_{i=0}^{q-1} (x + A_i)$$

그림 2는 식 (3)로 정의되는 수정 신드롬 다항식을 생성하기 위한 회로를 보인 것이다. 소실 위치 다항식의 근은 $A_{q-1}, A_{q-2}, \dots, A_1, A_0$ 의 순서로 전달된다. 따라서 i 번째 근 A_i 가 입력되는 경우를 고려하면 식 (3)은 식 (4)와 같다.

$$(x + A_i)S(x) = xS(x) + A_iS(x) \tag{4}$$

식 (4)의 우변은 $xS(x)$ 는 신드롬 다항식에 x 를 곱한 결과에 입력되는 근 A_i 를 신드롬 다항식에 더하는 것이다. 신드롬 다항식은 신드롬 계수로 대변되므로 $xS(x)$ 는 신드롬 계수들의 천이로 수행된다.

수정 신드롬 다항식을 계산함과 동시에 소실 위치 다항식의 근을 이용하여 식 (5)로 정의되는 소실 위치 다항식을 전개한다.

$$A(x) = \prod_{i=0}^{q-1} (x + A_i) \tag{5}$$

식 (5)는 $\Lambda(x)$ 이 초기 조건으로 $S(x)$ 대신 1을 사용하는 것을 제외하고는 동일한 방식으로 계산할 수 있다. 따라서 그림 2의 구조를 $\Lambda(x)$ 를 얻기 위해 사용할 수 있으며 다음의 연산을 수행한다.

$$(x + A_i)A_{i-1}(x) = x \cdot A_{i-1}(x) + A_i \cdot A_{i-1}(x) \quad (6)$$

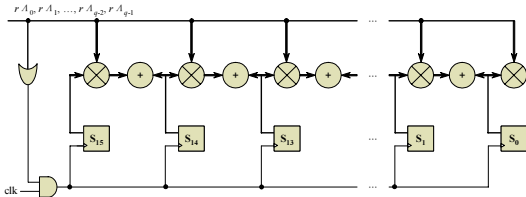


그림 2. 수정 신드롬 다항식 생성회로

표 3. 소실 위치 다항식

Modulation	RS code	소실 위치 다항식 근
16-QAM	(64, 48, 8)	$\Lambda(x) = 1$
64-QAM	(108, 96, 6)	$\Lambda(x) = x^4 + a^{72}x^3 + a^{243}x^2 + a^{69}x + a^{249}$
64-QAM	(120, 108, 6)	$\Lambda(x) = x^8 + a^{168}x^7 + a^{224}x^6 + a^{187}x^5 + a^{221}x^4 + a^{180}x^3 + a^{210}x^2 + a^{147}x + a^{227}$
16-QAM	(80, 72, 4)	$\Lambda(x) = x^{12} + a^{91}x^{11} + a^{21}x^{10} + a^{65}x^9 + a^{77}x^8 + a^{132}x^7 + a^{47}x^6 + a^{121}x^5 + a^{55}x^4 + a^{32}x^3 + a^{232}x^2 + a^{36}x + a^{189}$
QPSK	(40, 36, 2)	

그러나 소실 위치 다항식의 근이 부호 모드에 따라 고정되어 있으므로 소실 위치 다항식도 고정된다. 따라서 그림 2의 회로를 이용하여 구성하는 것보다 각 부호 모드에 따라 저장된 소실 위치 다항식의 계수를 사용하는 구조가 하드웨어 구현에 있어서 더 효율적이다. 표 3은 부호 모드에 따라 정해진 소실 위치 다항식을 보인 것이다.

3.3 수정 유클리드 알고리즘

단계 3에서는 MEA를 기반으로 수정 신드롬 다항식 $T(x)$ 와 소실 위치 다항식 $\Lambda(x)$ 를 이용하여 에러 위치 다항식 $\alpha(x)$ 와 에러 평가 다항식 $a(x)$ 를 계산한다. MEA 블록은 소실 복호를 위해 초기값과 종결 조건을 변경하면, 문헌 [8]과 동일한 구조를 사용할 수 있다. 소실 복호를 위한 다항식의 초기값은 식 (7)과 같다.

$$\begin{aligned} R_0(x) &= T(x), & Q_0(x) &= x^{2t} \\ \mu_0(x) &= \Lambda(x), & \mu_0(x) &= 0 \end{aligned} \quad (7)$$

$R_i(x)$ 의 차수가 $\Lambda_i(x)$ 의 차수보다 작아지면 MEA 반복연산을 중지한다.

이 구조에서는 다항식 저장을 위한 레지스터의 길이가 하나 단축되었으며, 재귀적 기법과 고속 클럭킹 기법을 사용한다^[8]. 본 논문에서는 각 다항식의 최고차 계수의 위치를 가리키는 이진 천이 레지스터를 사용한다. 이 이진 천이 레지스터를 통해 MEA의 반복 연산에 사용되는 다항식 $R_i(x)$ 와 $Q_i(x)$ 의 최고차 계수의 저장을 위한 라우팅의 최소화할 수 있을 뿐 아니라, 다항식 $R_i(x)$ 와 $\Lambda_i(x)$ 의 최고차수 비교를 통한 종결조건을 검사를 용이하게 할 수 있다.

3.4 다항식 평가 및 정정

단계 4에서는 에러 위치 다항식 $\alpha(x)$ 와 에러 평가

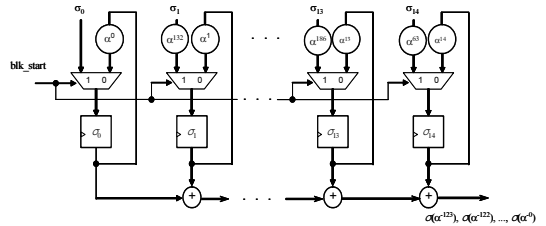


그림 3. 에러 위치 다항식 평가 회로

다항식 $a(x)$ 를 각각 a^i , $0 \leq i \leq n-1$ 에 대하여 평가하고 에러를 정정한다. 다항식 평가는 Chien's 탐색을 통한 에러의 위치와 Forney 알고리즘을 통한 에러의 크기를 구하기 위해 다항식 $\alpha(x)$ 와 $a(x)$ 의 근을 구하는 과정이다. 만일 $\alpha(x)$ 의 근이 a^i 이라면 i 번째 심볼은 오염된 심볼임을 나타내며, 생성자 다항식의 기저(base)가 0인 경우 i 번째 오염된 심볼의 에러 크기 e_i 는 식 (8)과 같다.

$$e_i = -\frac{\omega(\alpha^{-i})}{\sigma_{odd}(\alpha^{-i})} \quad (8)$$

다항식 평가 블록을 하드웨어로 구현하기 위해서는 각 다항식에 $a^i(i=0, 1, \dots, 123)$ 을 차례로 대입하는 구조를 사용한다. 여기에서 a 는 갈로아 필드 생성을 위한 원시 다항식의 원시 원이다. 문헌 [10]에 다항식 평가를 위한 3가지 구조와 장단점이 잘 기술되어 있으며 본 논문에서는 이중 2개의 갈로아

필드 곱셈기를 사용하는 구조를 사용한다. 문헌 [10]에 제시된 구조는 블록 길이 n 의 가변을 허용하기 위해 가변형 곱셈기와 고정형 곱셈기를 사용한다. 반면 본 논문에서는 $n=124$ 로 고정되어 있으므로 2개의 고정형 곱셈기만을 사용한다. 하나의 곱셈기는 a^{123} 부터 다항식을 평가하기 위한 초기화를 위해 사용되며 다른 하나는 이후 $d, i=0, 1, \dots, 14$ 를 계속 곱함으로써 d 까지 평가하기 위해 사용된다. 그림 3은 에러 위치 다항식 $\alpha(x)$ 의 평가를 위한 시스톨릭 어레이의 구조를 보인 것이다. 그림 3에서 초기화를 위한 고정형 곱셈기의 피승수 값은 $-123i, i=0, 1, \dots, 14$ 로 주어진다. 에러 평가 다항식 $\alpha(x)$ 의 평가를 위해서도 동일한 구조가 사용된다.

3.5 처리시간 및 파이프라인 동작

단계 1의 신드롬 계산과 단계 4의 다항식 평가 및 정정에서는 n 심볼 클럭이 소요된다. 본 논문에서는 원천 부호를 (124, 108, 8) RS 부호로 하였으므로 124 심볼 클럭이 소요된다. 문헌 [6] 및 [7]에서 처럼 원시 RS 부호를 원천 부호로 사용할 경우 단계 1과 단계 4에서 255 심볼 클럭이 소요된다. 따라서 262 심볼 클럭의 복호 시간이 단축되었다. 또한 파이프라인의 각 단계는 서로 다른 클럭을 가지고 동작할 수 있으므로 단계 4에서 심볼 클럭과 다른 클럭이 사용될 수 있으며 복호기 출력이 입력 심볼 클럭보다 빠른 클럭을 사용하는 경우 부가적인 메모리 사용의 필요성을 제거할 수 있다.

단계 2의 처리시간은 평처링된 리던던시 심볼에 해당하는 소실 심볼의 개수에 의존한다. 이는 부호 모드별로 달라지므로 가장 많은 소실 심볼의 개수를 고려해야 한다. 규정된 RS 부호 중 (40, 36, 2) RS 부호가 가장 많은 12개의 리던던시 심볼을 평처링하므로 12 심볼 클럭이 소요되도록 설계한다.

단계 3에서 MEA의 실제 연산에 소요되는 시간은 $4t^2+t+22$ 로서 t 의 값에 의존한다. 그러나 부호 모드와 관계없이 복호 지연을 일정하게 하기 위해 t 가 가장 큰 (64, 48, 8) RS 부호의 처리시간에 맞추어 $t_{MEA}=286$ 클럭을 유지하도록 설계한다.

복호기의 파이프라인 동작을 위해서는 가장 긴 처리 시간이 소요되는 MEA 블록의 처리 시간을 고려해야 한다. 만약 파이프라인의 각 단계가 모두 심볼 클럭으로 동작한다면 MEA 블록의 처리 시간은 286 심볼 클럭으로 단계 1의 처리 시간인 124 심볼 클럭보다 크다. 그러므로 이 경우 연속 복호를 위해서는 문헌 [11]에서 제시한 것처럼 $\lceil t_{MEA}/n \rceil =$

$\lceil 286/124 \rceil = 3$ 개의 MEA 셀을 멀티플렉싱해야 한다. 그러나 각 단계가 독립적인 클럭으로 동작하는 제안 구조에서는 심볼 클럭보다 $p(>t_{MEA}/124)$ 배 빠른 클럭을 사용하여 이 문제를 해결할 수 있다.

IV. 회로합성 및 실험

설계된 RS 복호기는 VHDL로 구현하고 FPGA에 합성하고 실험을 통하여 검증하였다.

4.1 회로합성 결과

FPGA는 Altera사의 Stratix 계열의 EP1S25F780 C5를 사용하였다. 회로의 합성과 P&R(place and routing)을 위해 Quartus II와 ModelSim을 사용하였다. 회로합성 결과 3,717개의 로직 셀과 2,048 비트의 메모리가 사용되었다. 표 4는 복호기의 각 단계에 소요된 로직 셀과 메모리 비트 수를 보인 것이다. 표 5는 기존에 제안된 가변형 RS 복호기와 제안된 복호기의 복잡도와 복호 지연에 관하여 추정한다

표 4. 복호기 합성결과

복호기 구성 요소	로직 셀	메모리 비트
신드롬 계산	210	0
소실 위치 다항식 근 생성	71	0
수정 신드롬 다항식 계산	1,166	0
MEA	1,258	0
에러 위치 다항식 평가	341	0
에러 평가 다항식 평가	307	0
에러 크기 계산 및 정정	297	0
지연(메모리)	63	2,048

표 5. RS 복호기의 비교

	Xu et. [6]	제안된 회로
GF 덧셈기	$5r$	$4r-2$
GF 곱셈기	고정형	$5r-8$
	가변형	$7r$
DFF(m-bit)	$10r$	$5r+1$
쉬프트 레지스터	$1(n \text{ byte})$ $4(r \text{ byte})$	$4(r \text{ byte})$
inverter	1	0
RAM	0	$2(128\text{byte})$
ROM	0	$1(256\text{byte})$
MUX	0	$2r+2$
지연(clock)	$n+2r$	$2n+12+286/p$

비교 결과를 보인 것이다. 기존의 구조에 비하여 제안한 구조는 복잡도가 높은 가변형 곱셈기의 수가 적고 복잡도가 낮은 고정형 곱셈기를 사용하며 사용된 D 플립플롭의 수도 적다. 비록 제안한 구조가 RAM과 ROM을 사용하지만, 기존의 구조가 쉬프트 레지스터(n byte)와 인버터를 사용함을 고려하면 제안한 구조의 복잡도가 낮음을 알 수 있다. 또한 복호 지연에 있어서도 기존의 구조는 리턴던시가 커질수록 복호 지연이 커지는 반면에 제안된 구조는 일정한 복호 지연을 갖는다.

회로 합성시 MEA 블록을 제외한 모든 블록은 심볼 클럭을 사용하도록 하였다. 합성 결과 심볼 클럭을 사용하는 블록과 고속 클럭을 사용하는 블록의 임계 경로는 각각 9.473ns와 9.962ns이다. 이를 근거로 타이밍 시뮬레이션을 통하여 심볼 클럭과 고속 클럭은 각각 105MHz 및 100MHz 까지 동작함을 확인하였다. 그러나 멀티플렉싱 없이 하나의 MEA 셀을 사용하기 위해서는 MEA 셀의 클럭은 심볼 클럭보다 3배 빨라야 한다. 그러므로 전체 복호기의 최고 동작 주파수는 MEA 블록의 고속 클럭에 의해

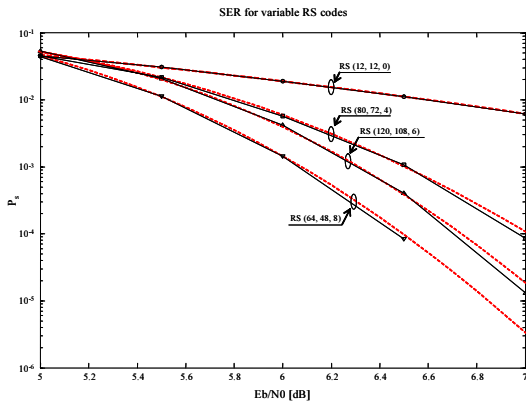


그림 4. 가변형 RS 복호기의 심볼 에러율(BPSK, AWGN)

제한된다. 고속 클럭의 최대 동작 주파수가 100MHz 이므로 RS 복호기의 심볼 클럭은 최대 33MHz 즉, 33Mbyte/sec까지 동작할 수 있다.

4.2 실험 결과

합성된 RS 복호기 칩의 동작을 검증하기 위해 심볼 에러율 평가를 위한 실험을 수행하였다. 실험을 위해 FPGA(EP1S25F780C5)를 탑재한 DSP 개발 보드와 PC를 사용하였다. FPGA에는 복호기와 인터페이스를 위한 임베디드 프로세서(Nios)를 구성

하였다. PC에서 임의의 메시지를 생성하고 이를 RS 부호화한 후 BPSK 변조를 수행한다. 변조된 신호에 신호대 잡음비를 5dB에서 7dB까지 0.5dB씩 증가시키며 AWGN 잡음을 첨가하여 수신된 부호어를 생성한다. 이 수신된 부호어는 직렬 통신을 통하여 PC에서 DSP 개발 보드로 전송한다. FPGA 내의 프로세서는 한 블록을 수신하면 부호 모드에 따라 블록 길이를 $n=124$ 로 만들기 위해 영 심볼을 삽입하고 관련 제어신호를 생성한다. 복호기에서 복호된 부호어는 다시 PC에 전달되어 오류를 구한다. 이 실험은 가변형 RS 부호 집합 중에서 (12, 12, 0), (64, 48, 8), (80, 72, 4) 및 (120, 108, 6)의 4가지 RS 부호 모드에 대하여 각각 20,000 부호어 블록씩 수행하였다. 그림 4는 심볼 에러율의 실험 결과와 이론적인 값의 비교를 보인 것이다. 이 그림에서 점선은 계산된 성능의 상한값을, 실선은 실험 결과를 나타낸다.

RS 부호의 심볼 에러율에 대한 이론적인 상한은 식 (9)로 주어진다^[12].

$$p_s \leq \frac{1}{n} \sum_{j=l+1}^n j \binom{n}{j} q^j (1-q)^{n-j} \quad (9)$$

여기에서, m 은 심볼 당 비트수이며, q 는 채널에서 각 부호어 심볼에 대한 전송 에러율로서 식 (10)과 같다^[13].

$$q = 1 - (1 - p_{ce})^8 \quad (10)$$

여기에서, p_{ce} 는 BPSK 변조 심볼의 에러율로서 식 (11)과 같다.

$$p_{ce} = Q \left(\sqrt{\frac{2RE_b}{N_0}} \right) \quad (11)$$

여기에서, $R=k/n$ 은 부호율이다. 그림 4에서 복호기의 실험을 통해 얻어진 SER는 대략 6dB 이하에서는 이론적인 상한과 거의 일치하며, E_b/N_0 가 이보다 높아질수록 이론적인 상한보다 더욱 우수한 성능을 보임을 알 수 있다.

V. 결론

본 논문에서는 수정 유클리드 알고리즘 MEA를 기반으로 소실 복호 기능을 갖는 가변형 RS 복호기를 설계하였다. 복호기의 가변성은 가변형 RS 부호

의 집합에서 블록 길이가 가장 긴 RS(124, 108, 8) 부호를 기반으로 단축과 평처링을 통해 구현된다. 이렇게 하므로써 원시 RS(255, 239, 8) 부호를 사용하는 경우보다 복호 시간을 단축시켰다. 복호기는 4단계 파이프라인 구조를 갖으며, 파이프라인의 각 단계는 서로 다른 클럭으로 동작할 수 있도록 설계하였다. 따라서 MEA 블록에 고속 클럭을 사용하지 않으므로써 복호기의 복잡도 및 복호 지연을 단축할 수 있으며, 버스트 및 연속 모드의 복호를 모두 지원한다. 설계된 복호기는 VHDL로 구현하고 FPGA에 합성하였으며, 3,717개의 로직 셀과 2,048 비트의 메모리가 사용되었다. 설계된 복호기는 최고 33MByte/sec의 데이터를 복호할 수 있다.

참 고 문 헌

[1] M.B. Pursley, and C.S. Wilkins "Adaptive-Rate Coding for Frequency-Hop Communications over Rayleigh Fading Channel," *IEEE Journ. Sel. Areas Commun.*, Vol. 17, pp. 1224~1232, July, 1999.

[2] M.A. Hasan, and V.K. Bhargava, "Architecture for a low complexity rate-adaptive Reed-Solomon encoder," *IEEE Trans. on Computers*, Vol. 44, No. 7, pp. 938~942, July 1995.

[3] S.B. Wicker, "Type-II Hybrid-ARQ Protocols Using Punctured Reed-Solomon Codes," in *Proc. MILCOM'91*, Vol. 3, pp. 1229~1234, Nov. 1991.

[4] C.H. Cho, J.J. Won, and H.W. Lee, "Performance of Hybrid II ARQ Schemes Using Punctured RS Code for Wireless ATM," in *Proc. IEE Commun.*, vol. 148, no. 4, Aug. 2001.

[5] Michael L.B. Riediger, and Paul K.M. Ho, "Application of Reed-Solomon Codes with Erasure Decoding to Type-II Hybrid ARQ Transmission," in *Proc. GLOCOM'03*, vol. 1, pp. 55~59, Dec. 2003.

[6] Youshi Xu, and Tingting Zhang, "Variable Shortened-and-Punctured Reed-Solomon Codes for Packet Loss Protection," *IEEE Trans. on Broadcasting*, Vol. 48, No. 3, pp. 237~245, Sep. 2002.

[7] IEEE 802.16-2004, IEEE Standard for Local and Metropolitan Area Networks - Part 16: Air Interface for Fixed Broadband Wireless Access Systems, Oct. 1, 2004.

[8] M.K. Song, E.B. Kim, H.S. Won, and M.H. Kong, "Architecture for Decoding Adaptive Reed-Solomon Codes with Variable Block Length," *IEEE Trans. on Consumer Electronics*, vol. 48, No. 3, pp. 631-637, Aug. 2002.

[9] 이상설, 송문규, "수정된 유클리드 알고리즘을 적용한 리드솔로몬 부호기 및 복호기의 설계 및 합성", *한국통신학회논문지*, 제23권, 제6호, pp. 1575-1582, 1998. 6.

[10] M.K. Song, and M.H. Kong, "An Adaptive Reed-Solomon Decoder Using Separate Clocks in the Pipelined Steps," *IEICE Trans. on Commun.*, Vol. E88-B, No. 2, pp. 615-621, Feb. 2005.

[11] H.M. Shao, and I.S. Reed, "On the VLSI Design of a Pipeline Reed-Solomon Decoder Using Systolic Arrays," *IEEE Trans. on Computers*, Vol. 37, No. 10, Oct. 1988.

[12] J.G. Proakis, *Digital Communications*, McGraw Hill, 2001.

[13] S.B. Wicker, *Error Control Systems for Digital Communication and Storage*, Prentice-Hall, 1995.

송 문 규 (Moon Kyou Song)

중신회원



1988년 2월 고려대학교 전자공학과 졸업
 1990년 2월 고려대학교 전자공학과 공학석사
 1994년 2월 고려대학교 전자공학과 공학박사
 1994년 3월~현재 원광대학교 전

기전자및정보공학부 교수
 1999년 9월~2000년 8월 캐나다 빅토리아 대학교 전기 및 컴퓨터공학과 방문교수
 2006년 2월~현재 미국 스텐포드 대학교 전기공학과 방문교수
 <관심분야> 무선통신, 디지털 통신시스템 설계, 채널 부호화>

공 민 한 (Min Han Kong)

준회원



2001년 2월 원광대학교 전기공학
부 졸업

2003년 2월 원광대학교 제어계측
공학과 공학석사

2003년 3월~현재 원광대학교
제어계측공학과 박사과정

<관심분야> 디지털 통신시스템

설계, 채널 부호화>

임 명 섭 (Myoung Seob Lim)

정회원



1980년 2월 연세대 전자공학과
졸업

1982년 2월 연세대 전자공학과
졸업 공학석사

1990년 2월 연세대 전자공학과
졸업 공학박사

1984년 1월~1985년 9월 대우통

신 종합연구소 연구원

1985년 9월~1996년 10월 한국전자통신연구원 책임연
구원 이동통신기술연구단 신호처리연구실장

1996년 10월~현재 전북대학교 전자정보공학부 교수

<관심분야> CDMA, OFDM modem 기술 개발,

MIMO, 통신 신호처리, vehicular infotronics