

# WLAN을 위한 5.2GHz/2.4GHz 이중대역 주파수 합성기의 설계

정희원 김 광 일\*, 이 상 철\*\*, 윤 광 섭\*\*\*, 준희원 김 석 진\*\*\*

## Design of a 5.2GHz/2.4GHz Dual band CMOS Frequency Synthesizer for WLAN

Kwang-il Kim\*, Sang-Cheol Lee\*\*, Kwang-Sub Yoon\*\*\* *Regular Members*  
Seok-jin Kim\*\*\* *Associate Member*

### 요 약

본 논문은 0.18 $\mu$ m CMOS 공정으로 설계된 5.2GHz와 2.4GHz 이중 대역 무선 송수신기를 위한 주파수합성기를 제안한다. 2.4GHz 주파수는 스위치드 커패시터와 2분주기를 동작시켜서 발생시키고, 5.2GHz는 전압 제어 발진기의 출력 주파수로부터 직접 발생시키도록 설계하였다 제안된 주파수합성기의 전체 전력소모는 25mW이며, 전압 제어 발진기의 전력소모는 3.6mW이다. 모의 실험된 주파수 합성기의 위상 잡음은 스위치드 커패시터 회로가 동작할 때, 200kHz 오프셋 주파수에서 -101.36dBc/Hz이고, 락킹 시간은 4 $\mu$ s이다.

Key Words : FS, VCO, SC, PLL, OFDM, WLAN, CP, LF, IPMOS, ASITIC

### ABSTRACT

This paper presents a frequency synthesizer(FS) for 5.2GHz/2.4GHz dual band wireless applications which is designed in a standard 0.18 $\mu$ m CMOS1P6M process. The 2.4GHz frequency is obtained from the 5.2GHz output frequency of Voltage Controlled Oscillator (VCO) by using the Switched Capacitor (SC) and the divider-by-2. Power dissipations of the proposed FS and VCO are 25mW and 3.6mW, respectively. The tuning range of VCO is 700MHz and the locking time is 4 $\mu$ s. The simulated phase noise of PLL is -101.36dBc/Hz at 200kHz offset frequency from 5.0GHz with SCA circuit on.

### I. 서 론

최근 들어서 모티즌 (Motizen), 모블로그(Moblog)와 같은 용어들이 낯설지 않듯이 무선 데이터 통신 서비스는 고도로 성장하여 우리의 사무실은 물론 가정에서까지 친숙하게 이용되고 있다. 이에 발맞춰 무선 랜 규격 역시 발전을 거듭하고 있고 이는 다른 주파수와 간섭이 없는 더 많은 정보를 전달 할

수 있도록 더 높은 주파수로의 기술 이동을 가속화시키고 있다. 현재 블루투스나 WCDMA등에서 안정적으로 서비스를 제공하고 있는 IEEE 802.11b 표준은 ISM 2.4GHz 주파수 대역이며 OFDM을 위한 통신 시스템에서 사용하는 IEEE 802.11a 표준은 U-NII 5.2GHz 주파수 대역을 사용하며 고 주파수로의 발전의 모습을 보여주고 있다<sup>[1]</sup>

이러한 고주파 대역의 통신 시스템에서 쓰이는

※ 본 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음 (KRF-2002-041-D00431)

\* Integrant Technologies an Analog Devices Company \*\* LG전자 시스템 IC 사업부 \*\*\* 인하대학교 전자공학과  
논문번호 : KICS2006-02-083, 접수일자 : 2006년 2월 15일, 최종논문접수일자 : 2006년 12월 28일

주파수 합성기는 저비용, 최소 크기, 저 전력 소모, 저 잡음 특성 등의 여러 가지 회로사양 조건이 만족되어야함은 물론이고 통합되지 않은 규격에서도 사용자가 IEEE 802.11a/b/g를 선택적으로 사용할 수 있는 이중 대역 구현은 가장 필수 조건일 것이다.

물론 각각 두 가지 대역의 전압 제어 발진기를 독립적으로 설계하여서 주파수를 생성하는 것도 가능하다.<sup>[2]</sup> 그러나 이러한 기존 설계방식은 칩 면적 증가와 신호간섭에 의한 성능저하를 가져오게 되며, 칩 면적이 증가함에 따라서 칩 가격이 증가하고 전력소모가 증가하는 문제점을 갖게 된다. 따라서 이러한 문제점을 해결하기 위해서 본 논문에서는 한 개의 전압 제어 발진기와 부가회로를 이용하여서 다중대역 신호를 발생시킬 수 있도록 설계하였다. 즉, 부가회로인 스위치드 커패시터 회로를 이용하여 부하 커패시터 변화 따른 전압 제어 발진기의 주파수 변화를 이용하여 5.2GHz, 2.4GHz 이중 대역 주파수 합성기를 설계하였다. 이로써 개개의 주파수 대역의 주파수 합성기를 사용할 때보다 칩 면적은 물론 전력소모 및 칩 제작비용 감소를 실현하였다.

본 논문의 구성은 2장에서 새롭게 제안된 이중대역 주파수 합성기의 구조를 설명하였으며 스위치드 커패시터가 포함된 전압제어 발진기에 대해서는 3장에서 설명하였다. 4장에서는 위상 동기 루프를 기본으로 하는 주파수합성기의 부분 블록 설계에 관해 논하였으며, 4장과 5장에서는 각각 모의실험 결과와 결론을 맺었다.

## II. 이중대역 주파수 합성기의 구조

제안된 주파수 합성기는 이중대역 주파수를 생성하기 위해 5.2GHz 대역은 전압 제어 발진기에서 직접 발생되며, 2.4GHz 대역은 5.2GHz 신호를 분주기 회로를 통해서 출력 생성하는 것으로 그림 1에서 볼 수 있다. 전체 구조는 위상주파수 검출기(PFD), 전하펌프회로, 루프필터, 전압 제어 발진기(VCO), 스위치드 커패시터 어레이 회로(SCA), 2분주기(Divide-by-2), 듀얼 모듈러스 프리스케일러(Dual Modulus Prescaler) 등으로 구성된다. 전압 제어 발진기는 스위치드 커패시터 어레이 회로가 동작하지 않을 때는 5.0GHz에서 5.4GHz까지 변화하며 주파수를 출력하고, 동작하는 경우 주파수는

각각 300MHz씩 하향 변환되어 4.7GHz에서 5.1GHz까지 변화하며 출력된다. 스위치드 커패시터 회로의 동작 상태에 따라서 출력 주파수는 300MHz씩 상향, 하향 변환 된다. 스위치드 커패시터 회로가 켜진 상태에서 2분주기를 통과하면 2분주기의 출력 주파수는 2.35GHz로부터 2.55GHz까지 변화하며 출력 되고, 결과적으로 5.2GHz, 2.4GHz 이중대역의 주파수 합성이 일어난다

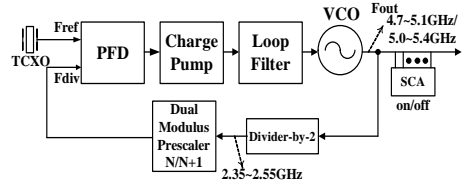


그림 1. 제안된 주파수합성기 구조의 블록다이아그램  
Figure 1. Block diagram of the proposed frequency synthesizer architecture

## III. 스위치드 커패시터 부가회로를 이용한 전압제어 발진기 설계

본 논문에서 제안하는 스위치드 커패시터 부가회로를 추가한 전압제어 발진기는 기존에 주파수 변화에 따라 gm 값이 변하는 벡터 크기를 감소시키거나 대체하기 위해 스위치드 커패시터를 사용되었던 것과는 달리 대역 자체를 변화시키기 위해서 설계하였다. 스위치드 커패시터 부가회로가 켜졌을 때와 꺼졌을 때 부하 커패시터의 변화를 통해 대역 변화를 얻을 수 있었다. 변화된 L-C 탱크 커패시턴스 값은 그림 2(a)와 같다. 그림 2(a)는 전압제어 발진기의 발진에 영향을 미치게 되는 커패시턴스를 나타낸 것으로 스위치드 커패시터에 의해 발생하는 값(Ca)과 벡터에 의해 발생하는 값(Cv), 마지막으로 그 밖의 소자에 의해 발생하는 기생 값(Cp) 이렇게 세 부분으로 구분할 수 있다. 이 값들과 발진 주파수와의 관계식은 식(1), (2)와 같고, 그림 2(b)에서 볼 수 있는 스위치드 커패시터 구조에서의 Ca 값은 식(3)과 같이 나타낼 수 있다.

$$f_{OSCSCA} = \frac{1}{2\pi\sqrt{L \cdot C_{tot}}} \quad (1)$$

$$C_{tot} = (C_{v, \min} \sim C_{v, \max}) + C_p + C_a \quad (2)$$

$$C_a = (C_m \cdot C_d) / (C_m + C_d) \quad (3)$$

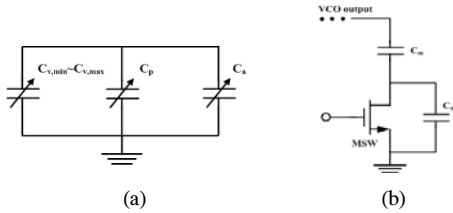


그림 2. (a) L-C 탱크 캐패시턴스 (b) 스위치드 커패시터 회로도  
Figure 2. (a) L-C Tank Capacitance (b) Switched Capacitor Schematic

IV. 각 블록 회로 설계

위상 주파수 검출기의 블록 다이어그램은 그림 3(a)에서 나타낸다. 일반적으로 사용되는 3상태 위상 주파수 검출기의 경우 최대 4개의 입력을 갖는 NAND 게이트 회로를 사용하기 때문에 팬 인과 팬 아웃이 크며, 출력 신호에 딜레이가 발생하여 오동작을 유발할 수 있는 단점이 있다. 본 검출기는 이러한 문제점을 해소하기 위해 그림 3(b)와 같은 프리차지 D 플립플롭을 사용하였다. 이 경우 고속에서 동작하고 사구간을 감소시켜 위상잡음을 감소시키는 장점을 가지고 있다.

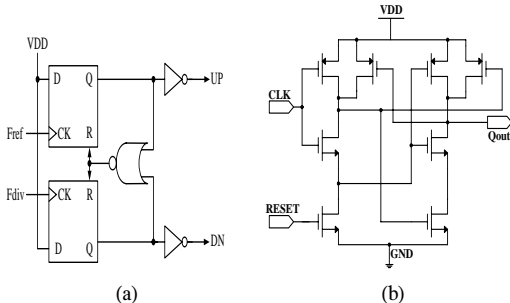


그림 3. (a) 위상주파수검출기 블록다이어그램과 (b) 프리차지 D 플립플롭  
Figure 3. (a) Block diagram of PFD (b) Precharge D-Flip Flop

높은 출력 임피던스를 구현하기 위한 캐스캐이드 형태의 전하펌프 회로는 그림 4(a)와 같다. 입력 업(UP) 신호와 다운(DN) 신호가 들어가는 트랜지스터들은 스위치 역할을 한다. 그러므로 그림 3(a)에서 만약 입력 업 신호가 1이면, PMOS입력 트랜지스터는 꺼지고, 전류 미러 형태의 윗쪽 PMOS들은 모두 켜지게 된다. 이와 반대로, 만약 다운 신호가 0이면, NMOS입력 트랜지스터는 동작하고, 전류 미러 형태의 아래쪽 NMOS트랜지스터 들은 모두 동작하지 않는다. 이와 같은 상태에서는 출력 단자에서의 커패시터가 충전되기 때문에 전압은 증가한다. 이 전압은 루프 필터를 통해 고주파 성분이 제거된

DC전압 성분으로 변환되어 전압 제어 발진기의 제어전압이 된다. 루프 필터는 그림 4(b)와 같이 3차 지역 통과 필터를 설계하였다.

스위치드 커패시터 회로를 포함한 LC 탱크 전압 제어 발진기 회로는 그림 5와 같이 설계하였다. LC 탱크 회로에서의 인덕터는 높은 Q값을 얻기 위해 팔각형의 나선형 인덕터를 사용하였고 벡터는 낮은 위상 잡음을 고려하여 반전 모드 PMOS<sup>[2]</sup>가 사용되었다. 기생성분을 고려한 인덕터의 등가회로는 그림 4에서와 같고, 그 값들은 0.18 $\mu$ m 공정의 마스크 정보를 가지고 ASITIC<sup>[3]</sup> 프로그램을 이용하여서 추출되었다.

전압 제어 발진기의 출력 단자에서 스위치드 커패시터 어레이 회로로 인하여 출력 주파수는 300MHz 하향 변환된다. 부저항 회로를 구현하기

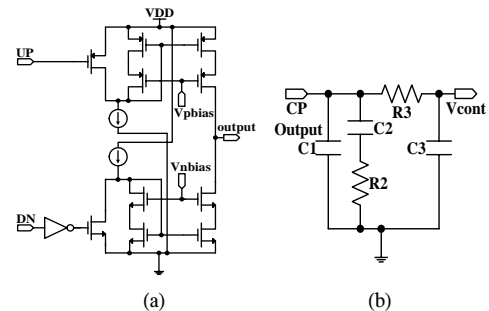


그림 4. (a) 전하 펌프 회로도 (b) 3차 루프 필터회로  
Figure 4. Circuit schematic of (a) Charge Pump (b) Loop Filter.

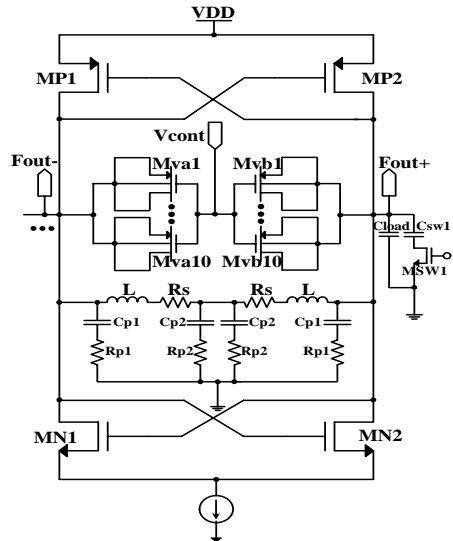


그림 5. 전압 제어 발진기 전체 회로도  
Figure 5. Voltage Controlled Oscillator circuit with Switched Capacitor Array

위해서 래치 형태의 PMOS와 NMOS들로 구성되며 식(4), 식(5)와 같은 Lesson의 위상 잡음방정식에 따라서 위상 잡음을 줄이기 위해 설계하였다 식(5)에서 첫 번째 항은 공진기 자체손실을 나타내고, 두 번째 항은 차동 트랜지스터 쌍에 의한 잡음을 나타내며, 세 번째 항은 전류원 잡음을 나타낸다.

$$L(\Delta\omega) = 10 \cdot \log \left\{ \frac{2FkT}{P_s} \left[ 1 + \left( \frac{\omega_0}{2Q\Delta\omega} \right)^2 \left( 1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \right\} \quad (4)$$

$$F = 2 + \frac{8\gamma RI}{\pi V_1} + \gamma \frac{8}{9} g_{m,bias} R \quad (5)$$

스위치드 커패시터 회로가 커졌을 때 300MHz 하향 변환된 전압 제어 발진기의 출력 주파수는 2분주기에 의해서 2.35GHz에서 2.55GHz까지 변화한다. 이 주파수는 128/129 듀얼 모듈러스 프리스케일러를 통해 저주파수로 하향 변환된다. 128/129 듀얼 모듈러스 프리스케일러는 동기식 4/5 듀얼 모듈러스 프리스케일러와 32분주 역할을 하는 비동기식 카운터 부분으로 구성되어 있다. 여기에 쓰이는 D 플립 플롭은 그림 6과 같이 NAND게이트가 포함된 마스터/슬레이브 방식의 D 플립플롭<sup>[4]</sup>으로 구성된다.

그러므로 128/129듀얼 모듈러스 프리스케일러에 의해 18.22MHz에서 19.92MHz 까지 분주된 주파수는 다시 위상 주파수 검출기의 입력으로 들어가서 기준 신호와 비교된다.

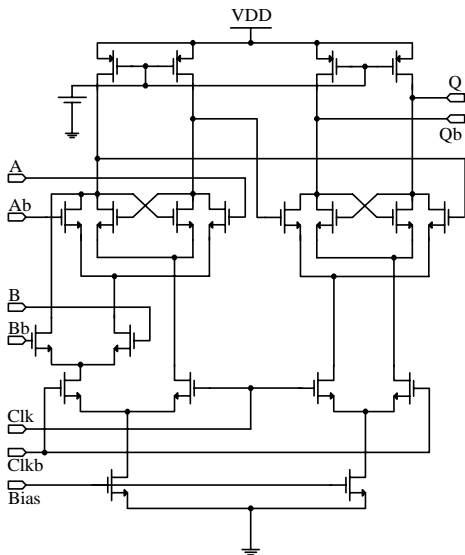


그림 6. NAND게이트가 포함된 마스터/슬레이브 방식의 D 플립플롭  
Figure 6. NAND gate merged D-F/F of Master/Slave method

## V. 실험결과 및 검토

전하 펌프의 출력 단자에서 전압 변화에 따른 트랜지스터의 드레인 단자에 흐르는 전류의 변화량을 그림 7에서 보여준다. 와이드 스윙 캐스코드 전류미러를 사용함으로써 전류 정합이 잘 이루어지는 구간인 0.6V에서 1.2V까지의 전압 변화 구간이 전압 제어 발진기의 입력 제어 전압으로 사용될 수 있다.

루프 필터의 계수와 보드 선도는 그림 8과 같이 루프 필터 설계 프로그램을 이용하여 계산된다.

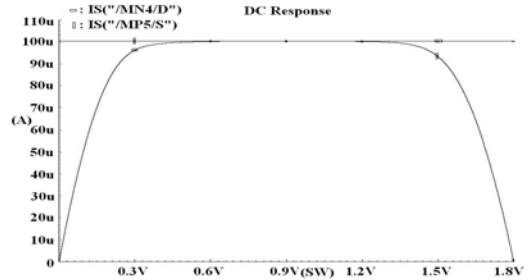


그림 7. 전하 펌프회로의 출력 단자에서의 전류 정합 특성  
Figure 7. The current matching characteristic of Charge Pump

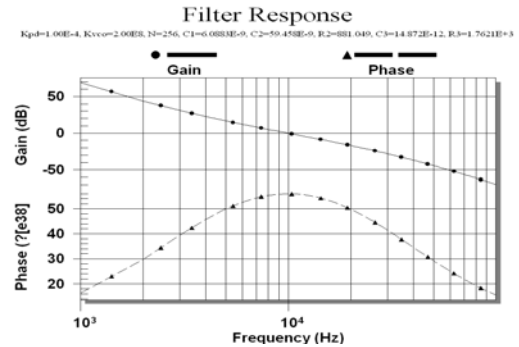


그림 8. 루프 필터의 보드 선도  
Figure 8. Bode plot of Loop Filter.

반전모드 PMOS 버렉터의 테스트 회로와 전압 변화에 따른 커패시턴스의 모의 실험된 파형은 각각 그림 9(a), (b)와 같다. 버렉터의 채널의 길이, L 값은 Q값과 기생성분을 고려하여 최소 선폭으로 설계하였고, 채널의 폭, W값은 레이아웃과 소자정합 특성을 고려하여서 멀티 핑거 구조로 설계하였다. 버렉터의 커패시턴스(Cv)와 품질 인자(Qv)는 식(6)과 식(7)로부터 유도될 수 있다<sup>[5]</sup>.

$$C_v = - \left( 2\pi f \operatorname{Im} \left( \frac{1}{Y_{11}} \right) \right)^{-1} \quad (6)$$

$$Q_v = \frac{1}{2\pi f R_g C} = -\frac{\text{Im}\left(\frac{1}{Y_{11}}\right)}{\text{Re}\left(\frac{1}{Y_{11}}\right)} \quad (7)$$

여기서  $Y_{11}$  은 입력 쪽에서 바라본 어드미턴스 값을 나타낸다.

전압 제어 발진기의 출력 위상잡음은 그림 9와 같다. 스위치드 커패시터가 켜졌을 때의 위상 잡음은 그림 10(a)와 같이 4.9GHz로부터 200kHz 옵셋에서 -100.18dBc/Hz이며, 스위치드 커패시터가 꺼졌을 때의 위상 잡음은 그림 10(b)와 같이 5.2GHz로부터 200kHz 옵셋에서 -101.36dBc/Hz이다.

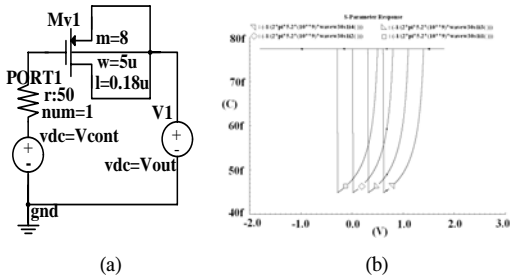


그림 9. (a) 벡터 테스트회로 (b) 회로 (a)의 Cv-V 특성 곡선  
Figure 9. (a) IPMOS varactor test circuit (b) Cv-V characteristic curves of (a)

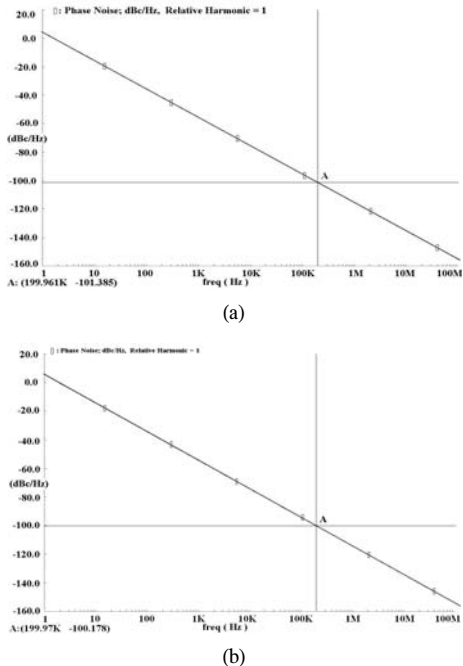


그림 10. 위상 잡음 (a) 스위치드 커패시터가 켜졌을 때 (b) 스위치드 커패시터가 꺼졌을 때  
Figure 10. Phase Noise (a) when the switched capacitor is on and (b) when the switched capacitor is off

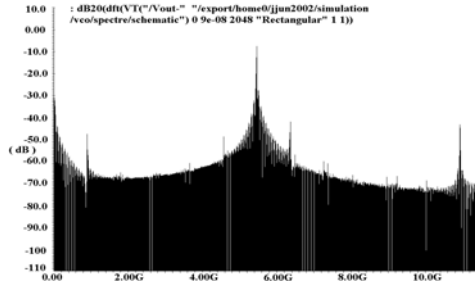


그림 11. 전압 제어 발진기의 출력주파수를 DFT 모의 실험한 결과  
Figure 11. Discrete Fourier Transform result of Voltage Controlled Oscillator output frequency

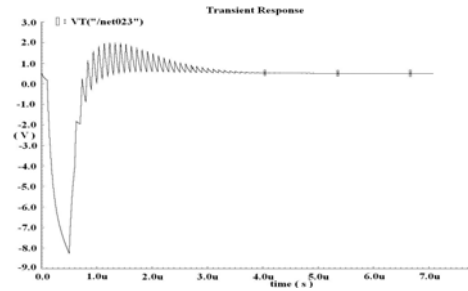


그림 12. 제안된 주파수 합성기 전체 블록의 모의실험 결과  
Figure 12. Locking range of PLL-based Frequency Synthesizer

표 1. 본 논문과 타 논문에서 제안된 주파수 합성기 성능 비교  
Table 1. Summary and comparison of the proposed synthesizer's performance

	[6]	[7]	[8]	This Work				
Supply Voltage	2.6 V	2 V	2.5 V	1.8 V				
Process	0.4um CMOS	0.35um CMOS	0.25um BICMOS	0.18um CMOS				
Chip Area	2 mm <sup>2</sup>	3.52 mm <sup>2</sup>	2.55 mm <sup>2</sup>	1.2 mm <sup>2</sup>				
Reference Frequency ( MHz )	11.75	.	25	19				
Carrier Frequency ( GHz )	5.2	2.6	4.66	2.33	5	2.5	5.2	4.9/2
Phase Noise (dBc/Hz @ kHz offset)	-100	-110	-100	-114	-100	-110	-101.4	-100.2
	10000	10000	5000	5000	200	200	200	200
VCO Power (mW)	2.6	2	2.5	3.6				
Total Power (mW)	47	80	23.8	15.7	28.6			
FoM	139.55	143.53	142.86	150.84	179.76	183.19	184.10	182.40

전압 제어 발진기의 출력 주파수(5.4GHz)의 DFT(Discrete Fourier Transform)를 모의 실험한 결과를 그림 11에서 보여 준다.

주파수 합성기 전체 블록의 모의 실험한 결과는 그림 12와 같으며, 이 경우 전체 락킹 시간은 대략 4μs정도 되는 것을 알 수 있다.

표 1에서는 본 논문과 기존 발표된 타 논문들이 제안한 주파수 합성기의 성능을 비교하였다 본 논문의 구조는 논문 [6]과 [7]과 비교하여 적은 칩 면적과 전력소모를 가지며 전압 제어 발진기의 FOM(Figure of Merit) 특성이 40이상 높다. 또한 BiCMOS 공정을 사용한 논문 [8]과 비교하여 전력 소모는 약간 크나 적은 칩 면적을 가지며 CMOS 칩과 거의 동등한 FOM을 보여주고 있다. FOM은 아래 식 (8)과 같다.

$$FOM = -\mathcal{L}(\Delta\omega) + 10\log\left[\left(\frac{\omega_0}{\Delta\omega}\right)^2 \cdot \frac{1}{P}\right] \quad (8)$$

여기서  $\omega_0$ 는 전압 제어 발진기의 출력 주파수를 나타내고,  $\Delta\omega$ 는 오프셋 주파수를,  $\mathcal{L}(\Delta\omega)$ 는 오프셋 주파수에서의 위상잡음을 나타낸다 P는 mW단위의 전력 소모이다.

최근 IEEE JSSC 논문지와 국제학술회의에서 발표된 주파수 합성기들의 전압 제어 발진기와 제안한 주파수 합성기의 전압 제어 발진기의 FOM을 비교한 결과를 그림 13에서 볼 수 있다. 그림에서 볼 수 있는 본 논문의 두 가지의 FOM 값은 각각 5.2GHz 대역과 스위치드 커패시터에 의해 300MHz 하향 변환된 4.9GHz 대역에서의 값을 나타낸다. 비교결과 CMOS 공정을 사용한 여타 논문의 전압 제어 발진기 보다 우월한 FOM를 보이고 BiCMOS 공정을 사용한 전압 제어 발진기와 대등한 값을 가지는 것을 확인할 수 있다.

주파수 합성기의 전체 블록의 레이아웃은 그림 14와 같다. 루프 필터 회로는 칩 면적과 계수 조정을 위하여 칩 외부에 설치하였다 전체 칩의 면적은

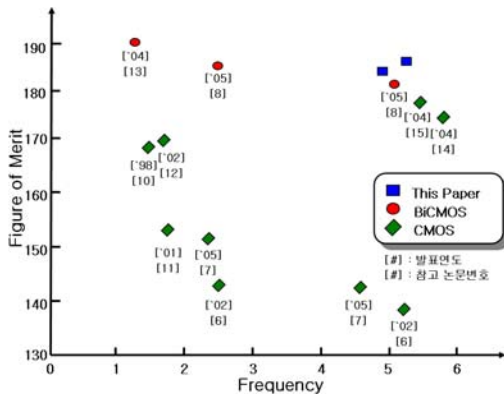


그림 13. 전압 제어 발진기 FOM 비교  
Figure 13. Comparison of VCO's FOM

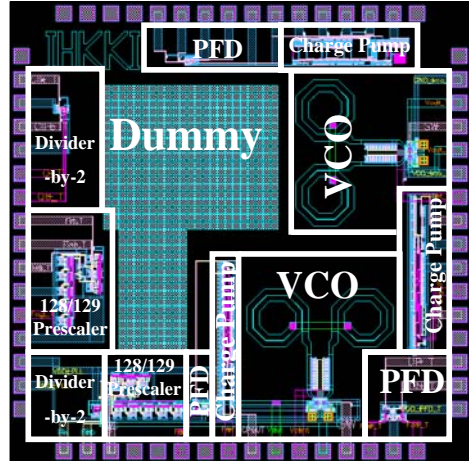


그림 14. 제안된 주파수 합성기의 전체 레이아웃  
Figure 14. Layout of the Proposed Frequency Synthesizer

2000 $\mu\text{m} \times 2000\mu\text{m}$  이고, 그림 하단부에 있는 하나의 주파수 합성기 블록의 면적은 1550 $\mu\text{m} \times 780\mu\text{m}$ 이며, 나머지 블록들은 테스트를 위한 블록들이다

## V. 결론

본 논문에서는 이중대역 주파수를 발생시키기 위하여 스위치드 커패시터 부가회로와 2분주 회로를 장착한 새로운 전압제어발진기를 제안하였으며, 제안된 이중대역 전압제어발진기를 이용하여서 이중대역 주파수 합성기를 설계하였다

기존 사용되던 단일 대역 전압 제어 발진기로는 서로 다른 규격의 WLAN 시스템에서 선택적 사용은 물론 단일 칩 구현도 불가능 하다는 단점을 내재하고 있어 면적과 공간이 제품의 가격을 결정하는 현실에서 개선의 필요성이 요구되어왔다.

이런 요구에 대한 하나의 해소방안으로 제안한 본 논문의 주파수 합성기는 스위치드 커패시터 부가회로를 통한 주파수 대역 변화를 이용하여 단일 대역 전압제어 발진기 두 개가 필요한 회로 면적을 한 개로 축소시켰으며, 단일 칩으로 IEEE 802.11a/b를 기반으로 하는 WLAN 시스템을 모두 지원 할 수 있어 가격 경쟁력을 얻을 수 있도록 하였다. 또한 주파수 합성기 전체 전력소모 25mW, 전압 제어 발생기의 전력소모 3.6mW로 비교적 낮은 값을 나타내었다. 위상 잡음은 스위치드 커패시터 회로가 동작할 때, 5.2GHz/2.4GHz 대역 200kHz 오프셋 주파수에서 -101.36dBc/Hz이고, 락킹 시간은 4 $\mu\text{s}$ 이다.

주파수 합성기의 전압 제어 발전기는 높은 Q값을 얻기 위한 팔각 인덕터 적용과 위상잡음 개선을 위한 반전 모드 PMOS 버텍터 사용 및 최적화된 동작을 위한 적절한 바이어스 적용을 통해 선형성을 개선하여 FOM을 주파수 5.2GHz, 2.4GHz에서 각각 184.1과 182.4로 여타 주파수 합성기에 비해 개선했다.

참 고 문 헌

[ 1 ] T. Lee, H. Samavati, and H. Rategh, "5-GHz CMOS Wireless LANs", *IEEE Trans. Microwave Theory and Tech.*, vol. 50, pp. 268-280, Jan. 2002.

[ 2 ] Zargari, M. et al., "A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11a/b/g wireless LAN", *IEEE Journal of Solid State Circuits*, vol. 39, pp. 2239-2249, Dec. 2004.

[ 3 ] A. Niknejad, "ASITIC: Analysis of Si Inductors and transformer for ICs". [Online]. Available: <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>.

[ 4 ] G. Lee, J. Cho, J. Lee, S. Kim, and N. Min, "A 2-GHz, Low Noise, Low Power CMOS Frequency Synthesizer with an LC-tuned VCO for Wireless Communications", *J. the Korean Physical Society*, vol. 39, pp. 14-19, Jan. 2001.

[ 5 ] J. Maget, M. Tiebout, and R. Kraus, "MOS Varactors With n- and p-Type Gates and Their Influence on an LC-VCO in Digital CMOS", *IEEE J. Solid-State Circuits*, vol. 38, pp. 1139-1147, July 2003.

[ 6 ] C. Lam, B. Razavi, "A 2.6-GHz/5.2-GHz Frequency Synthesizer in 0.4-um CMOS", *IEEE. J. Solid-State Circuits*, vol. 35, pp. 788-794, May 2000.

[ 7 ] W. Chen, J. Chang, Y. Hong, M. Wong, C. Kuo, "A 2-V 2.3/4.6-GHz Dual-Band Frequency Synthesizer in 0.35um Digital CMOS Process", *IEEE. J. Solid-State, Circuits*, vol. 39, pp. 234-237, Jan. 2004

[ 8 ] S. Pellerano, S. Levantino, C. Samori, A. L. Lacaita, "A Dual-Band Frequency Synthesizer for 802.11a/b/g with Fractional-Spur Averaging Technique", *IEEE Int.l Solid-State Circuits Conf.*, pp. 104-105, Feb 2005

[ 9 ] B. D. Muer, M. Steyaert, "CMOS FRACTIONAL-N SYNTHESIZERS", *Kluwer Academic Publishers*, pp. 130, 2003

[10] J. Parker, D. Ray "A 1.6 GHz CMOS PLL with

on-chip loop filter", *IEEE. J. Solid-State, Circuits*, vol. 39, pp.337-343, Mar. 1998.

[11] C.-H. Park, O. Kim, B. Kim "A 1.8-GHz self-calibrated phase-locked loop with precise I/Q matching", *IEEE. J. Solid-State, Circuits*, vol. 36, pp. 777-783, May. 2001.

[12] T. K. K. kan, G. C. T. Leung, Howard C. Luong "A 2-V 1.8-GHz Fully Integrate CMOS Dual-Loop Frequency Synthesizer", *IEEE. J. Solid-State, Circuits*, vol. 37. pp. 1012-1020, AUG, 2002.

[13] H. Lee, J. Cho, K. Lee, I. Hwang, T. Ahn, K. Nah, B. Park, "A  $\Sigma$ - $\Delta$  Fractional-N Frequency Synthesizer Using a Wide-Band Integrated VCO and a Fast AFC Technique for GSM/GPRS/WCDMA Applications", *IEEE. J. Solid-State, Circuits*, vol. 39, pp. 1164-1169, no. 7, July. 2004

[14] Gerry. C. T. Leung, Howard C. Luong, "A 1-V 5.2-GHz CMOS Synthesizer for WLAN Applications" *IEEE. J. Solid-State, Circuits*, vol. 39, no. 11, NOV. 2004.

[15] S.Pellerano, S. Levantino, C. Samori, A. L. Lacaita, "A 13.5mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider" *IEEE. J. Solid-State, Circuits*, vol. 39, no. 11, NOV, 2004

[16] 성혁준, 윤광섭, 강진구, "전류펌핑 알고리즘을 이용한 클락 동기용 CMOS PLL 설계" *한국통신학회 논문지*, 제 25권, 1B호, pp183-192, 2000년

[17] 최현승, 김종민, 박창선, "듀얼 위상 주파수 검출기를 이용한 CMOS RF Charge-Pump PLL 설계" *한국통신학회 논문지*, 제26권, 10B호, pp. 1353-1359, 10월, 2001년

[18] 김태엽, 박수양, 손상희, "새로운 구조의 프로그램어블 주파수 분주기를 사용한 주파수 합성기 설계" *한국통신학회 논문지*, 제27권, 6C호, pp.619-624, 6월, 2002년

김 광 일 (Kwang-il Kim)

정희원



2002년 8월 인하대학교 전자공학과 졸업  
 2004년 8월 인하대학교 전자 공학과 석사  
 2004년 9월~현재 Integrant Technologies an Analog Devices Company 아날로그팀 연구원

<관심분야> 아날로그 VLSI 설계, 주파수합성기, VCO 설계, Power management

이 상 철 (Sang-Cheol Lee)

정회원



2003년 2월 인하대학교 전자 공  
학과 졸업  
2005년 2월 인하대학교 전자공학  
과 석사 졸업  
2005년 3월~현재 LG전자시스템  
IC 사업담당 SIC 회로설계 그  
룹 주임연구원

<관심분야> 아날로그 VLSI 설계, 주파수 합성기,  
Fractional-N 주파수 합성기 설계

김 석 진 (Seok-jin Kim)

준회원



2005년 8월 인하대학교 전자공  
학과 졸업  
2005년 8월~현재 인하대학교전  
자공학과 석사과정  
<관심분야> 아날로그 VLSI, 주  
파수합성기, Power manage-  
ment

윤 광 섭 (Kwang-sub Yoon)

정회원



1982년 2월 인하대학교 전자공학  
과 졸업  
1983년 2월 Georgia Institute Inc,  
Technology 전자공학 석사 졸업  
1989년 2월 Georgia Institute Inc,  
Technology  
전자공학 박사 졸업

1984년 3월~1989년 2월 Georgia Institute of  
Technology Research Assistant

1989년 3월~1992년 2월 Silicon Systems Inc, Tustin  
Calif. U.S.A Senior Design Engineer

1992년 3월~현재 인하대학교 전자공학과 교수

<관심분야> 혼성신호처리 집적회로 설계, 설계 자동화  
및 소자/회로/시스템 모델링 등