

MIMO-OFDM 시스템을 위한 효율적인 파이프라인 FFT 프로세서의 설계

정회원 이상민*, 정운호**, 김재석***

Efficient pipelined FFT processor for the MIMO-OFDM systems

Sangmin Lee*, Yunho Jung**, Jaeseok Kim*** *Regular Members*

요약

본 논문에서는 송수신 안테나가 각각 4개인 MIMO-OFDM 시스템을 위한 효율적인 FFT 프로세서 구조를 제안한다. MIMO-OFDM 시스템의 기본은 다중 데이터 패스의 전송이므로 기존의 SISO-OFDM 시스템의 FFT 프로세서를 MIMO-OFDM 시스템에 그대로 적용하면 하드웨어 복잡도가 데이터 패스의 수에 선형적으로 증가하게 된다. 따라서 MIMO-OFDM 시스템에 맞도록 저면적의 다채널 FFT 프로세서가 요구된다. 제안된 FFT 프로세서는 다채널 MDC구조를 갖기 때문에 MIMO-OFDM 시스템의 다중 데이터 패스를 효과적으로 처리할 수 있으며, mixed radix 기법을 통한 효율적인 radix 분해를 이용하여 비단순 승산의 수를 감소시켰다. 제안된 구조를 갖는 FFT 프로세서는 HDL을 사용하여 설계된 후 0.18 μ m CMOS 셀 라이브러리를 이용하여 설계되었다. 논리합성 결과, 4채널 radix-4 Multipath Delay Commutator (R4MDC) FFT 프로세서와 비교시 약 25%의 하드웨어가 감소함을 확인하였다. FFT 프로세서는 전체 MIMO-OFDM 시스템에서 약 30% 정도를 차지하는 커다란 블록이기 때문에, 제안된 FFT 프로세서는 MIMO-OFDM 시스템의 하드웨어 복잡도를 감소시키는데 큰 공헌을 할 수 있다.

Key Words : FFT, MIMO-OFDM, MRMDC, Pipelined

ABSTRACT

This paper proposes an area-efficient pipeline FFT processor for MIMO-OFDM systems with four transmitting and four receiving antennas. Since the MIMO-OFDM system transmits multiple data streams, the complexity for the MIMO-OFDM system with a single-channel FFT processor increases linearly with the increase of the number of transmit channels. The proposed FFT processor is based on multi-channel structure, and therefore it can efficiently support multiple data streams. With the mixed radix algorithm, the number of non-trivial multiplications of the proposed FFT processor is decreased. The proposed FFT processor is synthesized with CMOS 0.18 μ m process and reduces the logic gates by 25% over a 4-channel Radix-4 multi-path delay commutator (R4MDC) FFT processor. Since the MIMO-OFDM FFT processor is one of the largest modules in the systems, the proposed FFT processor will be a vast contribution improvement to the low complexity design of MIMO-OFDM systems.

※ 본 연구는 정보통신부 및 정보통신연구진흥원 대학 IT연구센터 육성·지원사업 및 2006년도 교육인적자원부 BK21 사업의 일환인 연세대학교 전기전자공학부 TMS 사업단의 지원을 받아 연구되었고, CAD Tool은 IDEC으로부터 지원 받았음.

* 연세대학교 전기전자공학과 정보통신SoC설계 연구실(ahalian@yonsei.ac.kr),

** 연세대학교 TMS정보기술사업단 연구교수(yhjung@yonsei.ac.kr), *** 연세대학교 전기전자공학과 정교수(jaekim@yonsei.ac.kr)

논문번호 : KICS2007-07-294, 접수일자 : 2007년 7월 3일, 최종논문접수일자 : 2007년 9월 7일

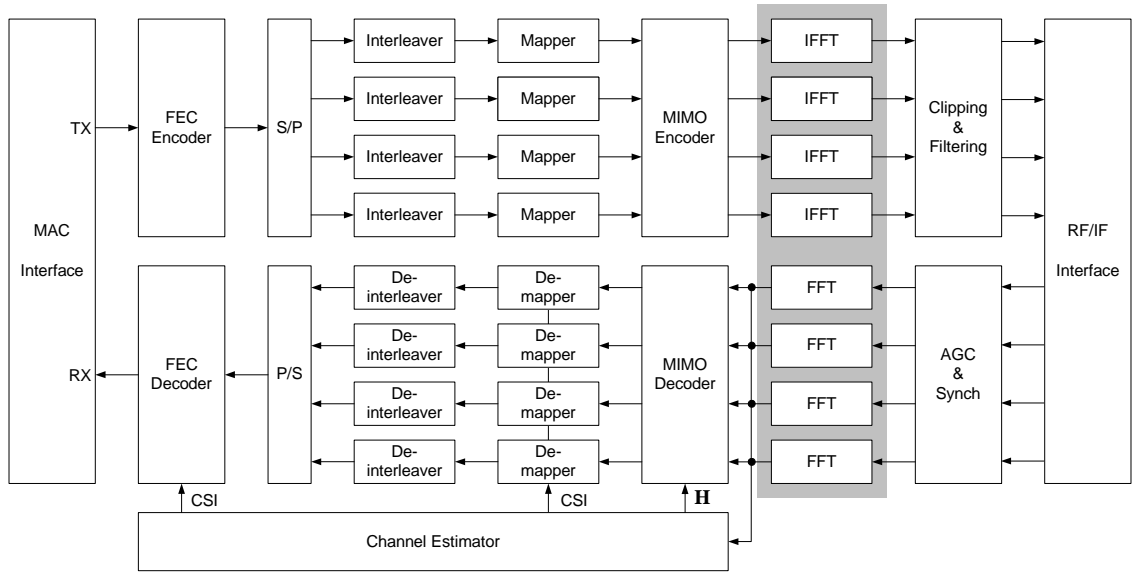


그림 1. 4x4 MIMO-OFDM 시스템의 기저대역 프로세서 예시

I. 서론

송수신단에 여러 개의 안테나를 사용하는 multiple-input multiple-output (MIMO) 무선 통신 시스템은 채널 대역폭을 증가시키지 않고도 시스템의 capacity를 증대시킬 수 있다는 장점을 가지고 있기 때문에 크게 주목받아 왔다. 특히 MIMO-OFDM 시스템의 경우 다중 경로 페이딩에 약한 MIMO 시스템의 약점을 다중 경로 페이딩에 강한 OFDM 기법의 장점이 보완하게 되면서 좋은 성능을 보여주기 때문에, MIMO-OFDM 시스템은 차세대 무선 통신 시스템의 핵심 이슈로 떠오르고 있다. 이러한 장점 덕분에 IEEE 802.11n, IEEE 802.16e mobile WiMax, 4G 등의 여러 차세대 무선 통신 표준에 적용되고 있다. 하지만, single-input single-output OFDM (SISO-OFDM) 시스템과 비교해 볼 때, MIMO-OFDM 시스템은 기저대역 프로세서에서 처리해야 하는 데이터 패스의 수가 늘어나기 때문에 하드웨어 복잡도가 증가하는 문제를 가지고 있다. 그림 1을 보면 4x4 MIMO-OFDM의 시스템의 경우 4개의 데이터 패스를 갖고 그에 따라 기저대역의 기능 블록들이 4개씩 사용되는 것을 알 수 있다. 따라서 MIMO-OFDM 시스템을 구현하는데 있어서 복잡도 문제를 해결하는 것이 가장 중요한 이슈이며, 특히 MIMO-OFDM 시스템의 기저대역 프로세서에서 FFT 프로세서가 가장 큰 블록 중 하나이므로, FFT 프로세서의 크기를 줄이는 것이

MIMO-OFDM 시스템의 높은 복잡도 문제를 해결하기 위해서 매우 중요한 부분이라 할 수 있다.

일반적으로 Radix-2³ single-path delay feedback (R2³SDF) 파이프라인 FFT 아키텍처^[1]는 FFT연산과정 중 가장 복잡한 비단순 승산을 최소로 사용하기 때문에, SISO-OFDM 시스템의 FFT 프로세서의 아키텍처로 널리 이용되어 왔다. 하지만 k개의 송수신 안테나가 사용되는 MIMO-OFDM 시스템에서는 병렬로 동작하는 k개의 baseband processor 가 필요하고 따라서 k개의 FFT 프로세서가 필요하다. 이로 인해 복잡도가 k배로 상승하므로 하나의 FFT 프로세서로 다중 데이터 패스를 동시에 처리할 수 있는 방법이 필요하다.

Multi-path delay commutator (MDC) 아키텍처는 단일 FFT 아키텍처와 같은 sampling 주파수를 유지하면서 하나의 프로세서로 k개의 다른 FFT 연산을 처리할 수 있도록 수정될 수 있다^[2]. 이렇게 수정하기 위해서는 입력 데이터를 재 배열하기 위한 하나의 commutator 블록을 추가하면 된다. 이를 통해서 MIMO-OFDM 시스템의 k개 데이터 패스를 하나의 FFT 프로세서로 처리할 수 있게 되고, 이러한 이유로 인해 4x4 MIMO-OFDM 시스템에서 4채널 R4MDC 아키텍처가 가장 좋은 선택이라고 알려져 있다^[3]. 하지만, 특히 k = 4 일 때 R4MDC는 [4]에서 처럼 하드웨어 복잡도의 관점에서 최적이지 않다. 따라서 이 논문에서는, 4x4 MIMO-OFDM 시스템을 위해 좀 더 저면적을 갖는 FFT 프로세서를 제안한

다. 제안된 FFT 프로세서는 mixed-radix 알고리즘을 사용하였기 때문에 복잡도는 다채널 R4MDC의 그것보다 작지만 다채널 MDC의 특징과 마찬가지로 낮은 복잡도의 commutator 사용으로 다중 데이터 패스를 처리할 수 있다.

본 논문에서는 4x4 MIMO-OFDM 시스템에 효율적인 FFT 프로세서의 구조를 제안한다. 또한 제안된 구조를 하드웨어로 설계하고 그에 대한 결과를 제시한다. 제안된 FFT 프로세서는 다중 데이터 패스에 맞는 다채널 MDC 구조와 mixed radix 알고리즘이 적용되어 있기 때문에 MIMO-OFDM 시스템을 위한 낮은 복잡도의 FFT 프로세서가 될 수 있다. 논문의 남은 부분의 구성은 다음과 같다. II장에서 MIMO-OFDM 시스템을 위한 파이프라인 FFT 프로세서에 대한 기존의 연구를 정리하고 III장에서 제안하는 파이프라인 FFT 프로세서의 구조를 설명한 후, IV장에서는 hardware description language (HDL) 를 사용한 구현 및 그 결과를 다룬다. 마지막으로 V장에서 결론을 언급하고 논문을 마무리 한다.

II. 파이프라인 FFT 프로세서

2.1 4채널 R2³SDF 파이프라인 FFT 프로세서
 파이프라인 FFT 프로세서의 구조는 크게 3가지 형태를 갖는다. 첫째는 SDF 구조이고, 둘째는 MDC 구조, 셋째로 single-path delay commutator (SDC) 구조^[5]이다. 이 중에서 일반적으로 OFDM 시스템에는 SDF방식이 하드웨어 복잡도 면에서 가장 효율적이라고 알려져 있으며 그 이유는 적은 하드웨어 자원을 사용한다는 점과 단일 입출력 구조가 OFDM 시스템 구현에 적합하다는데 있다. 하지만 MIMO-OFDM 시스템에서 사용되기 위한 FFT 프로세서의 경우에는 SDF방식의 FFT 프로세서가 가장 효율적이라고 할 수 없다. SDF 방식의 FFT 프로세서의 경우 MIMO 시스템에 적용하기 위해서는 복수의 프로세서를 사용해야 하는데, 이것은 SDF 방식이 언제나 단일 패스를 전부 사용하고 있기 때문에 다중 패스의 데이터를 처리할 수 없기 때문이다. 예를 들어, 4채널의 데이터 패스를 처리하기 위해서는 4개의 단일 채널 R2³SDF FFT 프로세서가 사용되어야 하며 이는 곧 하드웨어 복잡도의 선형적 증가를 의미하는 것을 의미한다.

2.2 4채널 R4MDC 파이프라인 FFT 프로세서
 SDF 방식의 FFT 프로세서와는 달리 MDC 방식

의 FFT 프로세서는 다중 패스를 가지고 있으며, 이로 인해 입력단에 하나의 commutator를 추가하는 것으로 다중 데이터 패스를 하나의 MDC 방식 FFT 프로세서로 처리하는 것이 가능하게 된다. 추가된 commutator는 4채널의 데이터 스트림을 입력 받아 재배열하는 역할을 수행한다. 추가적인 commutator의 하드웨어 overhead가 작기 때문에 MDC 아키텍처는 하드웨어 복잡도가 크게 증가하지 않고도 다채널 데이터 패스의 처리가 가능하다. 따라서 기존의 연구에 의해 MIMO-OFDM 시스템에는 MDC 구조가 적합함이 알려져 있으며, 특히 4x4 MIMO-OFDM 시스템의 경우 4채널 R4MDC 방식의 FFT 프로세서가 면적효율의 측면에서 최적으로 알려져 있다. 하지만, R4MDC 방식의 경우는 FFT 연산에서 가장 큰 부분을 차지하는 트위들 팩터 연산부가 최적화 되지 않은 상태로 남아있기 때문에, 이 부분에서 좀 더 최적화가 가능하다. 따라서 다중 데이터 패스의 처리에 유리한 다채널 MDC의 특징을 그대로 살리면서 radix-4 알고리즘보다 트위들 연산부에서 더욱 최적화된 FFT 프로세서를 개발하는 것이 필요하다.

III. MIMO-OFDM 시스템을 위한 FFT 프로세서 구조 제안

3.1 Mixed radix 알고리즘

효율적인 FFT 프로세서를 설계하기 위한 방법으로 FFT 프로세서에서 가장 복잡도가 큰 부분인 비단순 승산을 줄이기 위한 많은 노력이 있어왔다. 그 중 mixed radix 기법은 푸리에 변환을 여러 가지 radix를 혼용하여 분해하는 것으로 좀 더 간단한 연산을 하는 형태를 얻는 것을 목표로 하는 기법이다.

Radix 분해를 효율적으로 한다는 것은, 발생하는 추가적인 트위들 팩터 연산의 최적화를 의미한다. 트위들 팩터는 복소 승산이기 때문에 일반적으로 sin, cos 함수를 사용한 연산을 하지만 W_2, W_4, W_8 의 경우 간단한 상수곱으로 대체할 수 있기 때문에 단순 승산으로 분류할 수 있다. 따라서 분해 과정을 통해 높은 승수의 트위들 팩터를 단순 승산의 트위들 팩터들로 대체할 수 있다면 연산량이 감소하게 된다. 이런 식으로 좀 더 간단한 구조를 갖도록 여러 radix를 조합해서 분해하는 것이 mixed radix 기법의 기본 원리이다.

Mixed radix 기법이 4x4 MIMO-OFDM 시스템에

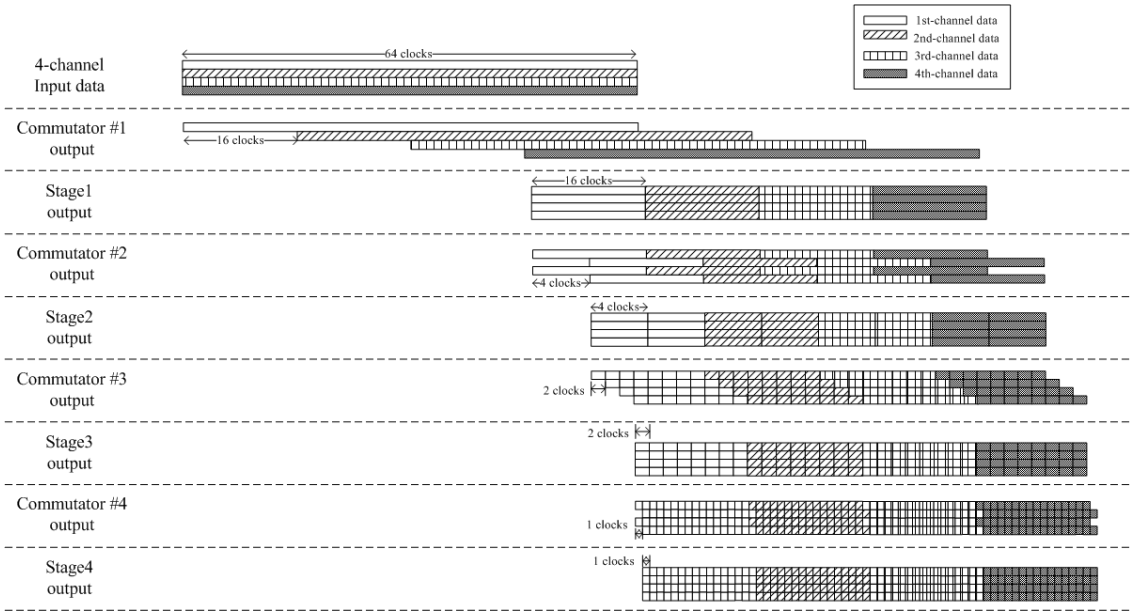


그림 2. 4채널 MRMDC FFT 프로세서의 타이밍 다이어그램

효율적인 MDC 방식의 장점을 살리기 위해서는 radix-4에 기반을 두어야 한다. 또한 조합하는 radix수가 16이상이 되면 비단순 승산이 발생하게 되어 연산 감소 효과가 발생하지 않는다. 따라서 radix-4와 radix-2를 혼용하여 분해하는 radix-4/2 Mixed radix 기법을 이용하면 radix-4 알고리즘보다 적은 수의 비단순 승산을 갖도록 하는 것이 가능하다.

Radix-4/2 분해를 위해 먼저 N -point DFT(Discrete Fourier Transform)의 식을 정의하면 다음과 같다.

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot W_N^{nk} \quad (0 \leq n < N, 0 \leq k < N) \quad (3.1)$$

radix-4와 radix-2의 혼용 형태로 제안된 식을 표현하기 위해 수식 3.1에 다음과 같이 3차원 분해법을 위한 n, k 를 대입하여 식을 새로이 정리한다.

$$n = \frac{N}{4}n_1 + \frac{N}{8}n_2 + n_3 \quad (0 \leq n_1 < 3, 0 \leq n_2 < 1, 0 \leq n_3 < \frac{N}{8} - 1) \quad (3.2)$$

$$k = k_1 + 4k_2 + 8k_3 \quad (0 \leq k_1 < 3, 0 \leq k_2 < 1, 0 \leq k_3 < \frac{N}{8} - 1)$$

수식 3.2를 3.1에 대입하여 정리하면,

$$X(k) = X(k_1 + 4k_2 + 8k_3) \quad (3.3)$$

$$= \sum_{n_3=0}^{\frac{N}{8}-1} \sum_{n_2=0}^1 \left[BF_4 \left(\frac{N}{8}n_2 + n_3, k_1 \right) \cdot W_8^{n_2(k_1 + 4k_2)} \cdot W_N^{n_3(k_1 + 4k_2)} \cdot W_{\frac{N}{8}}^{n_3 k_3} \right]$$

$$= \sum_{n_3=0}^{\frac{N}{8}-1} \left[H(n_3, k_1, k_2) \cdot W_N^{n_3(k_1 + 4k_2)} \right] \cdot W_{\frac{N}{8}}^{n_3 k_3}$$

이때, $H(n_3, k_1, k_2)$ 는

$$H(n_3, k_1, k_2) = \sum_{n_2=0}^1 BF_4 \left(\frac{N}{8}n_2 + n_3, k_1 \right) \cdot W_8^{n_2(k_1 + 4k_2)} = BF_4(n_3, k_1) + BF_4 \left(n_3 + \frac{N}{8}, k_1 \right) \cdot W_8^{k_1 + 4k_2} \quad (3.4)$$

으로 radix-2 버터플라이 연산을 의미한다. 여기서 W_8 은 단순 승산이므로 간단한 상수 곱으로 대체될 수 있기 때문에 연산량이 감소되었음을 알 수 있다. 남은 $N/8$ point에 지금까지의 분해과정을 계속하여 적용하면 radix-4/2 알고리즘의 최종식을 얻을 수 있다.

3.2 4채널 MRMDC 파이프라인 FFT 프로세서 앞서 살펴본듯이, mixed radix 알고리즘을 적용하면 기존의 radix- k 방식보다 더 적은 수의 비단순 승산이 사용되고 그에 따라 하드웨어 복잡도가 감소하게 될 것임을 알 수 있다. 또한 이러한 mixed radix

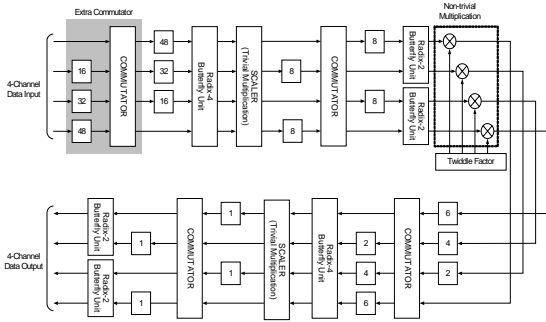


그림 3. 4 채널 64포인트 MDMD FFT 구조

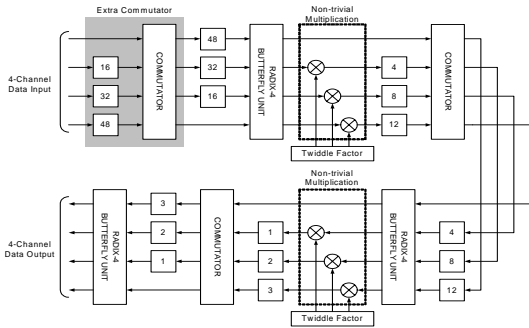


그림 4. 4 채널 64포인트 R4MDC FFT 프로세서 구조

알고리즘은 radix 분해의 변경일 뿐 하드웨어적인 변화는 없기 때문에 기본적인 하드웨어 구조의 특징을 그대로 유지하게 된다. 따라서 mixed radix MDC (MRMDC) 방식 또한 MDC 방식과 마찬가지로 k개의 다른 FFT 연산을 하나의 프로세서로 수행할 수 있도록 확장하는 것이 가능하다.

MDC 구조의 기본 장점이 다중 데이터 패스를 사용하여 FFT 프로세서의 수율(throughput)을 높이는 것이기 때문에, 높아진 수율을 이용하여 다채널의 데이터 패스를 처리할 수 있게 된다. 다만, 이것을 위해 데이터를 재배열하기 위한 추가적인 commutator가 필요하게 되고, 이에 의해서 데이터가 재배열되는 과정 중 4채널에 해당하는 경우를 그림 2에 도시하였다. 입력된 데이터는 첫 번째 commutator를 거치면서 각 채널별로 시간 지연이 다르게 되어 순차적으로 배열된다. 따라서 FFT 프로세서의 각 연산기들이 각 채널별로 데이터를 순차적으로 처리할 수 있게 된다.

그림 3과 그림 4는 각각 4채널 64-point R4MDC FFT 프로세서와 4채널 64-point MRMDC FFT 프로세서의 블록 다이어그램을 나타내고 있다. 두개의 64-point R4MDC FFT 프로세서를 비교해 보면,

표 1. 다채널 N-point FFT 프로세서의 연산량 비교

	프로세서 수(P)	P당 복소곱셈수	P당 복소덧셈수	P당 메모리수
R2SDF	k	$\log_2 N - 1$	$2\log_2 N$	N-1
R4SDF	k	$\log_4 N - 1$	$8\log_4 N$	N-1
R4SDC	k	$\log_4 N - 1$	$3\log_4 N$	2N-2
R2 ² SDF	k	$\log_2 N - 1$	$4\log_4 N$	N-1
R2 ³ SDF	k	$2(\log_8 N - 1)$	$(6+2T)\log_8 N$	N-1
R2MDC	$\lceil k/2 \rceil$	$\log_2 N - 2$	$2\log_2 N$	$3N/2 - 2$
R4MDC	$\lceil k/4 \rceil$	$3(\log_4 N - 1)$	$8\log_4 N$	$5N/2 - 4$
MRMDC	$\lceil k/4 \rceil$	$4(\log_8 N - 1)$	$(12+3T)\log_8 N$	$5N/2 - 4$

R4MDC방식의 FFT 프로세서에는 비단순 승산기가 6개 사용되는 반면, MRMDC방식의 FFT 프로세서에는 4개만 사용되어 2개가 감소하게 되는 것을 확인할 수 있다. 비단순 승산기의 수가 감소한 것에 반하여 단순 승산기의 수가 증가하지만, 단순 승산기는 쉬프트 연산기 및 덧셈기로 구현되기 때문에 하드웨어 복잡도가 비단순 승산기의 그것에 비하여 현저히 줄어들게 된다. 또한 4채널을 지원하기 위하여 추가되는 commutator는 R4MDC FFT 프로세서에서의 그것과 MRMDC FFT 프로세서의 그것이 완전히 동일하다.

하드웨어 복잡도의 차이를 비교하기 위해서 여러 파이프라인 FFT 프로세서에서의 하드웨어 소자 요구량을 비교하여 표 1에 정리하였다. k채널 데이터를 처리하기 위한 프로세서 수와 각 프로세서의 복소 곱셈, 복소 덧셈 및 메모리 등의 FFT 연산을 구성하는 기본 소자들의 수를 통해 각 방식마다의 하드웨어 소자 요구량을 확인할 수 있다. 이 표에 의하여 하드웨어 복잡도를 한눈에 비교하기 위해서 복소 연산기를 동일한 수의 실수 덧셈기로 환산하여 그래프로 정리한 것이 그림 5이다. 처리해야 하는 채널 수가 4인 경우를 살펴보면 MRMDC방식의 FFT 프로세서가 가장 작은 하드웨어 복잡도를 갖게 된다.

IV. 제안된 FFT 프로세서의 하드웨어 설계

제안된 FFT 프로세서의 하드웨어 구조를 Verilog HDL을 이용하여 설계하고 0.18um의 CMOS 셀 라이브러리를 이용하여 합성하였다. 합성된 결과 약 52K 게이트로 구현되는 것을 확인하였다. 또한 제안된

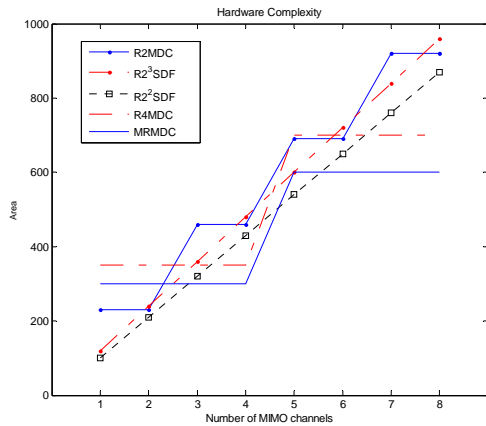


그림 5. MIMO 채널 수에 따른 FFT 프로세서의 복잡도

표 2. FFT 프로세서의 논리 합성 결과 비교

	R2 ³ SDF (4개 프로세서)	R4MDC	MRMDC (Proposed)
총 게이트 수	140K	69K	52K
감소율(%)	-	52%	64%

FFT 프로세서가 하드웨어 복잡도 면에서 효율적이라는 것을 검증하기 위해, 4채널 64포인트 R2³SDF 및 4채널 64포인트 R4MDC 방식의 하드웨어 또한 설계 및 합성하였다. 합성된 결과는 각각 140K, 69K 게이트로 나타나는 것을 확인하였다. 표2는 합성 결과와 그에 따른 감소율의 비교 결과를 보여준다. 3가지 방식의 설계 결과를 비교해 본 결과 SISO-OFDM 시스템에는 R2³SDF가 가장 효율적임을 알 수 있다. 하지만, 4채널 MIMO-OFDM 시스템을 위해서는 R2³SDF는 4개의 프로세서가 필요하고, 따라서 4채널 MIMO-OFDM 시스템을 위한 FFT 프로세서의 최종적인 복잡도는 4채널 MRMDC 방식의 프로세서가 가장 좋은 것을 확인할 수 있었다. 4채널 MRMDC 방식은 4개의 R2³SDF 방식에 비해서는 약 64%, 4채널 R4MDC 방식에 비해서는 약 25%의 하드웨어 복잡도가 감소한다.

V. 결론

본 논문에서는 차세대 무선통신 기술인 MIMO-OFDM 시스템에 적합한 다채널 MRMDC FFT 프로세서 구조를 제안하고, 4채널 64포인트 FFT 프로세서를 하드웨어로 구현 및 검증하였다. MIMO-OFDM

시스템은 다중 데이터 패스를 갖기 때문에 시스템 블록의 복잡도가 선형적으로 증가하지만, 제안한 구조는 MDC방식의 특징을 이용하여 약간의 복잡도를 갖는 추가적인 commutator만으로 다채널 데이터를 하나의 FFT 프로세서로 처리할 수 있다. 또한 효율적인 Radix 분해를 통해 기존에 4x4 MIMO-OFDM 시스템에 가장 효율적이라고 알려진 4채널 R4MDC 기법에 비해 복잡도 측면에서 가장 큰 비중을 차지하는 비단순 승산의 수를 줄일 수 있고, 이로 인해 복잡도 감소가 가능하다.

제안한 구조를 갖는 FFT 프로세서의 면적의 비교를 위해 제안한 4채널 MRMDC구조 및 4채널 R4MDC 구조, 1채널 R2³SDF 구조의 FFT 프로세서를 각각 HDL을 이용하여 구현하고 CMOS 0.18um 셀 라이브러리를 이용하여 논리합성 하였다. 논리합성 결과, 제안된 4채널 MRMDC방식의 FFT 프로세서가 4채널 R4MDC 방식 및 4개의 1채널 R2³SDF 방식의 FFT 프로세서에 비해 각각 25%, 64%의 면적 감소가 있음을 확인하였다. MIMO-OFDM 시스템에서 FFT 프로세서가 차지하는 비중이 매우 크기 때문에 제안된 FFT 프로세서는 복잡도 증가의 문제를 갖는 IEEE 802.11n 등의 MIMO-OFDM 시스템의 하드웨어 복잡도를 감소시키는 데 공헌을 할 것으로 기대된다.

참고 문헌

- [1] Shousheng He and Mats Torkelson, "Designing pipeline FFT processor for OFDM (de)modulation," *ISSSE'98*, Vol. 2, pp. 945-950, 1998.
- [2] L.R. Rabiner and B.Gold: "Theory and Application of Digital Signal Processing", *Prentice-Hall, Inc.*, 1975.
- [3] T. Sansaloni, A. Pérez-Pascual, V. Torres, and J. Valls: "Efficient pipeline FFT processors for WLAN MIMO-OFDM systems," *IEE 2005 Electronics Letters*, 15th Sep. 2005, Vol. 41, No. 19, 2005.
- [4] 정운호, 김재석: "고속 멀티미디어 통신시스템을 위한 효율적인 FFT 알고리즘 및 하드웨어 구현," *대한전자공학회논문지*, 제41권 SD편 제 3호, pp.229-238, 2004.3
- [5] G. Bi and E. V. Jones: "A pipelined FFT processor for word-sequential data", *IEEE Trans. Acoust., Speech, Signal Processing*, 37(12):1982-1985, Dec. 1989.

이 상 민 (Sangmin Lee)

정회원



2005년 연세대학교 전기전자 공
학과 학사

2007년 연세대학교 전기전자 공
학과 석사

2007년~현재 연세대학교 전기전
자공학과 박사과정

<관심분야> MIMO/OFDM 통신
시스템, VLSI 신호처리, 모뎀 SoC 설계

정 윤 호 (Yunho Jung)

정회원



1998년 연세대학교 전자공학과
학사

2000년 연세대학교 전기전자 공
학과 석사

2005년 연세대학교 전기전자 공
학과 박사

2005년~2007년 삼성전자 책임연

구원

2007년~현재 연세대학교 TMS정보통신사업단 연구교수

<관심분야> MIMO/OFDM 통신 시스템, VLSI 신호처
리, 모뎀 SoC 설계

김 재 석 (Jaeseok Kim)

정회원



1977년 연세대학교 전자공학과
학사

1979년 KAIST 전기전자공학과
석사

1988년 Rensselaer Polytechnic
Institute, NY. 박사

1993년~1995년 한국전자통신 연

구원 책임연구원

1995년~현재 전기전자공학과 교수

<관심분야> 통신 및 영상 시스템, VLSI 신호처리, 임베
디드 S/W 및 SoC 구현