

RFID Dual-band 리더 시스템의 디지털 코덱 설계

정희원 심재희*, 이용주*, 이용석*

Implementation of Digital CODEC for RFID Dual-band Reader system

Jae-Hee Sim*, Yong-Joo Lee*, Yong-Surk Lee* *Regular Members*

요약

본 논문에서는 UHF(Ultra High Frequency)와 MW(Micro Wave) 대역의 RFID 리더 시스템을 위한 디지털 코덱을 제안하였다. 현재 RFID 시스템은 하나의 프로토콜만을 지원하는 것이 대부분이다. 하지만, 현재 제정되어 있는 표준은 5개의 주파수 대역마다 각각 하나씩 제정되어 있고, 전 세계적으로 가장 널리 쓰이고 있는 UHF 대역의 경우에는 A,B,C 타입이 있으며, 향후 더 많은 표준이 제정될 것이다. 또한 앞으로 모바일 RFID 시스템의 관심이 고조되면서 하나 이상의 프로토콜을 지원하는 RFID 시스템의 필요성은 더욱 더 증가할 것이다. 따라서 본 논문에서는 UHF 대역과 MW대역의 dual-band RFID 시스템을 위한 디지털 코덱을 제안하였다. UHF 대역은 EPC 클래스 1 제너레이션 2(EPC Class1 Generation2)표준인 18000-6C 와 MW 대역의 표준인 18000-4 표준을 기반으로 시스템을 구현하였다. 설계된 회로는 알테라사의 퀴터스II 를 이용하여 합성 하였다. 목적 디바이스는 Altera 사의 CycloneII 계열인 EP2C20Q240C8이다. 주 클럭 주파수는 19.2MHz 로 설정하였으며 합성 시 사용된 FPGA의 소자(element)는 18,752개이다.

Key Words : RFID, Dual-band, Digital codec, 18000-6C, 18000-4

ABSTRACT

In this paper, dual-band digital codec for UHF(Ultra High Frequency) and MW(Micro Wave) is proposed for an RFID reader system. Most RFID systems have been supported only one protocol. But, There are many protocols of each bandwidth. Especially, UHF bandwidth which is widely used on the globe consists of A,B,C type, and more standards will be established. Recently, Since an interest about mobile RFID system is increasing, the RFID system with more than one protocol will be need. Therefore, this paper suggests a dual-band digital codec with UHF and MW bands for an RFID reader system. Standards used in this system are 18000-6C and 18000-4 standards. The digital codec is synthesize by the Quartus II compiler. Target device is EPC20Q240C8 which is family of CycloneII. Main Clock is 19.2MHz and elements of FPGA which is used for the system is 18,752.

I. 서론

RFID(Radio Frequency IDentification)는 사물에 바

코드 대응의 태그(tag)를 부착해 리더(reader)와의 통신을 이용하여 대용량의 정보를 이용할 수 있는 유비쿼터스 센서 네트워크(USN)의 기반이 되는 기술

※ 본 연구는 산업자원부 주관인 한국형 u-SCM 무선인식 단말기 개발 사업의 일환으로 코덱 요소 기술 개발 을 위한 위탁 연구 과제를 통해 수행되었습니다.

* 연세대학교 전기전자공학과 프로세서 연구실 (jhsim@dubiki.yonsei.ac.kr)

논문번호 : KICS2007-04-178, 접수일자 : 2007년 4월 14일, 최종논문접수일자 : 2007년 9월 20일

이다. RFID 시스템은 그림 1과 같이 태그, 리더 그리고 호스트 컴퓨터 세 가지 구성으로 나누어 볼 수 있다^[1]. RFID은 현재 국내외적으로 많은 연구가 진행되고 있다. 해외에는 이미 Wal-Mart 등의 물류, 유통업계에서 RFID 시스템을 도입하여 활용 중에 있으며, 우리나라도 정보통신부와 산업자원부 주도 하에 시범사업을 하는 등의 노력을 기울이고 있어, 점차적으로 RFID 시스템의 활용이 높아질 것으로 예상된다^[2].

최근에는 우리나라에 이러한 RFID 시스템에 이동 통신을 접목시킨 모바일 RFID 시스템이 대두되고 있다. 이 시스템은 모바일 폰을 리더(reader)로 사용하는 방식으로 세계에서 최초로 시도되고 있는 기술이다^[3]. 현재 UHF 대역의 연구가 활발히 진행되고 있으며, 시범 서비스를 진행하고 있는 상황이다. 이러한 모바일 환경에서는 각각의 표준을 하나의 시스템에 구현하는 방법은 여러 대역에서 하나 이상의 표준이 제정되고 있는 RFID 환경에 비효율적인 뿐만 아니라 막대한 비용의 소모가 우려된다. 따라서 본 논문에서는 유연성을 높일 수 있는 dual-band 리더 시스템을 위한 디지털 코덱을 제안, 설계하였다. 특히 유통, 물류 분야에서의 상용화가 빠르게 이루어지고 있는 UHF 대역과 MW 대역에서의 코덱을 제안한다.

본 논문의 구성은 다음과 같다. 제 II장에서는 기존연구동향에 대해서 소개하고, 기존 연구의 부족한 점과 함께, dual-band 리더의 코덱 설계에 관한 연구 필요성에 대하여 언급할 것이다. 또한 UHF(Ultra High Frequency) 대역 코덱 설계 시 표준이 되었던 18000-6C^[4] 와 MW(Micro Wave) 의 18000-4^[5] 의 각 표준에 대한 소개를 한다. 제 III장에서는 제안된 dual-band 코덱에 대하여 각 모듈별 설계를 방법을 제시하며, 제 IV장에서는 설계에 대한 시뮬레이션 환경과 합성 및 결과에 대하여 분석한다. 마지막으로 제 V장에서는 본 논문을 정리하고 결론을 맺는다.

II. 관련연구 및 연구의 필요성

2.1 현재까지의 연구동향

현재까지의 연구 내용을 보면 RFID 시스템의 설계에 대한 내용보다는 태그나 리더간의 간섭을 최소화하는 충돌방지와 정책 및 표준안 그리고 RFID 환경을 이용한 유비쿼터스 등의 다양한 애플리케이션에 대한 연구들이 많이 진행되고 있다. 특히 모바일 쪽은 관련 규정이나 표준안이 거의 확정되어 있지 않기 때문에 신호의 간섭을 최소화하는 내용이나, 모바일 환경에 적용할 수 있는 애플리케이션, 사생활 보호나 정보보안, 태그 또는 리더 간의 충돌방지에 관한 연구가 많이 진행되고 있다. 참고 문헌에는 그 중에 몇 가지만을 실었다.^{[6][7][8]}

2.2 기존연구의 부족한 점과 dual-band 디지털 코덱 연구의 필요성

기존 연구의 부족한 점을 논하자면, 첫째, 위에서 언급 하였듯이 기존의 연구는 하드웨어의 직접적인 설계보다는 표준안과 애플리케이션에 대한 내용이 대부분이었다. 둘째, 국내외를 통틀어 많은 기업에서 RFID 제품을 상품화 하고는 있지만, 연구의 목적이 아닌 판매의 목적이기 때문에 태그나 리더의 설계에 대한 연구의 초점이 맞추어져 있지 않았다. 셋째, 대부분의 RFID 시스템의 경우에는 하나의 시스템에 단 하나의 대역만을 담당 하도록 설계되어 왔다. 하지만, 계속해서 많은 주파수 대역의 표준이 정해지고 있고, 그때마다 태그와 리더를 설계하는 방법은 비용뿐만 아니라 시간적으로도 비효율적이다. 넷째, 현재 상용화되어있는 RFID 리더 시스템은 대부분이 MCU(Micro Controller Unit)가 데이터 처리의 모든 부분을 담당하고 있다. 이것은 MCU에 많은 부담이 되며 시스템의 성능저하로 이어질 수 있다. 따라서 앞에서 나열한 다섯 가지 기존 연구의 부족한 점을 고려하여 본 논문에서는 리더 시스템의 성능 향상을 위해 데이터의 처리량이 많은 인코더와 디코



그림 1. RFID 시스템

더 그리고 충돌방지 알고리즘 구현 부분을 디지털 코덱으로 설계하였으며, 실제로 현재 많이 상용화되고 있는 UHF와 MW 대역을 선택하여 dual-band 리더 시스템에서의 디지털 코덱 설계에 초점을 맞추고 있다. 또한 아직도 표준이 제정되고 있는 상황이고 기술 또한 빠르게 발전하고 있는 RFID 환경의 특성상 실제 칩(chip) 제작을 통한 시간과 비용 낭비를 막기 위하여 FPGA를 이용함으로써 업데이트가 가능하도록 하였다.

2.3 EPC global 표준

2.3.1 EPC 표준의 종류 및 특징

ISO(International Standardization[Standards] Organization) 와 IEC(International Electrotechnics Commission)는 합동기술위원회(JTC1:Joint Technical Committee1)내에 SC31(sub-committee 31)을 설립하여 바코드 및 RFID 에 대한 국제 표준화를 구축하고 있다. RFID 기술표준화는 SC31의 워킹그룹 중 WG4에서 추진되고 있고 다시 4개의 SG(Sub-Group)이 있어 분야별로 표준화가 진행되고 있다. RFID 시스템의 핵심인 주파수 대역별 무선 인터페이스(Air Interface) 표준화는 SG3에서 수행하고 있다⁹⁾. 총 5개 대역에서 심의가 진행되고 있다. 표 1은 각 주파수 대역에 따른 무선 인터페이스 표준과 용도를 나타낸다. 마이크로파 RFID 시스템은 다른 주파수들에 비해 보다 많은 양의 데이터 처리와 고속이동 물체 인식 등의 장점을 가지고 있다. 또한 UHF 대역은 저가 생산이 가능하다는 것과 성능이 가장 뛰어나다는 장점 때문에 현재의 RFID 시장에서 큰 부분을 차지하고 있고 그 적용 영역은 앞으로 더 커질 것이다.

표 1. 주파수 대역별 RFID 시스템

	Low Freq.	High Freq.	Ultra High Freq.		Micro Freq.
주파수	125KHz, 134KHz	13.56 MHz	433.92 MHz	860-960 MHz	2.45GHz
표준	18000-2	18000-3	18000-7	18000-6	18000-4
적용분야	FA용(동물, IC카드, 도서 등)	비접촉용 IC카드	전태이너 용	유통물류 등 산업전반	유통물류 등
특성	비교적 고가, 환경 영향 덜 받음	저주파보다 저가, 짧은 인식 거리와	긴 인식거리	저가 생산 가능, 성능이 가장 뛰어난 가장 뛰어난	900MH대역 태그와 유사한 특성
동작방식	수동형	수동형	능동형	능동/수동형	능동/수동형

따라서 본 논문에서는 이용도가 큰 UHF 대역과 앞으로의 활용 가능성이 큰 MW 두 가지 대역에 대한 표준으로 현재 class1 Generation2로 설정되어 있는 18000-6C와 18000-4 표준에 대한 간략한 설명을 하겠다. 본 논문에서 제시된 명령어는 필수 명령어만을 제시하였다. 각 명령어에 따라 프리앰블(preamble) 또는 프레임싱크(frame-sync)를 지원한다. 18000-6C 표준에서는 정보 보호를 위해 CRC5와 CRC16을 지원하도록 되어 있다. 주파수 호핑(hopping) 방식을 지원, 리더간의 충돌에도 대비하고 있다. 또한 능동과 수동형 방식을 모두 지원하고, 태그에 읽기/쓰기 모드를 지원한다.

2.3.2 18000-6C 표준안

UHF 대역의 표준의 하나인 18000-6C 표준안은 태그와 리더의 정보전송 과정에서 PIE(Pulse Interval Encoding)와 FM0, Miller 부호화 방식을 사용하며, 충돌방지 알고리즘은 슬롯 알로하(slotted aloha) 방식을 사용한다¹⁰⁾. 명령어 체계는 표 2에 나타나 있다.

표 2. 18000-6C 명령어 체계

Command	Code	Length (bit)	Protection
QueryRep	00	4	Unique Command Length
Ack	01	18	Unique Command Length
Query	1000	22	Unique Command Length and a CRC-5
QueryAdjust	1001	9	Unique Command Length
select	1010	>44	CRC-16
NAK	11000000	8	Unique Command Length
Rea_RN	11000001	40	CRC-16
Read	11000010	>57	CRC-16
Write	11000011	>58	CRC-16
Kill	11000100	59	CRC-16
Lock	11000101	60	CRC-16
Access	11000110	56	CRC-16
BlockWrite	11000111	>57	CRC-16
BlockErase	11001000	>57	CRC-16

2.3.3 18000-4 표준안

MW 대역의 표준안인 18000-4 표준은 mode1과 mode 2로 나누어져 있다. mode 1의 경우에는 수동형 방식을 지원하고, mode2는 능동형 방식을 지원한다. 18000-6C 와 동일하게 PIE, FM0, Miller 부호화방식을 사용한다. 태그의 충돌방지 알고리즘으로는 이진트리(binary tree)방식¹⁰⁾을 사용하고 있으며, 구현이 18000-6C 보다 간단하지만, 리더가 전송해야 할 세부 명령어의 개수가 많다. 명령어 체계는 표 3과 같으며, 정보보호를 위해 CRC-16을 지원한다.

각 대역별 파라미터 비교가 표 4에 제시되어 있다.

III. 제안된 코덱 설계

표 3. 18000-4 명령어 체계

Command Code	Command name	Parameter		
'00'	GROUP_SELECT_EQ	address	byte_mask	word_data
'01'	GROUP_SELECT_NE	address	byte_mask	word_data
'02'	GROUP_SELECT_GT	address	byte_mask	word_data
'03'	GROUP_SELECT_LT	address	byte_mask	word_data
'04'	GROUP_UNSELECT_EQ	address	byte_mask	word_data
'05'	GROUP_UNSELECT_NE	address	byte_mask	word_data
'06'	GROUP_UNSELECT_GT	address	byte_mask	word_data
'07'	GROUP_UNSELECT_LT	address	byte_mask	word_data
'08'	FAIL	none	none	none
'09'	SUCCESS	none	none	none
'0A'	INITIALIZE	none	none	none
'0C'	READ	ID	address	none

표 4. 각 대역별 파라미터

Parameter	18000-6C(EPC Class-1 Generation2)	18000-4
Forward Link Data Coding	PIE(Pulse Interval Encoding)	Manchester
Return Link Data Coding	FM0 or Miller	FM0
Error Detection	CRC-5, CRC-16	CRC-16
Anti-collision Algorithm	Dynamic Framed Slotted ALOHA	Random Number Binary Tree

3.1 디지털 코덱 블록 구성

본 논문에서 제안된 디지털 코덱의 블록도를 그림 2에 간략하게 나타내었다. 디지털 코덱은 프리앰블 탐지 유닛(preamble detection unit)과 UHF와 MW 대역의 코덱 그리고 메모리 모듈로 나눌 수 있다. 이 디지털 코덱은 RF 회로와 MPU 사이에 위치하게 되어 데이터를 처리하여 전송하는 역할을 한다. 설계된 디지털 코덱은 온/오프(ON/OFF)방식을 사용하였기 때문에 각 각의 코덱을 가지고 있다. 전송 방식은 순방향 링크(forward link)와 역방향 링크(backward link)로 나눌 수 있다. 순방향 링크는 리더에서 태그 방향으로 신호를 전송하는 방식을 의미하며, MCU와 디지털 코덱의 인코더 블록, 그리고 RF 회로를 거쳐 안테나를 통해 태그와의 통신을 하게 된다. 본 논문에서는 수동형 RFID 시스템을 구현하였기 때문에 리더가 먼저 태그에게 신호를 보내게 된다. 따라서 순방향 링크가 먼저 이루어지게 된다. 역방향링크는 태그에서 리더방향으로의 통신이다. 리더의 신호에 태그가 응답을 하면 순방향 링크와는 반대로 안테나, RF회로를 거쳐 프리앰블 탐지 모듈을 거쳐 태그의 프리앰블 신호에 에러가 없음을 확인하여 해당 코덱에 인에이블 신호를 준다. 태그 신호는 코덱의 디코더와 충돌방지 유닛을 거쳐 데이터를 메모리에 저장하게 된다. 이때 메모리는 MCU와의 사이에 다리 역할을 하고 있으므로, 데이터가 메모리에 전부 저장되면 MCU가 데이터를 읽어 미들웨어에 전달하게 된다.

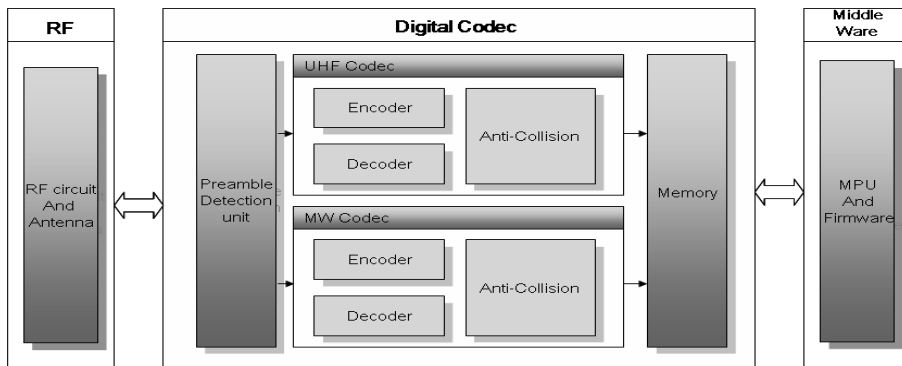


그림 2. dual-band 리더 시스템의 전체 블록도

3.2 프리앰블 탐지 모듈

하나의 리더에 두 가지 대역의 코덱을 구현하기 위해 태그의 프리앰블 신호를 분석하여 사용하는 코덱은 ON, 사용하지 않는 코덱은 OFF 시키는 방식으로 구현을 하였다. 18000-6C 표준에서 제시하는 태그의 프리앰블 신호와 18000-4 표준에서 제시하는 태그의 프리앰블 신호가 그림 3에 제시되어 있다. 18000-6C 표준의 경우 T_{Rext} 값에 따라 프리앰블이 두 가지로 나뉘는데, 본 논문에서는 T_{Rext}가 '1'인 경우만을 지원하도록 설계하였다. 그림에서도 보듯이 18000-6C 표준에서는 12개의 리딩 제로(leading Zero) 값이 파일럿 톤으로(pilot tone)으로 먼저 전송되고 뒤 이어 프리앰블 신호가 전송된다. 태그가 전송하는 신호는 FM0로 부호화된 신호이기 때문에 디코더 단을 거치기 전에는 단지 클럭마다 '10'이 12번 반복되고 그 후에 '110100100011'의 비트가 입력되는 것으로 볼 수 있다. 대역 선택 모듈은 태그의 프리앰블 신호가 바이올레이션(Violation) 때문에 FM0 시퀀스가 깨져있다. 따라서 FM0 디코더 모듈을 거치기 전에 수행을 하고, 이 때문에 매 클럭마다 신호의 트랜지션 비트를 그대로 비교하여 각 대역의 프리앰블 신호와 일치하는지를 확인한다. 2.45GH대역의 경우에도 마찬가지로 4개의 0과 8개의 '01' 그리고 '000110110001'이 입력되는 경우 제대로 된 태그의 프리앰블이라 할 수 있다. 두 개의 응답 외의 다른 태그 응답이 입력으로 전송되었을 때는 preamble 신호가 일치하지 않으므로 1비트의 match 신호를 충돌방지 유닛에 전달한다. 메모리에 저장되는 태그의 응답 포맷은 태그의 고유 ID 값이므로 프리앰블 신호는 메모리에 저장 할 필요가 없다. 신호가 일치하는 것을 확인 할 후 일치하는 대역의 디코더 모듈에 인에이블 신호를 주어 'ON' 시키고 뒤 이온 신호부터 디코더 모듈로 전송한다.

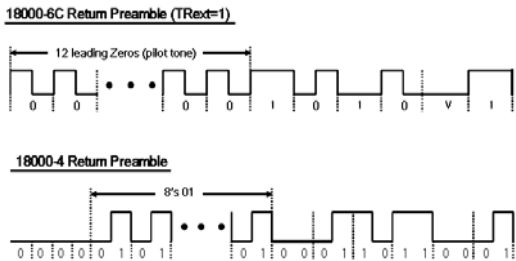


그림 3. UHF와 MW 대역의 프리앰블 신호

3.3 UHF 대역 코덱 설계

3.1.1 인코더(Encoder) 모듈

인코더 모듈은 그림 4와 같이 프리앰블과 프레임 싱크 생성 모듈, CRC-5와 CRC-16, Shifter모듈 그리고 PIE 변환모듈과 컨트롤 모듈로 구성되어 있다. 충돌방지 유닛에서 태그에게 보낼 적절한 명령어의 고유 길이와 명령어를 인코더의 입력어로 전달하면, 인코더는 표 2에 제시된 고유 길이에 따라 프리앰블 신호를 생성할 것인지, 프레임 싱크 신호를 생성할 것인지를 판단한다. 또한 CRC-16을 오류검출신호로 사용할 것인지 CRC-5를 사용할 것인지에 대한 판단 역시 동시에 이루어진다. 태그에 보내어질 명령어는 프리앰블신호(또는 프레임싱크), 명령어, CRC-16(또는 CRC-5) 순서로 전송되며, shifter 모듈을 통해 한 비트씩 PIE 변환 모듈을 거쳐 PIE 신호로 변환되어 RF회로의 DAC(Digital Analog Converter)로 전송된다.

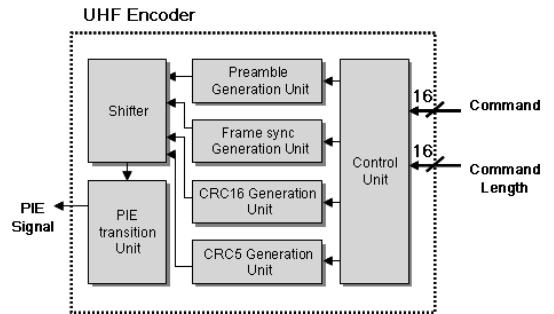


그림 4. UHF 대역의 인코더 모듈

3.2.1 디코더 모듈

설계된 UHF 대역의 디코더 모듈은 총 4개로 그림 5과 같다. 프리앰블 탐지 블록에서 RF단을 통하여 전송된 태그 프리앰블이 UHF 대역의 태그 프리앰블과 일치하면 select_UHF 신호에 '1' 값을 할당하여 디코더 모듈을 동작시키게 된다. 디코더 모듈에서는 FM0로 부호화된 신호를 NRZ 신호로 복호화 한다. 또한 태그에서 보낸 CRC 신호를 체크하여 에러가 없는 지에 대한 판단을 CRC-16 check 블록에서 담당한다. 버퍼는 1비트씩 복호화된 태그의 데이터를 16 비트씩 묶어 충돌방지 유닛으로 전송한다. 컨트롤 블록은 나머지 블록들 간의 컨트롤 신호를 입력 받아 각 블록의 동작 타이밍을 조정하는 역할을 한다.

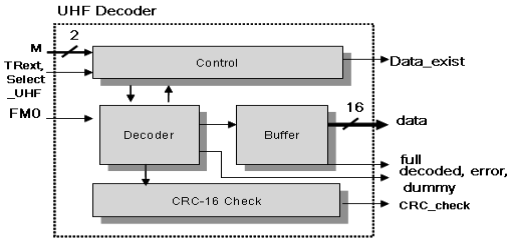


그림 5. UHF대역 디코더모듈

3.2.2 충돌방지 모듈

본 논문에서 설계된 UHF 대역의 충돌방지 알고리즘은 앞서도 밝혔듯이 슬롯드 알고하 방식을 사용하여 구현되었다. 여러 개의 태그가 응답했을 경우 충돌이 발생하게 되는데, 이 경우에는 표준에서 제시된 Q-parameter 알고리즘에 의하여 슬롯 카운터(slot-counter)의 비트를 조절을 통해 그의 응답을 받게 된다. 이 응답은 태그 교유의 응답으로 PC, EPC, CRC 정보로 구성되어 있으며 128비트이다. 본 논문에서 설계된 충돌방지 모듈에 대한 블록도가 그림6에 제시되어 있다. 충돌방지 모듈은 전체 코덱의 실질적인 컨트롤을 한다고 할 수 있다. 태그의 충돌방지와 오류의 여부를 다른 모듈들을 통해 컨트롤 신호로 전송을 받고 그 결과에 적절한 명령어와 명령어의 길이를 인코더 블록으로 전송하게 된다. 예를 들어 오류가 나거나 정해진 시간 내에 태그의 응답이 없다면 Query_Rep, Q 값을 조정할 경우에 Query_Adjust, 하나의 태그를 인지하였을 때는 ACK 등의 명령어를 전송한다.

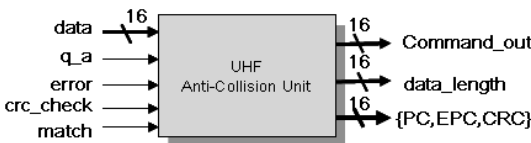


그림 6. UHF 충돌방지 알고리즘

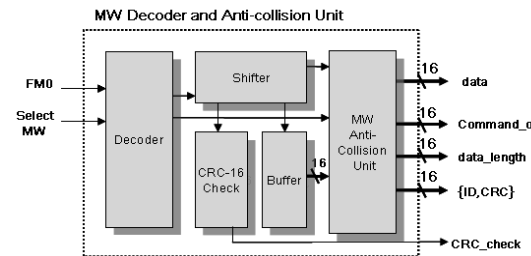


그림 7. MW대역 디코더와 충돌방지 유닛

3.3 Micro wave 대역 코덱 설계

3.3.1 MW 대역의 인코더 모듈

MW 대역의 인코더 모듈은 UHF 대역의 인코더 모듈과 비슷한 구조를 가지고 있다. MW 대역의 순방향링크의 프리앰블은 어떤 명령어든지 동일하게 9비트의 맨체스터 '0'와 delimiter를 전송한다. 즉 9개의 '01'과 '1100111010'을 프리앰블로 전송한다. 또한 오류정정부호도 동일하게 CRC-16을 지원한다. 따라서 UHF 대역과 비슷하나 좀 더 단순한 형태의 모듈로 구현하였다. MW 대역은 맨체스터 부호화 방식을 지원하기 때문에 NRZ 신호를 맨체스터 신호로 인코딩해주는 유닛을 설계하였다. 따라서 9개의 '01'과 delimiter, 명령어, 주소, BYTE_MASK, CRC-16의 순서로 맨체스터 인코딩 모듈을 통해 DAC로 전달된다.

3.3.1 MW 대역의 디코더 모듈과 충돌방지 모듈

MW의 태그 프리앰블이 감지되어 인에이블 신호인 Select_MW 신호가 ON이 되면 디코더 모듈이 동작하기 시작한다. MW 대역은 UHF 대역과 마찬가지로 태그의 신호가 FM0 시그널로 부호화되어 있기 때문에 이것을 디코드 하는 과정을 거치게 된다. 또한 CRC16 오류정정 부호를 체크하는 과정도 동일하다.

디코딩 되어 오류가 없는 것이 확인된 신호는 태그의 상태와 응답에 따라 충돌방지 모듈에서 해당하는 명령어를 인코더 모듈에 전송하거나, 충돌방지 알고리즘에 따른 동작을 수행하게 된다.

GRUOP_SELECT 명령어를 전송하여 조건에 맞는 태그들을 선택하고, 태그의 응답에 따라 하나 이상의 태그가 응답하였다면 FAIL 신호를, 태그로부터 아무 응답이 없을 때나 또는 하나의 태그 데이터를 전송 받았을 때 SUCCESS 신호를, 응답한 태그가 하나지만 전송된 데이터에 에러가 있다면 RESEND 신호를 인코더 블록에 명령어 길이와 함께 전송하게 된다. FAIL 상태였을 경우 충돌방지 알고리즘에 하나의 태그가 선택 되는 과정을 거치게 된다.

3.4 메모리 모듈

본 논문에서 사용된 메모리의 타이밍도는 그림7과 같다. 메모리는 Quartus II 6.0의 Mega-Wizard를 이용하여 생성하였다. FPGA device CycloneII 에 적합한 메모리로 입, 출력 모두 각각 두 개의 16비트 포트를 가지고 있으며, 각 입력 포트와 함께 9비트의 주소입력 포트와 write enable 신호를 가지고 있다. 메모리 모듈은 그림 2의 전체 블록도에서도 볼 수 있듯이 코덱의 충돌방지 유닛과 MCU 사이에 위치하고 있다.

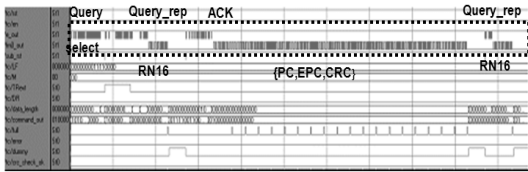


그림 8. UHF 대역의 테스트 결과 파형도

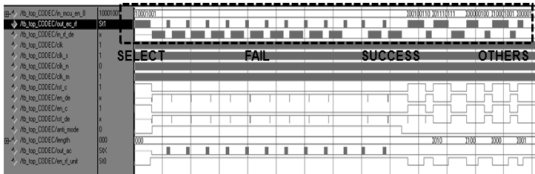


그림 9. MW 대역의 테스트 결과 파형도

IV. 코덱 설계 결과

4.1 시뮬레이션

본 논문에서 제안한 디지털 코덱은 Modelsim 6.0 을 이용하여 Verilog HDL로 설계하였다. 설계된 블록의 검증은 위한 시뮬레이션으로 각 대역별에 따라 테스트 벤치를 만들어 테스트 하였다. 클럭주파수는 19.2MHz 이고 링크 주파수는 40kbps로 고정하였다. 각 대역마다 태그가 충돌할 경우와 싱글 태그일 경우를 가정한 테스트 벤치를 만들어 시뮬레이션을 시행하였다. 시뮬레이션은 표준에 제시되어 있는 리더의 명령어와 태그 응답 사이의 최대치와 최소치를 준수하는 범위에서 시뮬레이션을 시행하였다. 시뮬레이션에 적용되었던 링크 타임과 링크 주파수에 대한 파라미터를 표 5에 정리하였다. MW 대역은 18000-4 표준에 제시되어 있는 파라미터로써 태그가 리더의 프리앰블 신호를 탐지하기까지의 시간으로 최대 400us 가 제시되어 있다. 시뮬레이션 시 이 파라미터를 준수하였다. 그림 8과 9에 각 대역의 테스트 결과 파형도를 제시하였다.

4.2 합성결과

합성 시 사용된 툴은 Altera 사의 QuartusII 6.0이다. 사용될 FPGA는 Altera 사의 CycloneII 계열인 EP2C20Q240C8이다. 주 클럭 주파수는 19.2MHz 로 설정하였고 타이밍 조건을 만족하였다. 합성 시 사용된 FPGA의 소자(element)는 18,752개를 사용하였다. 자세한 내용은 표 6에 나타내었다. 이 합성의 결과는 RFID 시스템 구현 시 참고 자료로 사용될 수 있을 것이다.

표 5. UHF대역 시뮬레이션 파라미터

Parameter	Value
DR	8
TRcal(us +/-1%)	200
LF	40
M	1
TRExt	0
T1	238us~262us
T2	75us~262us
T3	0us
T4	150us

표 6. 합성 결과

Tool	QuartusII
Top-level Entity Name	dual_codec
Clock Frequency	19.2MHz
Family	CycloneII
Device	EP2C20Q240C8
Total logic elements	18,752
Total registers	1218
Total pins	99
Total memory bits	8,192

V. 결론

앞서 이야기 한 바와 같이 현재 RFID 분야의 연구가 표준, 충돌방지, 애플리케이션 등에 국한되어 있기 때문에 하드웨어 설계에 대한 연구가 거의 없다. 따라서 본 논문에서는 하드웨어 설계에 초점을 맞추었고 FPGA를 이용한 점과 dual-band를 설계한 부분에 대한 점을 통해 이에 따른 장점과 앞으로의 활용방안에 대하여 생각해보았다. 설계된 하드웨어는 FPGA에 탑재하였기 때문에 설계된 하드웨어를 추가하거나 수정할 시에 유용하며 반복되는 데이터 처리에대한 빠른 성능을 얻을 수 있다. 또한 현재는 두 가지 대역에서 사용할 수 있도록 하였지만, 안테나와 RF 보드의 설계에 따라 얼마든지 멀티 대역으로 확장할 수 있다. 앞으로 RFID 기술은 모바일뿐만 아니라 더 많은 분야에서 응용이 되며 이에 따라 다중 대역 시스템의 필요성은 증가 할 것이다. 따라서 본 논문에서 제안한 디지털 코덱은 다중 대역에서의 리더 시스템의 실제적인 하드웨어 구현 시 많은 참고가 될 것으로 보이며, 또한 단일 대역 시스템에서의 하드웨어 설계 시에도 참고가 될 것이다.

참 고 문 헌

- [1] 이은곤, “RFID 확산 전망 및 시사점”, 정보통신정책 제16권 13호 통권 351호, 2004
- [2] 김유정, “RFID 시범사업 현황 및 추진방향”, TTA 저널 RFID/USN특집 제 95호, 2004.
- [3] 장변준, 이윤덕, “모바일 RFID 기술 동향 및 주요 이슈”, 주간기술동향 통권 1206호, 2005
- [4] ISO/ISE 18000-6C : Parameter for air interface communications at 860MHz to 960MHz, 2005.
- [5] ISO/ISE 18000-4 : Parameter for air interface communications at 2.45GHz, 2003
- [6] Namje Park, H kim, K Chung, and S Shon, “Design of an Extended Architecture for Secure Low-Cost 900MHz UHF Mobile RFID Systems”, ISCE '06. 2006 IEEE Tenth International Symposium ,2006.
- [7] Joon-Goo Lee, SJ Hwang, SW Kim, S Ahn, “Software Architecture for a Multi-protocol RFID Reader on Mobile Devices”, Embedded Software and Systems, 2005.
- [8] 권성호, “Gen2기반 RFID 시스템에서의 충돌방지 알고리즘에 관한 연구”, 한국통신학회논문지, Vol.31, No.6B, 2006.
- [9] 정민화, “RFID 국제표준화 동향”, 한국전자과학회지, 제 14권 제 2호, 2004.
- [10] 이수련, 이체우, “RFID 시스템의 다중 인식 기술 현황”, 한국전자과학회지 제15권 제2호,2004.

심 재 희 (Jae-Hee Sim)

정회원



2006년 2월 경희대학교 전기전자공학과 학사
 2006년 3월~현재 연세대학교 전기전자공학과 석사과정
 <관심분야> ASIC, RFID

이 용 주 (Young-Joo Lee)

정회원



1999년 8월 연세대학교 전자공학과 학사
 2001년 8월 연세대학교 전기전자공학과 석사
 2001년 9월~현재 연세대학교 전기전자공학과 박사과정
 <관심분야> ASIC, RFID 마이크

로프로세서

이 용 석 (Yong-Surk Lee)

정회원



1973년 2월 연세대학교 전기공학과 학사
 1977년 2월 University of Michigan, Ann Arbor 석사
 1981년 2월 University of Michigan, Ann Arbor 박사
 1993년~현재 연세대학교 전기전자공학과 교수

<관심분야> 마이크로프로세서, 네트워크 프로세서, ASIC, SoC