

COG 패키지에서의 크랙을 줄이기 위한 패시베이션 두께 관리와 오픈패드 설계

정회원 김 경 수*, 종신회원 이 호 응**, 이 우 상***

Passivation Thickness Control and Open Pad Design to Reduce Crack in COG Package

Kyeong-Su Kim* *Regular Member*, Ho-Woong Lee**, Woo-Sang Lee*** *Lifelong Members*

요 약

Flip chip Package에서 골드 범프의 피로강도에 대한 패시베이션 두께와 오픈패드의 크기에 대한 영향을 조사하기 위하여 패키지 신뢰성 시험을 실시하였다. Flip chip 구조에서 UBM 다층박막 증착 전 패시베이션 두께가 증가함에 따라 접착로 골드 범프의 전단 강도가 증가하였으며 전체적으로 오픈 패드의 크기가 20um인 전단강도가 오픈 패드의 크기가 10um인 전단 강도보다 큰 값을 가졌다. 오픈패드의 접착력이 낮은 경우에는 shear test 시 UBM 다층박막과 패시베이션 사이에서 파괴가 일어났다. 즉, UBM과 패시베이션사이의 접착력이 향상됨에 따라 골드 범프의 신뢰성이 향상될 수 있다는 것을 알게 되었다. 또한, SEM(scanning electron microscope)을 이용하여 파괴 기구에 대한 분석을 실시하였으며, 패시베이션 두께와 오픈패드 크기에 따른 골드 범프의 전단응력 저하에 대하여 논의하였다.

Key Words : Flip chip package, Gold bump, Passivation thickness

ABSTRACT

Package reliability test was conducted to investigate the effect of passivation thickness and open pad on the gold bump fatigue strength for Flip chip Package. The shear strength of the gold bump was increased with the in passivation thickness prior to the UBM metal deposition in the flip chip structure. The shear strength of 1.0um for open pad was larger than that of 0.6um for open pad. The main fracture path in the shear test was the interface between UBM metal films and the open pad when the peel strength be low. The reliability of the gold bumps was improved as the adhesion strength between UBM thin metal and open pad increases. SEM (scanning electron microscope) was used to the analyze failure mechanics. The degradation of shear strength of gold bumps caused by passivation thickness and size of open pad was discussed.

I. 서 론

Flip chip은 chip과 기판을 연결하는 방법으로서 현재 차세대 패키지 기술로서 개발이 진행되는 소자연결방법중의 하나이다. 1964년에 IBM이 C4

(Controlled Collapse Chip Connection) 라는 이름으로 개발한 이래 각국의 우수한 전자회사들을 중심으로 발전되어 온 소자연결방법이다. 기존의 Wire Bonding은 지금까지의 Flip Chip법을 적용해야 할 만큼 많은 입출력단자를 가지고 있지 않았다.^[1] 그

* 광운대학교 전자재료 공학과 박막 연구실 (kks711220@empas.co.kr), ** 동원대학 정보통신과 (hwlee@dongwon.ac.kr),
*** 동서울대학 정보통신과 (wslee@dsc.ac.kr)
논문번호 : 07082-1105, 접수일자 : 2007년 11월 5일

러나 최근의 반도체 집적도의 증가율은 상상을 초월할 만큼 빠르게 발전하고 지금의 wire bonding으로는 더 이상의 집적도에서 한계에 다가 왔다. Flip Chip의 경우 Chip의 면에 전체적으로 범프를 형성할 수 있으므로 범프 간 거리를 넓힐 수 있는 방법이다. FPD (Flat Panel Display)의 종류에는 LCD (Liquid Crystal Display), PDP(Plasma Display Panel), LED (Light Emitting Diode), ELD(Electroluminescent Display), 그리고 FED (Filed Emission Display) 등이 있는데 이 중에서 LCD 및 모니터가 가장 널리 사용되고 있으며 평판 표시장치 시장의 약90% 이상을 점유하고 있는 이유는 다른 평판 표시장치에 비해 가격이 저렴하고, 소비전력이 낮으며, 경박 단소가 요구되는 휴대용 제품으로의 응용에 적당하기 때문이다. LCD의 연구 개발동향을 살펴보면, 최근 급격한 신장세를 보이고 있는 차세대 이동통신용 Web-browsing Cellular phone이나, 개인정보 단말기(PDA), 네비게이션 등에서 사용되는 소면적 TFT-LCD의 저 소비 전력, 고해상도 연구 개발과 컴퓨터 모니터, 가정용 TV와 같은 대면적, 고해상도 디스플레이 장치로서의 연구 개발의 노력이 집중되고 있으며 다양한 소재설계기술 및 제조기술에 대한 연구가 요구되고 있다.^{[2][3]} 액정 표시장치의 실장 기술에는 COB (Chip On Board), TAB (Tape Automated Bonding), COG (Chip On Glass), COF (Chip On Flim) 등이 있다. Flip chip 연구에 있어 중요한 점은 Solder 범프 및 Under 범프 Metallurgy 형성을 위한 효과적이고 저렴하며 높은 생산성을 가지는 공정의 개발에 있다. 플립 칩 접합기술은 액상 솔더의 젖음성에 의해 자기정렬기능이 있으므로 이런 정확도가 요구되는 Alignment 에 큰 장점이 될 수 있다.^[4-6] TFT-LCD 구동소자의 실장기술로 가장 많이 사용되는 있는 TAB(Tape Automated Bonding) 방법은 COB 방법에 비해 고밀도 실장과 얇은 두께의 패키징이 가능하고, I/O pin 수가 많은 칩의 연결에 유리 하다. 현재 가장 널리 사용되는 50-60 μ m pitch TAB 방식은 실장 단가가 전체 원가의 30 % 정도로 높으며, 화상표시 부분 외에 점유하고 있는 부분이 크다는 단점이 있다. 그러므로 대면적 평판 표시장치에는 가장 적합한 기술이나, 평판 표시장치의 경박소형화, 저가격화, 고화질화 등의 변화에 적절히 대응하기 어려운 실장기술이다. 극미세 pitch, 최소한의 접속면적을 필요로 하는 고정질 다단자

실장기술의 필요성이 부각되었다. TAB공정은 한계 피치가 50 μ m로 알려지고 있으며 전기적 신호길이가 길어 고속응답 HDTV용 LCD에는 적용되기 힘든 기술이다. TAB 공정보다 발전된 형태의 COG 공정 기술은 구동회로를 뒤집어 구동회로의 패드를 LCD 패널에 직접 연결하는 방법으로 TAB 방식보다 훨씬 미세한 Pitch의 고밀도 실장이 가능하고, 연결부분이 점유하는 면적도 최소화시킬 수 있으며, 공정이 간단하여 제조비용도 줄일 수 있다. 이러한 COG 방법으로 이방성 도전 접착제 (Anisotropic Conductive Adhesive; ACA), 이방성 도전 필름 (Anisotropic Conductive Film; ACF), Stud 범프 그리고 솔더 범프를 이용한 방법들이 있다. 물리적인 힘에 의한 접합을 이용한 접합 방법에는 이방성 전도필름 또는 이방성전도접착제를 이용한 방법, 등방성 전도접착제(Isotropic Conductive Adhesive; ICA)를 이용하는 방법,^{[7][8]} 이 외에도 폴리머에 금속을 코팅한 범프를 금속패드 상에 기계적으로 접합하는 접합방법 등이 있다.^[9] 특히 ACF를 이용한 방법은 현재 TFT-LCD(Thin Film Transistor Liquid Crystal Display) 를 비롯한 정보 디스플레이 장치의 구동소자의 실장기술에 널리 사용되고 있다. 이 방법은 구동소자의 Au 범프와 LCD 패널(Pannel)의 전극(Electrode) 사이에 전도성 입자가 접착제(Adhesive)내에 고르게 분포된 ACF를 위치시킨 후 하중과 열을 가하여 전도성 입자들이 범프와 전극 사이에 물려 접합되는 방식이다. ACF를 이용하는 방법은 솔더 범프를 이용하는 방법에 비해 환경친화적이고,저온공정이 가능하고, 공정이 단순하고, 신뢰성이 높은 방법으로서 선호하고 있으나 범프 면적에 비하여 내부 전도성 입자에 의해 접합되는 면적이 매우 적으므로 접속저항이 커진다. 또한 극미세피치로 갈수록 범프당 접속이 되는 전도성 입자의 수가 급격히 감소하여 회로의 단선과 단락현상이 발생할 수 있다. 이러한 단점을 보완하기 위해 Double-layer ACF, Area Array ACF, Dielectric dam을 이용한 방법, Microconnector 등의 개선된 방법이 개발되어 있으나 공정이 복잡하고 제조단가가 높은 이유로 거의 사용되지 않고 있다.^[10-11] 그러나 Pich와 I/O Pin의 증가에 따른 COG 형태의 방법을 사용 하는것이 가장 유리하다. 본 논문에서는 COG 공정을 이용하여 패시 베이션 증가와 오픈 패드의 감소에 따른 플립치 패키징 구조를 연구하고자 한다.

II. 실험 방법

COG의 패키지 구조를 가지는 구조로 그림 1. 과 같이 제작하였다. Si wafer에 알루미늄 pad를 형성 후 옥사이드와 나이트라이드를 형성하여 패시베이션을 형성 하였다. Chip 크기는 1mm × 19mm 이며, Open Pad size는 10 μ m × 35 μ m & 20 μ m × 35 μ m 직사각형 모양으로 구성 되어 있다. Open pad 부분의 지역의 신뢰성을 높이기 위해 UBM(under bump metallurgy)을 3500 Å 스퍼터링하고 금도금을 위한 seed layer인 Au를 약 1000 Å 증착하고, 두꺼운 감광제를 사용하여 패턴 형성 한다. Au 도금을 통해 칩 전극과 골드 범프를 연결시키는 신호선을 형성한 후, 감광제를 없애고 불필요한 Seed Layer를 습식 식각 하여 제거한다. 패키지 신뢰성 시험을 위해 JEDEC (Joint Electron Device Engineering Council)-standard level 3 후, 3회 리플로우를 거친 시편을 짧은 시간 동안 극도의 고온 및 저온에서 반복적인 노출을 통한 충격 시험을 실시하였다. 온도 사이클 동안 발생하는 전기적 물리적 손상의 변화의 발생을 알아보기 위하여 -55 °C +125 °C 온도 프로파일을 이용하여 5번 반복하는 T/C를 각각 500회를 실시하였다. 각 시편은 Shear tester dage series 2400을 사용하여, 범프의 중심과 기판 사이의 1/2 높이(5 μ m)에서 shear blade를 고정시키고, 300 μ m/sec 속도로 하중을 부가하여 그림 2와 같이 최고 전단 하중을 측정하였으며, 이 값을

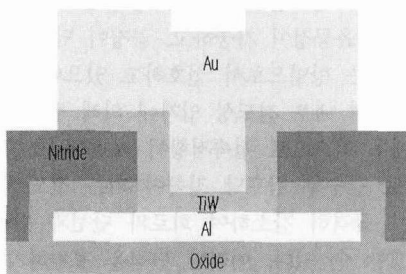


그림 1. COG 패키지 구조

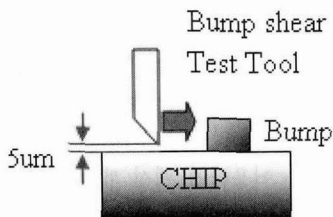
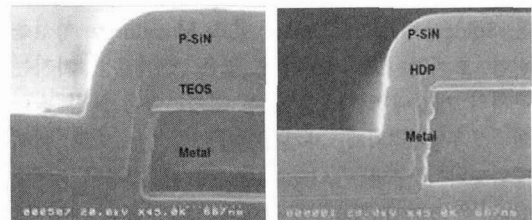


그림 2. Shear test

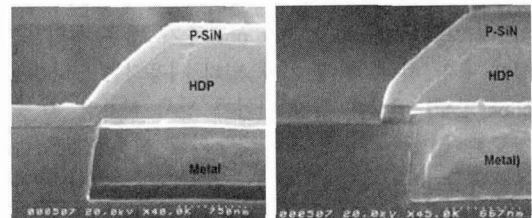
전단강도로 사용하였다. 시편당 10개의 전단강도를 얻었으며, 범프의 패시베이션 Crack을 줄이기 위해 오픈 패드를 10 μ m에서 20 μ m로 증대 시켰다 그리고 패시베이션 의 두께를 조절 하여 크랙을 줄이는 실험을 하였으며, 광학 현미경, 주사 전자 현미경(SEM) 으로 범프의 미세조직을 조사하였다.

III. 결 과

COG의 패키지 구조에서 골드 범프에 대한 패시베이션 크랙방지를 위한 오픈 패드의 크기와 패시베이션 구조의 신뢰성 시험 조건에 따른 전단강도를 실험 하였다. 오픈 패드의 크기와 TEOS 공정과 HDP 공정에 따른 10 μ m × 35 μ m & 20 μ m × 35 μ m의 패시베이션의 두께가 1.0 μ m, 0.6 μ m의 변화에 의한 구조를 그림 3에 나타냈다. 오픈패드 높이의 증가에 비례하여 접합부의 크기가 상대적으로 증가함으로 인하여 스트레스에 인한 영향이 감소한다. 패시베이션의 두께가 1.0 μ m이었을때 두께가 0.6 μ m의 경우에 비해 응력 집중현상이 감소한다. 따라서, 전단시험에서 패시베이션의 두께가 작은 영역의 파단면으로 나타나는 경향이 증가하여, 1.0 μ m을 사용한 골드 범프가 0.6 μ m 골드 범프 보다 전단강도가 증가 된 것으로 사료 된다. 동일한 직경의 오픈패드에서 패시베이션의 두께가 증가 할수록 전단강도가 증가 하였다.



TEOS



HDP

그림 3. TEOS 와 HDP를 이용한 Passivation의 두께에 따른 SEM 사진

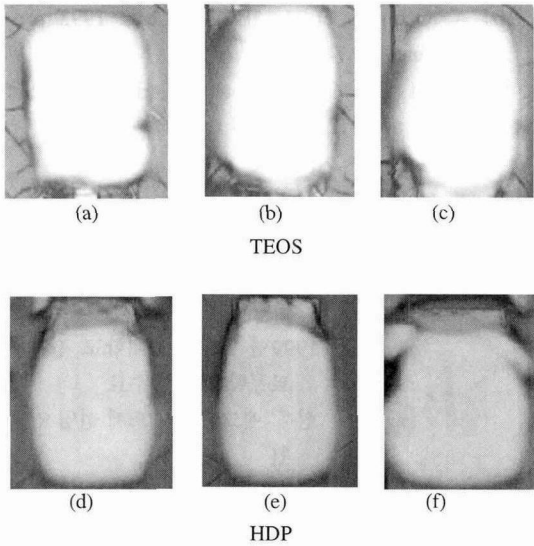


그림 4. TEOS 와 HDP를 이용한 Passivation의 두께에 따른 Crack 사진

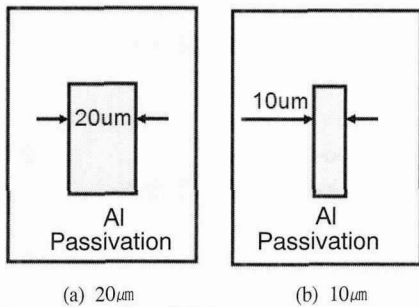


그림 5. Open Pad의 크기 구조

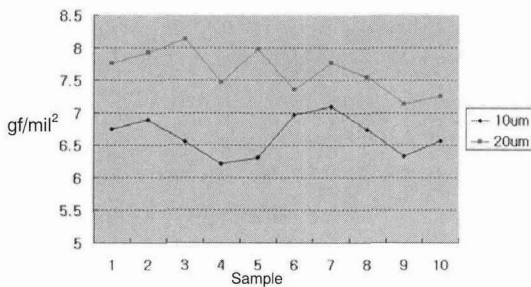


표 1. Open Pad 크기에 따른 Shear Test 값

위의 그림 4와 같이 TEOS의 두께가 증가 할수록 크랙이 감소하며 특히 HDP후의 두께가 증가할수록 크랙이 감소하는 것을 알수 있었다. 그리고 그림 5와 표 1 같이 오픈 패드가 증가 할수록 전단응력 테스트의 값이 증가하며 또한 크랙이 감소함을 알 수 있었다.

이와 같은 현상은 오픈 패드가 증가 할수록

UBM층과 알루미늄의 접착력이 증가하여 패시베이션의 크랙이 감소됨을 알수 있었다. 그리고 골드 범프와 오픈 패드의 비가 1 : 0.3 정도 증가 하여야만 크랙이 감소됨을 알수 있었다. TEOS 구조에 비하여 HDP의 구조가 크랙을 감소시킴을 알수 있었다 이것은 옥사이드의 두께가 나이트라이드의 스트레스를 감소시킴을 알 수 있었다.

IV. 결 론

본 연구 결과는 첫 번째로, Flip Chip 패키지를 위한 범프 구조와 오픈 패드의 구조에 따른 크랙을 감소시키는 것을 제안하였으며, 제안한 고집적도의 골드 범프를 형성시 크랙을 감소시킬수 있는 비를 제안 하였다.

- 1) 오픈 패드가 증가할수록 UBM층과 알루미늄의 접착력이 증가 하여 전단응력 값은 증가 함을 알수 있었다. 이런 현상은 UBM층과 알루미늄의 면적이 크기 때문인 것으로 사료 된다.
- 2) TEOS 구조에 비하여 HDP의 구조가 크랙을 감소시키는 현상은 옥사이드의 두께와 순도의 증가가 나이트라이드의 스트레스를 감소시키므로 인해 크랙 감소 현상이 나타나는 것으로 사료 된다.

참 고 문 헌

- [1] Rao R. Tummala et al., Microelectronics Packaging Handbook II, Capman & Hall, 1997, pp.78.
- [2] Masuda, M. Sakuma, K. Satoh, E. Yamasaki, Y. Miyasaka, H. Takeuchi, "Chip on glass technology for large capacity and high resolution LCD" Electronic Manufacturing Technology Symposium, 1989, pp 55-58.
- [3] Matsuda. K, Watanabe. I, "Recent progress toward anisotropic conductive films in flat panel display and semiconductor packaging applications", Density Microsystem Design and Packaging and Component Failure Analysis, 2004. pp 8-13.
- [4] S. K. Kang and C. G. Woychik, Mechanisms of interconnection formation in VLSIpackaging, The Metal Science of

Joining, 1992.

[5] V. C. Marcotte, C4 flip chip joining, The Metal Science of Joining, 1992.

[6] L. J. Fried, J. Havas, J. S. Lechaton, J. S. Logan, G. Paal, and P. A. Totta, A VLSI Bipolar metallization design with three-level wiring and area array solder connections, Microelectronics Reliability, Vol. 23, Issue 3, 1983, pp. 597.

[7] J. H. Zhang, Y. C. Chan, M. O. Alam and S. Fu, Contact resistance and adhesion performance of ACF interconnections to aluminum metallization, Microelectronics Reliability, Vol. 43, Issue 8, Aug. 2003, pp. 1303-1310.

[8] A. Tolvgard, J. Malmodin, J. Liu, and Z. Lai, A reliable and environmentally friendly packaging technology-flip chip joining using anisotropically conductive adhesive, Adhesive Joining and Coating Technology in Electronics Manufacturing, 1998.

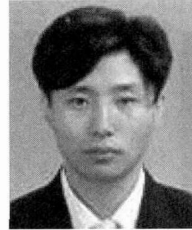
[9] J. K. Lin, J. Drye, W. Lytle, T. Scharr, R. Subrahmanyam, and R. Sharma, Conductive polymer bump interconnects, Electronic Components and Technology Conference, 1996, 28-31 May 1996, pp. 1059-1068.

[10] A. Ostmann et al., IEEE MCMC 1993 proceeding, pp.74

[11] Glenn O. Mallory, Juan B. Hajdu, AESF, 1990, pp.7212.

김 경 수 (Kyeong-Su Kim)

정회원



1999년 2월 광운대학교 전자재료공학과 석사

1999년 2월 광운대학교 전자재료공학과 박사 수료

현재 매그나칩 반도체 선임 연구원

<관심분야> 반도체 공학, 통신 공학, 전자 공학

이 호 응 (Ho-Woong Lee)

종신회원

한국통신학회 논문지 32권 2T호 참조

이 우 상 (Woo-Sang Lee)

종신회원

한국통신학회 논문지 32권 4T호 참조