

OFDM 통신 시스템을 위한 신호처리 하드웨어 플랫폼 개발

정회원 이 병 옥*, 조 성 호**

A Design of the Signal Processing Hardware Platform for OFDM Communication Systems

Byung Wook Lee*, Sung Ho Cho** *Regular Members*

요 약

본 논문에서는 OFDM 통신 시스템을 위한 효율적인 신호처리 하드웨어 플랫폼을 제안한다. 하드웨어 플랫폼은 신호처리자원으로 한 개의 FPGA와 8,000 MIPS의 성능을 갖는 두 개의 DSP 프로세서를 내장하고 있으며, 최대 125 MHz의 샘플링 속도를 지원하는 두 채널의 AD와 DA 변환기를 내장하고 있다. 또한, 유연한 데이터 버스 구조로 설계되어 OFDM 통신 시스템을 위한 다양한 신호처리 알고리즘을 하드웨어로 구현하여 실험적으로 검증할 수 있다. 개발된 신호처리 하드웨어 플랫폼을 이용하여 IEEE 802.16 OFDM 소프트웨어 모뎀을 실시간 처리 가능하도록 구현하여, 개발된 신호처리 하드웨어 플랫폼의 효율성을 검증하였다.

Key Words : OFDM, IEEE 802.16, Platform, DSP, FPGA

ABSTRACT

In this paper, an efficient hardware platform for the digital signal processing for OFDM Communication systems is presented. The hardware platform consists of a single FPGA, two DSPs with 8000 MIPS of maximum at 1 GHz clock, 2-channel ADC and DAC supporting maximum 125 MHz sampling rate, and flexible data bus architecture, so that a wide variety of baseband signal processing algorithms for practical OFDM communication systems may be implemented and tested. The IEEE 802.16 software modem is also presented in order to verify the effectiveness and usefulness of the designed platform.

I. 서 론

최근 들어, 직교 주파수 분할 다중화(OFDM) 전송 기술은 무선 통신 시스템에서 중요한 기술의 하나가 되었다. OFDM 전송 기술은 변조된 데이터 심벌들을 다수의 직교 부반송파를 이용하여 전송함으로써 고속의 데이터 전송이 가능하고, 인접 부반송파 간의 직교성을 유지함으로써 부반송파들을 중첩하여 배치할 수 있으므로 높은 대역폭 효율을 갖

는다. 또한, 부반송파의 주파수 간격이 조밀하여 다중경로 채널 페이딩에 강인한 특성을 가진다^{[1][2][3]}. 이러한 이유로 OFDM 전송 기술은 무선 근거리 통신망(WLAN, IEEE802.11a/g/n), 무선 도시권 통신망(WMAN, IEEE 802.16d/e), 디지털 오디오 방송(DAB), 디지털 비디오 방송(DVB) 등과 같은 다양한 무선 통신 시스템의 전송 기술로 채택되어 사용되고 있다.

한편, 고속의 데이터 전송, 높은 대역폭의 효율,

* 본 연구는 정보통신진흥연구원(ITA)의 2008년 IT원천기술개발사업에 의해 지원되었음. [2008-F-051-01, 자율 이동성 센서노드 협력통신 및 네트워크 로봇적용 융합기술 개발]

* 한양대학교 전자컴퓨터통신공학과 통신 및 신호처리 연구실 (redfox@hanyang.ac.kr), ** 한양대학교 정보통신대학 (shcho@casp.hanyang.ac.kr)
논문번호 : KICS2008-03-119, 접수일자 : 2008년 3월 10일, 최종논문접수일자 : 2008년 5월 21일

다중경로 채널 페이딩에 강인한 장점에도 불구하고 단일 반송파 시스템에 비하여 RF 신호에서 기저대역 신호로 변환하는 과정에서 발생하는 주파수 오류 및 IQ 불균형에 민감한 단점을 갖고 있다. 또한, OFDM 전송 신호의 최대전력 대 평균 전력비, 즉 PAPR(Peak-to-Average Power Ratio)이 단일 반송파 시스템에 대해 매우 커서 고효율 HPA(High Power Amplifier)에 의한 성능 열화가 심각해지는 단점을 갖고 있다^{[1][2][3]}. 이러한 OFDM 전송 기술의 단점을 극복하고 보다 좋은 성능을 갖기위한 기저대역 신호처리 알고리즘의 연구가 활발히 이루어지고 있다^{[4][5][6]}.

최근, 통신 시스템의 구현 및 관련 알고리즘을 실험적으로 검증하기 위한 software defined radio (SDR) 기반의 하드웨어 플랫폼들이 개발되고 있다^{[7][8]}. 참고문헌 [7]에서는 재 프로그램 가능한 FPGA, DSP 와 CPU를 이용하여 5.04GHz부터 5.23GHz 대역의 MIMO-SDR 플랫폼을 개발하였으며, FPGA, DSP 와 CPU를 사용하여 실시간 구현과 비 실시간 구현에 대한 하이브리드 구현 구조를 제시하고 있다. 참고문헌 [8]에서는 DSP와 FPGA를 이용하여 1.7GHz 부터 2.2GHz 대역의 cdma2000과 wideband CDMA 시스템을 구현하였다. 참고문헌 [7, 8]의 두 플랫폼은 기저대역 신호처리 보드와 RF/IF 주파수 변환 보드를 compact PCI (cPCI) 인터페이스를 이용하여 rack시스템으로 개발 되었으며, 다양한 신호처리 알고리즘의 개발 및 검증을 위한 목적이기 보다는 통신 시스템 개발을 위한 목적으로 개발 되었다. 두 플랫폼은 기저대역 신호처리에서부터 RF 트랜시버 시스템까지의 통신 시스템 전체를 개발하고 검증하기에는 훌륭한 플랫폼이지만, 기저대역의 다양한 신호처리 알고리즘을 개발하고 실시간 검증을 하기에는 시스템 전체에 대한 이해가 필요하여 다양한 신호처리 알고리즘을 개발하고 적용하기에는 효율적이지 못하다. 이에 OFDM 전송 기술의 단점을 극복하고자 하는 다양한 기저대역 신호처리 알고리즘을 개발하고 하드웨어로 구현하여 실험을 수행할 수 있는 기저대역 신호처리 하드웨어 플랫폼이 요구되고 있다.

본 논문에서는 기저대역의 다양한 신호처리 알고리즘을 개발하고 하드웨어로 구현하여 쉽게 그리고 빨리 실험을 통한 검증을 수행할 수 있는 OFDM 통신 시스템을 위한 신호처리 하드웨어 플랫폼 개발하였다. 본 논문에서 구현한 하드웨어 플랫폼은 참고문헌 [7, 8]의 하드웨어 플랫폼과 같이 DSP와

FPGA를 이용하였지만, rack 시스템이 아닌 PC에서 사용될 수 있는 PCI 인터페이스를 갖는 하드웨어 플랫폼으로 개발 되었다. 이로써, 알고리즘 개발자도 자신의 PC에서 알고리즘을 개발하고, 플랫폼의 DSP 또는 FPGA에 알고리즘을 구현하여 쉽게 검증할 수 있는 장점을 갖고 있다. 또한, 본 논문에서는 하드웨어 플랫폼 개발 과정에서의 고려할 점을 제시하였으며, 개발된 하드웨어 플랫폼을 이용하여 IEEE 802.16 OFDM의 소프트웨어 모뎀을 구현하였다.

본 논문의 구성은 다음과 같다. II장에서 구현된 소프트웨어 모뎀의 OFDM 물리 계층 규격을 간단히 기술하고, III장에서는 구현된 신호처리 하드웨어 플랫폼에 대해서 설명한다. IV장에서는 소프트웨어 모뎀의 구현 과정 및 구현 결과에 대해 언급한 후에 V장에서 마무리 맺는다.

II. OFDM 물리계층

IEEE 802.16 OFDM 물리계층은 채널 대역폭, 변조 방식, 에러 정정 부호율, OFDM 심볼의 유효 구간과 보호 구간의 비율에 따라 2.06Mbps에서 최대 73.19Mbps의 가변적인 데이터 전송속도를 제공한다^[9]. 그림 1은 20MHz의 채널 대역폭을 갖는 경우의 변조 방식, 에러 정정 부호율, OFDM 심볼의 유효 구간과 보호 구간의 비율에 따른 데이터 전송 속도 및 블록도를 나타내고 있다.

사용 주파수 대역폭에 따라서 샘플링 주파수 대 채널 대역폭의 비는 8/7, 86/75, 144/125, 316/275, 57/50으로 다양하게 정의되어있으며, 20MHz의 채널 대역폭을 가질 경우 23.04MHz의 샘플링 주파수를 갖는다. 데이터 전송을 위하여 11.11μs의 주기를 갖는 256 point IFFT/FFT 가 사용되며, 이중 부 반송파 192개는 데이터 전송용으로 8개는 파일럿으로 나머지 56개는 인접 채널간 간섭을 방지하기 위한

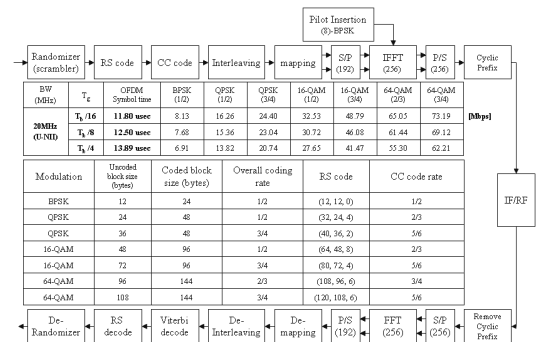


그림 1. IEEE 802.16 OFDM 물리계층 블록도

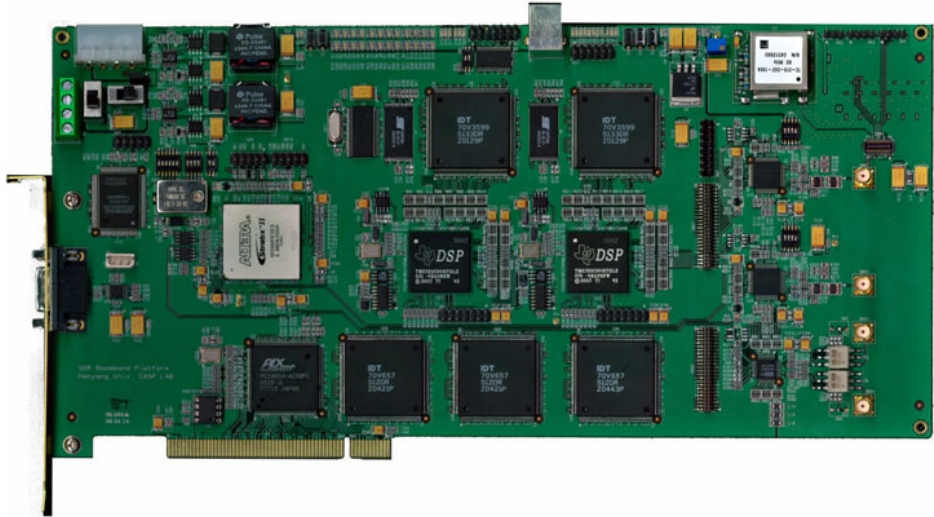


그림 2. 개발된 신호처리 하드웨어 플랫폼

가상반송파로 사용된다. 부 반송파 간격은 90KHz가 되며, 유효 채널 대역폭은 18.09MHz가 된다. 변조된 OFDM 심볼에는 16, 32, 64 샘플의 Cyclic Prefix가 보호구간으로 추가된다. 따라서 OFDM 심볼 주기는 0.69 μ s, 1.39 μ s 및 2.78 μ s의 보호구간과 11.11 μ s의 유효 구간의 합인 11.8 μ s, 12.5 μ s, 13.89 μ s가 된다. 데이터는 채널의 상황에 따라 BPSK, QPSK, 16-QAM, 64-QAM으로 변조되어 각 부반송파에 실리며, 전체 부호율 1/2, 2/3, 3/4을 갖는 단축 및 삭제 (shortened-punctured) Reed-Solomon(RS) 부호와 컨볼루션 부호(CC)를 결합하여 사용하는 연접 부호가 사용된다.

Ⅲ. 신호처리 하드웨어 플랫폼 설계

다양한 신호처리 알고리즘을 개발하고 검증하기 위한 하드웨어 플랫폼은 다음과 같은 것들이 고려되어야 한다.

- 다양한 통신 방식 및 신호처리 알고리즘을 구현하기 위한 DSP 또는 FPGA 디바이스와 같은 신호처리 자원이 충분한가?
- 다양한 신호처리 알고리즘을 하드웨어로 구현하여 적용하기 쉬운가?
- 다양한 신호처리 알고리즘을 적용하기 위한 유연한 구조(architecture)를 갖고 있는가?
- 다양한 외부 인터페이스를 통하여 하드웨어 자원의 확장이 용이한가?
- 외부의 다양한 디바이스 또는 호스트와의 인터페이스가 가능한가?

이와 같은 점을 고려하여, 그림 2의 하드웨어 플랫폼을 개발하였으며, 그림 3은 하드웨어 플랫폼의 내부 구조를 나타내고 있다.

개발된 하드웨어 플랫폼은 신호처리 알고리즘을 구현하기 위한 1개의 FPGA와 2개의 DSP 자원을 갖고 있으며, 다음과 같은 특성을 갖고 있다.

- Altera사의 Stratix II 계열의 EP2S60F672C3 FPGA 디바이스는 24,176개의 adaptive logic module(ALM), 2,544,192 비트의 메모리, 6개의 내부 Phase Locked Loops(PLL), 144개의 18 비트 x 18 비트 전용 곱셈기(dedicated multipliers)를 포함하고 있다.
- Texas Instruments사의 TMS320C6416 DSP는 1GHz의 클럭으로 동작 가능하며, 1 DSP 클럭에 8개까지의 명령어를 수행하여 최대 8,000

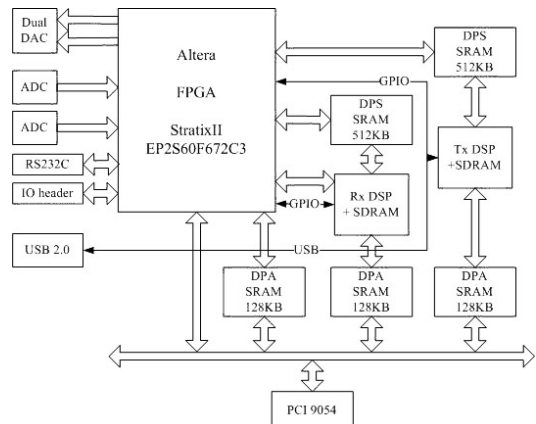


그림 3. 신호처리 하드웨어 플랫폼의 내부 구조도

MIPS(million instruction per second)의 성능을 갖고 있다. 내부 메모리는 프로그램과 데이터를 위한 16K 바이트의 레벨 1 캐쉬, 1M 바이트의 레벨 2 캐쉬 메모리를 갖고 있다. 외부 인터페이스를 위한 64 비트와 16 비트의 EMIF (external memory interface), PCI 인터페이스가 코어를 내장하고 있다. 또한, Viterbi Co-Processor(VCP)와 Turbo Co-Processor(TCP)를 내장하고 있기 때문에 통신 시스템을 구현할 때 유리하다.

디지털 신호처리 알고리즘을 하드웨어로 구현하는 일반적인 과정은 다음과 같다. 첫 번째, 부동소수점 연산을 통한 알고리즘 시뮬레이터 개발 및 검증. 두 번째, 검증된 부동소수점 연산 알고리즘을 고정소수점 연산 알고리즘으로의 변환 및 검증. 세 번째, FPGA 디바이스 또는 DSP로의 알고리즘 포팅과정을 수행하게 된다.

DSP를 이용한 알고리즘의 구현은 DSP 내부의 제한된 연산 유닛을 사용하여 순차처리 방식으로 알고리즘을 구현하게 되기 때문에 알고리즘의 실시간 처리가 불가능 할 수는 있지만, FPGA 디바이스를 이용한 구현보다는 보다 빨리 알고리즘 검증이 이루어 질 수 있다. FPGA 디바이스를 이용한 알고리즘의 구현 과정은 고정소수점 연산으로 변환된 알고리즘을 HDL 코드로의 변환 및 기능 검증, HDL 코드의 합성 및 타이밍 검증 등의 추가적인 과정이 더 필요로 하여, DSP를 이용한 구현보다 상대적으로 복잡하며, 구현과정이 오래 걸린다. 반면에, FPGA 디바이스를 이용한 구현은 알고리즘을 병렬 처리방식으로 구현할 수 있어 실시간 구현이 가능하다. 이와 같이 디지털 신호처리 알고리즘을 FPGA 디바이스 또는 DSP를 이용하여 구현하는데 있어, 구현의 복잡도와 실시간 신호처리 기능의 상충관계(trade-off)가 있다. 따라서, 디지털 신호처리 알고리즘을 FPGA 디바이스 또는 DSP를 이용한 구현에는 적절한 하드웨어의 선택이 이루어져야 한다.

다수의 DSP 또는 FPGA 디바이스를 이용하여, 다양한 신호처리 알고리즘 또는 다양한 시스템을 구현하기 위한 하드웨어 플랫폼은 유연한 데이터 버스 구조를 가져야 한다. 일반적으로 디바이스간의 데이터 교환을 위해 FIFO 가 많이 사용되지만, 이 경우 데이터의 흐름이 단방향으로 고정되는 단점을 갖게 된다. 또한, SDRAM 또는 SRAM을 이용하여 디바이스간의 데이터 교환을 할 수는 있지만, 이 경우 디바이스들이 공통의 데이터 버스를 공유하는

문제점이 있어 회로가 복잡해지고, 데이터 교환 과 정도 복잡해진다. 본 논문에서 개발된 하드웨어 플랫폼은 디바이스간의 데이터 교환을 위해 단방향 FIFO가 아닌 dual-port 메모리를 사용함으로써, 데이터의 흐름을 양방향으로 재구성 할 수 있는 유연한 데이터 버스 구조를 갖고 있다. 또한, 알고리즘 구현을 위한 DSP 와 FPGA 디바이스의 자원을 효율적으로 재 할당할 수 있는 구조를 갖고 있다.

설계된 신호처리 하드웨어 플랫폼의 특징을 살펴보면 다음과 같다.

- 다양한 신호처리 알고리즘을 쉽게 구현하기 위한 DSP와 FPGA 디바이스 자원을 갖고 있다.
- Dual-port 메모리를 사용함으로써, 유연한 버스 구조를 갖고 있다.
- 아날로그 IF/RF 인터페이스를 위해서는 14 비트의 분해능(resolution)을 갖는 dual DA변환기(TI사, DAC2904)와 AD 변환기(TI사, ADS5500) 2개를 내장하고 있으며, 각각의 DA/AD 변환기는 최대 125MHz의 샘플링 주파수의 성능을 갖고 있다. 또한, 추가적인 DA/AD 변환기 및 다른 모듈과 인터페이스를 하기 위한 62 비트의 외부 컨버터를 내장하고 있다.
- PCI 인터페이스를 이용하여 PC에 장착되어 사용될 수 있다.
- 외부의 다양한 디바이스 또는 호스트와의 인터페이스를 위한 USB 2.0, RS232, GPIO 등의 다양한 외부 인터페이스를 내장하고 있다.

IV. 소프트웨어 모델 구현

IEEE 802.16 OFDM 소프트웨어 모델을 구현하기 위하여 그림 1의 기능 블록은 DSP 와 FPGA 디바이스의 자원 할당이 되어야 한다. 그림 4는 소프트웨어 모델을 구현하기 위한 개발된 신호처리 하드웨어 플랫폼의 DSP와 FPGA 디바이스의 자원 할당을 나타내고 있다. DSP는 수신부의 FEC 블록에 해당하는 Viterbi 복호기, 단축 및 삭제 RS 복호기, 역-랜덤화 과정을 제외한 랜덤화, 변조/복조, 인터리빙/역-인터리빙, IFFT/FFT, 채널 추정 및 보상, 동기부의 기능을 수행하며, FPGA 디바이스는 기저대역 신호의 샘플링 주파수와 DA/AD 변환기의 샘플링 주파수 사이의 샘플링 속도 변환(sampling rate conversion) 필터기능, 단축 및 삭제 RS 복호기 기능, Viterbi 복호기 기능, DA/AD 변환기, PCI 및 메모리 인터페이스, 하드웨어 플랫폼의 제어 기

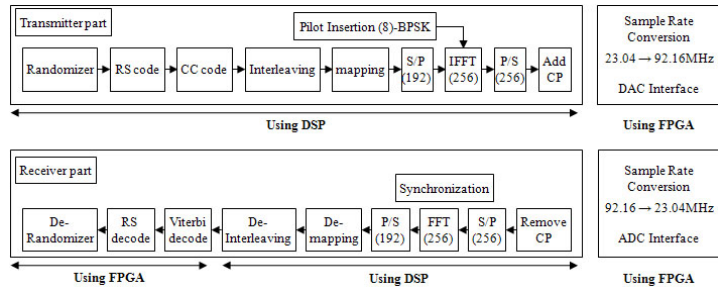


그림 4. 소프트웨어 모뎀의 자원 할당

능을 수행하도록 기능이 할당 되었다.

본 논문에서 개발된 소프트웨어 모뎀은 신호처리 하드웨어 플랫폼에 내장된 TMS320C6416 DSP에 적합하도록 개발되었고, 고정 소수점 C 코드의 최적화, 컴파일 옵션의 사용, linear 어셈블리 언어를 이용하여 소프트웨어 모뎀의 최적화를 수행하였다.

코드 최적화 기법으로는 DSP 컴파일러에서 제공되는 intrinsic 명령어를 사용하는 방법, unrolled 기법을 사용하는 방법, 소프트웨어 pipeline을 사용하는 방법의 세 가지를 들 수 있다^[10].

Intrinsic 명령어는 C 코드를 최적화하기 위해서 DSP에서 미리 정해진 몇 가지 명령어를 inline해서 C코드와 함께 사용하는 것을 말한다. 이 방법은 C 코드로 실시간 구현이 가능한 경우 C 코드 레벨에서 주로 사용하는 방법이며, 본 논문에서 구현한 소프트웨어 모뎀에서는 `_dotp2`, `_dotpn2`, `_packlh2`, `_shfl`, `_swap4` 등과 같은 `intrinsic` 명령어 등을 사용하였다. Unrolled 방법은 주로 `for`문과 같은 반복문에서 많이 사용하게 되며, “`#pragma UNROLL(2)`”과 같은 DSP 컴파일러의 옵션이다. 같은 구문을 여러 번 반복 수행할 때, 일정 코드를 수행하고 다시 반복문의 시작 번지로 돌아가서 수행해야 하는데, 이러한 반복 횟수를 줄임으로써 DSP의 클럭 수를 줄이는 방법이다. 특히 반복횟수가 많고 반복문 안에 쓰이는 변수가 적을수록 효과가 증대된다. 마지막으로, 소프트웨어 pipeline 방법은 데이터를 읽고, 실행하고, 데이터를 쓰는 과정을 순차적으로 반복하는 것이 아니라, 데이터를 실행하는 동안, 병렬적으로 다른 데이터를 읽어오고, 데이터를 저장함으로써 처리 속도를 향상시키는 것이다. 그러나, 어떤 데이터의 처리 결과가 다음 데이터로 상호 연관성이 없어야 가능하다. 이 방법은 프로그램 할 때나 컴파일 할 때, 프로그래머에 의해서 수행되어야 한다. 그 외에 DSP에서 제공되는 `_amem8`, `_mem4`, `_mem4_const`와 같은 명령어들을 잘 활용하여 DSP 실행 클럭

수를 줄일 수 있다.

표 1과 2는 그림 1의 64-QAM, 3/4 전체 부호율, 69.21Mbps (12.5µs 심볼 주기)의 데이터 전송

표 1. 송신부 (64-QAM, 3/4 전체 부호율) DSP 클럭 수

송신부 DSP 기능 블럭	DSP 클럭 수
Randomizer	577
RS Encoding	918
Convolutional Encoding	904
Interleaver	1006
64-QAM Mapping	727
Pilot Insertion	19
IFFT & Add CP	2,136
Total	6,287

표 2. 수신부 (64-QAM, 3/4 전체 부호율) DSP 클럭 수

수신부 DSP 기능 블럭	DSP 클럭 수
Frame Detection	1,403
Symbol Detection	3,376
Freq. Offset Estimation	2,392
Freq. Offset Compensation	1,017
Channel Estimation	7,768
Freq. Offset Compensation	1,017
Remove CP & FFT	1,581
Channel Compensation	529
Data Extraction	397
Phase Tracking	690
64-QAM Demapping	1,292
De-Interleaver	1,320
De-Puncture	1,660
Viterbi BM Cal	2,071
Viterbi (VCP)	49,207
RS decoding	2,155
De-randomizer	577

속도에 따른 한 개의 OFDM 심볼을 처리하는데 소요되는 DSP 클럭 수를 나타내고 있다. 구현된 소프트웨어 모델의 실시간 처리를 살펴보면, 한 개의 DSP에서 실시간 처리를 위해서는 12,500(12.5μs/1ns) DSP 클럭 수 이내에 한 개의 OFDM 심볼을 처리 할 수 있어야 실시간 구현이 가능하다고 할 수 있다.

송신부의 경우 표 1에서와 같이 한 개의 OFDM 심볼을 생성하는데 6,287 DSP 클럭 수가 측정되었으며, 한 개의 DSP를 이용하여 실시간 처리가 가능할 수 있음을 알 수 있다. 수신부의 경우, 표 2에서와 같이 프레임 및 심볼 검출에 4,779 DSP 클럭 수가 측정되어 실시간으로 OFDM 심볼의 프레임 및 심볼 검출이 가능함을 확인하였다. 프레임 검출 알고리즘은 이중 슬라이딩 윈도우를 이용한 패킷 검출(double sliding window packet detection) 알고리즘을 이용하였으며, 심볼 검출 알고리즘은 프리여블을 이용한 지연 후 상관(delay and correlation) 알고리즘을 이용하였다. 주파수 오프셋 추정과 채널 추정의 동기 알고리즘에 11,177 DSP 클럭 수가 측정되었으며, 주파수 오프셋 추정 알고리즘은 시간영역 주파수 동기화 알고리즘을 이용하였으며, 프리여블을 이용한 주파수 영역에서의 채널 추정 알고리즘이 이용되었다. 이와 같은 동기 알고리즘은 매 프레임마다 한 번씩만 수행된다. 동기 알고리즘을 제외하고 한 개의 OFDM 심볼을 수신하는데 62,494 DSP 클럭 수가 측정되었으며 이는 표 2에서와 같이 DSP 자체에 지원하는 VCP의 디코딩 과정에서 많은 DSP 클럭 수가 요구되는 것을 알 수 있다. 이에 수신부에서는 모든 기능을 한 개의 DSP를 사용하여 처리할 경우 실시간 구현이 어려움을 확인하였다. OFDM 심볼을 수신하는 과정에서 FEC에 해당하는 Viterbi 디코딩, RS 디코딩, 역-랜덤화 과정을 제외하면 8,484의 DSP 클럭 수가 소요되어 수신부의 FEC 기능을 제외하면 수신부 또한 한 개의 DSP를 이용하여 실시간 구현이 가능함을 확인할 수 있다.

본 논문에서는 OFDM 신호의 실시간 처리를 위하여 Viterbi 복호, 단축 및 삭제 RS 복호 및 역-랜덤화 과정을 FPGA를 이용하여 구현하였으며, 표 3과 4에 Viterbi 디코더와 RS 디코더의 FPGA 구현 결과를 보이고 있다. 삭제 및 단축 RS 복호기는 Berlekamp-Massey, Chien-Search, Forney 알고리즘을 이용하여 구현하였다^[11].

그림 5는 송신부 IEEE 802.16 OFDM 신호의

표 3. Viterbi 복호기 구현 결과

Viterbi 복호기 코어	
ALUT	2,000 / 48,352 (4.14%)
메모리 비트	34,048 / 2,544,192 (1.34%)
최대 동작 클럭 주파수	151.06 MHz
데이터 처리 속도	151.06 Mbps

표 4. 단축 및 삭제 RS 복호기 구현 결과

RS 복호기 코어				
ALUT	3,769 / 48,352 (7.82%)			
메모리 비트	8,224 / 2,544,192 (0.32%)			
최대 동작 클럭 주파수	263 MHz			
RS 부호	단축 크기	삭제 크기	소요 클럭 수	복호 처리속도 [Mbps]
32, 24, 4	215	8	353	145*
40, 36, 2	203	12	271	283
64, 48, 8	191	0	620	165
80, 72, 4	167	8	483	318
108, 96, 6	143	4	659	311
120,108,6	131	4	696	331

* 145Mbps = 263(MHz) / 353 (clocks) x 24 (symbols) x 8 (bits)

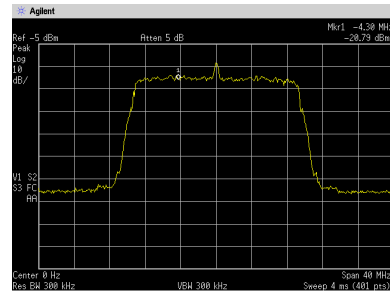


그림 5. IEEE 802.16 신호의 스펙트럼 측정

스펙트럼을 측정된 결과를 나타내고 있으며, 20MHz의 채널 대역에서 18.09MHz의 유효 대역폭을 확인할 수 있다. 그림 6은 수신 정상도(constellation)에 대한 TI사의 DSP 개발 소프트웨어인 Code Composer Studio에서 측정된 결과를 나타내고 있으며, 64-QAM에서 -36dB, 16-QAM에서 -37dB, QPSK에서 -34dB의 EVM 값이 측정되었다.

V. 결론

본 논문에서는 기저대역의 다양한 신호처리 알고리즘을 개발하고, 개발된 신호처리 알고리즘을 하드웨어로 구현하여 검증할 수 있는 OFDM 통신 시스템을 위한 신호처리 하드웨어 플랫폼 개발하였다. 구현된 하드웨어 플랫폼은 DSP와 FPGA 디바이스 지원을 갖고 있으며, dual-port 메모리를

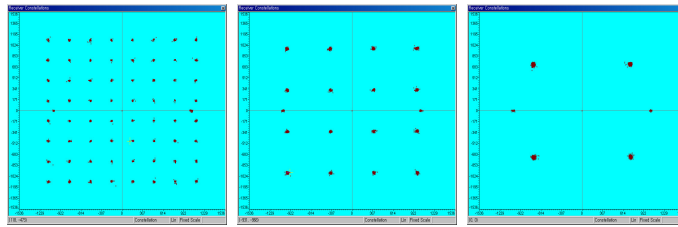


그림 6. 수신 신호의 EVM 측정

사용함으로써 유연한 데이터 버스 구조를 갖는 효율적인 구조로 설계되었다. 또한, PCI 인터페이스를 갖고 있어 알고리즘 개발자도 자신의 PC에서 알고리즘을 개발하고 검증할 수 있도록 설계되었다. 개발된 하드웨어 플랫폼을 이용하여 IEEE 802.16 OFDM의 소프트웨어 모뎀을 실시간 처리를 할 수 있도록 구현하였다.

본 논문에서 구현한 신호처리 하드웨어 플랫폼과 소프트웨어 모뎀의 구현 결과는 OFDM 전송 기술의 단점을 극복하고자 하는 다양한 기저대역 신호처리 알고리즘을 개발하고, 하드웨어로 구현하여 실험을 통한 검증을 수행하고자 할 때의 참고자료로 활용될 것으로 기대된다.

참 고 문 헌

[1] 조용수, 무선 멀티미디어 통신을 위한 OFDM 기초, 대영사, 2000.

[2] J. Heiskala, J. Terry, *OFDM Wireless LANs: A Theoretical and Practical Guide*, SAMS, 2002.

[3] H. Liu, G. Li, *OFDM-Based Broadband Wireless Networks*, Wiley, 2005.

[4] K. W. Park, Y. S. Lee, "A Detection Method for an OFDM Signal Distorted by IQ Imbalance," *IEICE Trans. Commun.*, Vol. E89-B, No. 3, pp.1016-1019, March 2006.

[5] J. H. Bae, J. W. Park, "I/Q Imbalance Compensation Using Null-Carriers in OFDM Direct-Conversion Receiver," *IEICE Trans. Commun.*, Vol. E89-B, No. 8, pp.2257-2260, August 2006.

[6] 양석철, 한승우, 신용환, "OFDM 신호의 PAPR 감소를 위한 SLM-PRSC 결합 기법," *한국통신학회논문지* 제32권 제6호(통신이론 및 시스템), pp. 565-571, June 2007.

[7] K. Mizutani, K. Sakaguchi, J. Takada, K. Araki, "Development of MIMO-SDR Platform and Its

Application to Real-Time Channel Measurements," *IEICE Trans. Commun.*, Vol. E89-B, No. 12, pp.3197-3207, December 2006.

[8] G. Jo, M. Sheen, S. Lee, K. Cho, "A DSP-Based Reconfigurable SDR Platform for 3G Systems," *IEICE Trans. Commun.*, Vol. E88-B, No. 2, pp.678-686, February 2005.

[9] IEEE, *IEEE std 802.16-2004, IEEE Standard for Local and Metropolitan Area Networks, Part 16: Air Interface for Fixed Broadband Wireless Access Systems*, 2004.

[10] Texas Instrument, *TMS320C6000 programmer's guide (SPRU198F)*, 2001.

[11] S. B. Wicker, *Error Control Systems for Digital Communication and Storage*, Prentice Hall, 1995.

이 병 옥 (Byung Wook Lee)

정회원



1999년 2월 경기대학교 전자공학
학과 졸업
2002년 2월 경기대학교 전자공
학과 석사
2002년 3월~현재 한양대학교 전
자컴퓨터통신공학과 박사과정
<관심분야> OFDM/OFDMA 모
뎀 설계, SDR 시스템 설계

조 성 호 (Sung Ho Cho)

정회원



1978년 2월 한양대학교 전자공학
과 졸업
1984년 12월 University of Iowa
전자컴퓨터공학과 석사
1989년 8월 University of Utah 전
자컴퓨터공학과 박사
1989년 8월~1992년 8월 한국전

자통신연구원 선임연구원
1992년 9월~현재 한양대학교 정보통신대학 교수
<관심분야> 무선통신, RFID, USN, SDR 시스템 설계