

# L2 캐시 저 전력 영상 처리를 위한 오류 정정 회로 연구

정회원 이 상 준\*, 박 종 수\*, 전 호 윤\*, 이 용 석\*

## Study of a Low-power Error Correction Circuit for Image Processing

Sang-jun Lee\*, Jong-su Park\*, Ho-yun Jeon\*, Yong-surk Lee\* *Regular Members*

요 약

본 논문에서는 마이크로프로세서의 영상 정보 처리 시 L2 캐시의 오류검출 및 정정 회로의 저 전력을 구현 하기 위한 오류정정 회로를 제안 하였다. 영상 정보 처리 시에 마이크로프로세서의 L2 캐시에 접근하는 입출력 데이터를 분석하기 위하여 SimpleScalar-ARM 사용하여 데이터 입출력에 대한 빈도와 32 bit 처리를 위한 각 bit에 대한 변화율에 대해서 분석한다. 변화량이 많은 비트와 변화량이 적은 비트를 추출하고, 변화의 유사성을 가지는 비트들의 배치를 고려하여 저 전력을 구현할 수 있는 H-matrix를 제안하고 회로를 구현한다. H-spice를 이용하여 구현된 회로와 기존 마이크로프로세서에서 사용하는 Odd-weight-column code의 전력소모에 대한 비교를 위하여 시뮬레이션을 수행하였다. 실험결과 Odd-weight-column code 대비 17%의 소비전력을 감소시킬 수 있었다.

**Key Words** : L2 Cache ECC, Low Power ECC

### ABSTRACT

This paper proposes a low-power circuit for detecting and correcting L2 cache errors during microprocessor data image processing. A simpleScalar-ARM is used to analyze input and output data by accessing the microprocessor's L2 cache during image processing in terms of the data input and output frequency as well as the variation of each bit for 32-bit processing. The circuit is implemented based on an H-matrix capable of achieving low power consumption by extracting bits with small and large amounts of variation and allocating bits with similarities in variation. Simulation is performed using H-spice to compare power consumption of the proposed circuit to the odd-weight-column code used in a conventional microprocessor. The experimental results indicated that the proposed circuit reduced power consumption by 17% compared to the odd-weight-column code.

### I. 서 론

멀티미디어의 시대의 도래와 함께 마이크로프로세서의 사용은 더욱더 다양화 되어 일상의 생활뿐만 아니라 각종 기계장비 및 최첨단 시설에서도 그 사용은 점차 늘어나고 있다. 이러한 마이크로프로세서의 사용은 대부분의 멀티미디어장비 예를 들어 노트북, 핸드폰, PMP(Portable Multimedia Player), 디지털

캠코더, 내비게이션 등 영상을 포함한 장치에 사용되어지고 있다. 이러한 다양한 장비와 분야에서의 마이크로프로세서의 사용과 함께 수요가 늘어났으며, 고집적을 위해 반도체 제조공정은 세밀화 되었다. 전력소모의 감소를 위한 노력으로 공급전압과 문턱전압은 낮아졌다. 이러한 회로기술의 발달과 함께 공정의 세밀화로 발생된 소프트 에러에 의한 오류 또한 기하급수적으로 늘어났으며 이러한 소프트에러에 대한

\* 연세대학교 전기전자공학과 프로세서 연구실 (sj.lee@mpu.yonsei.ac.kr)

논문번호 : KICS2008-05-214, 접수일자 : 2008년 5월 15일, 최종논문접수일자 : 2008년 9월 22일

연구 또한 다방면에서 진행되고 있다. 소프트 에러란 대기 중의 중성자나 지구 외부로부터 유입된 이온화된 입자에 의해서 커패시터의 보존 값의 변화를 일으켜 에러를 야기하는 것을 이야기 한다. TIMOTHY C. MAY와 MURRAY H. WOODS의 보고에 의하면 대기 중의 중성자와  $\alpha$ -파티클(particle)은 소프트 에러를 발생시키며, 발생된 소프트에러는 신호를 왜곡 시켜 잘못된 데이터를 전달하게 만든다. 프로세서의 구성요소 중 메인 메모리와 캐시는 소프트 에러에 가장 취약하고 프로세서의 중요한 정보를 포함하고 있는 부분으로 에러 발생 시 시스템에 치명적인 문제를 일으킬 수 있다.<sup>[1][2]</sup> 이러한 소프트 에러에 대비하기 위한 오류검출 및 정정에 대한 많은 연구가 진행되었지만 대부분의 연구는 캐시보다 전력소모가 상대적으로 많은 메인 메모리와 관련한 연구들이 진행되었으며, 대형 서버를 중심으로 연구되었다. 대표적인 마이크로프로세서인 IBM, Itanium, PowerPC[4], G5 등에서는 캐시의 데이터를 보호하기 위하여 L1 캐시에는 패리티 체크비트가 사용되어지고 L2 캐시에는 발생된 오류를 검출하고 정정할 수 있는 방법으로 Hamming 코드와 Odd-weight-column 코드를 사용하고 있다.<sup>[3][4]</sup> 마이크로프로세서의 소비전력을 줄이기 위한 연구들도 진행되었다. 대표적으로 Favalli는 오류검출 및 정정회로의 전력 소모를 줄이기 위하여 체크 트리의 확률적인 방법을 사용하였고, Ghosh는 비트변화를 최소화하는데 목적을 두고 각각의 프로그램에 오류검출 및 정정 회로를 최적화 하는 두 가지 알고리즘을 제안하고 메모리에서 전력소모를 중심으로 오류검출 및 정정 회로를 프로그램에 적합하게 H-matrix를 제안 하였다.<sup>[5][6]</sup> 하지만 이러한 연구들은 각각의 해당하는 프로그램에 최적화를 수행하여 공통적인 회로를 구성하지 못하였고, 메모리에 중점을 둔 연구들이었다. 본 연구에서는 SimpleScalar-ARM을 사용하여 L2 캐시에 접근하는 입출력 데이터에 대해서 분석하고, 영상 정보 처리 시에 저 전력을 구현할 수 있는 방법과 H-matrix를 제안하고 회로를 구현한다. H-spice를 이용 구현된 회로와 Odd-weight-column 코드의 전력소모에 대한 비교를 한다.

본 논문의 구성은 다음과 같다. 제II장에서는 본 연구의 필요성 과 오류검출 및 정정회로의 전력소모 감소를 위한 선행된 연구에 대해서 설명한다. III장에서는 본 연구에서 제안하는 영상처리를 위한 저 전력 오류검출 및 정정 회로에 대한 설명을 한다. IV 장에서는 구현된 회로를 이용한 실험과 결과에 대한

분석을 한다. 마지막으로 V장에서는 연구에 대한 결론을 맺는다.

## II. 연구의 필요성 및 관련 연구

### 2.1 L2 캐시에서의 오류검출 및 정정 회로의 필요성

영상장치를 포함한 휴대용 장비의 사용은 늘어나고, 영상에 대한 고화질 고품질을 원하는 사용자들로 인해 고사양화 되고 있다. 휴대용 기기의 경우 제품의 경량화를 위해 무게는 줄이고 저 전력을 사용하는 시스템에 대한 연구가 많이 진행되고 있다. 기존의 안정적인 전압에서는 충분한 전압의 영향으로 외부에서 전달되어지는 요인으로부터 좀 더 안정적일 수 있었지만 공급전압과 문턱전압이 낮아짐으로 인해 소프트 에러 율은 기하급수적으로 늘어나게 되었다. 앞으로 개발, 사용되어질 휴대용 기기의 경우 고성능 고집적 경량화를 위하여 전압감소로 인해 발생하는 에러를 검출하고 정정하는 부분에 대한 연구는 더욱더 중요하다 할 수 있다. 또한 오류검출 및 정정 회로가 소비하는 전력을 줄이기 위한 연구도 활발해지고, 이를 고려한 설계가 앞으로 개발될 제품의 경쟁력에 많은 영향을 미칠 것 이다.

### 2.2 오류검출 및 정정 회로의 관련연구

마이크로프로세서의 오류검출 및 정정회로에 대한 많은 연구가 이루어졌으며 현재 많은 마이크로프로세서의 L2 캐시에 오류검출 및 정정회로를 포함하고 있다. 대표적으로 ARM, Power6, Itanium 등이 있다. ARM사의 ARM1156T2(F)-S 코어는 캐시의 데이터를 소프트웨어로부터 보호하기 위한 오류 검출 및 정정 회로를 내장하고 있다. 캐시는 태그의 오버헤드가 가장 작은 부분의 패리티 체크를 통한 오류에 대한 검출을 유도한다. 명령어 캐시의 태그 램은 라인을 채울 동안 패리티 체크생성기를 통해서 패리티 비트를 생성하게 되고, 태그 램이 데이터를 읽는 중 오류가 발생하여 이를 발견하면 캐시 미스를 발생시켜 다시 메모리에 데이터를 요청 하고 이를 받아 교체하도록 한다. ARM사의 Cortex-R4<sup>[7]</sup> 프로세서는 차세대 휴대전화, 하드디스크 드라이브, 프린터 및 자동차 등의 차세대 임베디드 제품에서 필요한 복잡한 제어 알고리즘과 실시간 작업을 수행 할 수 있도록 뛰어난 성능과 효율성을 제공하며, MPU(Memory Protection Unit), Cache 및 TCM(Tightly Coupled Memory) 등으로 여러 종류의 임베디드 어플리케이션

선을 위한 최적화된 설계가 가능하다. L1 캐시와 태그는 패리티 체크를 통해서 오류검출을 수행하고, L2 캐시는 Hamming 코드, Weight 기반의 코드를 통해 오류정정을 선택적으로 지원해 준다. 패리티 체크를 사용하게 되면 패리티 비트를 저장할 수 있는 공간이 추가적으로 필요하게 되고, 이러한 저장 공간으로 보내기 위해서 더 넓은 대역이 필요하게 된다. 패리티 체크가 외부적으로 추가적인 로직이 필요하지 않는데 비해 오류검출 및 정정회로는 프로세서의 외부에 추가적인 로직이 필요하게 된다. 패리티체크가 선택되어 사용되면, 패리티 체크는 바이트 당 하나의 패리티 비트가 저장된다. 그리고 프로세서는 각각 세 개의 TCM 포트가 독립적으로 오류와 입력대기, 패리티 체크와 오류 검출이 가능한 레지스터를 가지고 있다. Power 프로세서는 서버용으로 개발되었으며, 한 개의 단일 칩에 2개의 프로세서를 내장한 구조를 가지고 있으며 64bit 프로세서이다. Power 프로세서의 아키텍처는 온 다이 L2 캐시와 함께 프로세서의 각 Power 칩, 시스템 입/출력, 메모리 간에 500MHz의 버스를 사용한다.

2.3 Odd-weight-column 코드 기법

Odd-weight-column 오류 정정 코드는 M. Y. Hasio에 의해 제안되었다. 현재 메모리와 캐시 등에서 Hamming 코드등과 함께 많이 사용되어지고 있으며, Odd-weight-column 코드는 H-matrix를 구성했을 때 다음과 같은 3가지 제약을 가지게 된다. 첫 번째 모두 0 인 열은 존재하지 않는다. 두 번째 모든 열은 같아서는 안 된다. 세 번째 모든 열은 홀수 개의 1을 가지고 있어야 한다. 앞에서 말한 처음 두 개의 제약 조건은 해밍거리가 3인 코드를 만들어주고, 세 번째 제약 조건은 해밍거리를 4가 되게 만들어준다. 이로써 단일 오류를 수정할 수 있고 이중 오류를 발견할 수 있는 SECDED(Single Error Correction Double Error Detection)이 가능해진다. Odd-weight-column 코드의 인코딩 예제를 표 1을 통해 보여 준다.

H-matrix에서 한 열에 1이라고 표현된 부분들은 하나의 패리티 체크 구성원을 만들게 된다. CHK1은 1, 2, 3 비트를 검사하여 짝수 패리티를 맞추어 주고, 이와 동일한 방법으로 CHK2, CHK3, CHK4를 구하면, 전체 데이터는 10110010으로 인코딩된다. 이렇게 Odd-weight-column 코드로 인코딩된 데이터에 오류가 발생하게 되면 각각의 CHK 비트들의 패리티 검사를 통하여 알아내고, 이 값을 통해 몇 번째

표 1. Odd-weight-column 코드 인코딩 예제

1	2	3	4	5	6	7	8
1	0	1	1	CHK1	CHK2	CHK3	CHK4
			↓				
1	0	1	1	0	0	1	0
1	0	1		CHK1	=	0	
1	0		1	CHK2	=	0	
1		1	1	CHK3	=	1	
	0	1	1	CHK4	=	0	

비트에서 오류가 생겼는지를 알 수가 있다. 이러한 CHK 비트로 구성된 표를 H-matrix 라 한다.

III. 제안하는 저 전력 오류검출 및 정정회로

3.1 영상 데이터 처리 시 L2 캐시의 접근도 분석

L2 캐시에 접근하는 영상 데이터의 패턴을 분석하기 위한 방법으로 SimpleScalar-ARM 사용하여 데이터 입출력에 대한 빈도와 32 bit 처리를 위한 각 bit에 대한 변화율에 대해서 분석한다. L2 캐시에 접근하는 데이터는 임베디드 소프트웨어 벤치마크 프로그램으로 많이 이용되는 MiBench를 사용 한다. MiBench는 대단위 수학 계산에서부터 네트워크, 통신, 그래픽 등의 프로그램들을 지원한다. 영상과 관련된 프로그램은 해당 목적에 부합하는 이미지를 다수 포함하고 있으며 실험에 필요한 명령어 코드 또한 포함한다. 각각의 프로그램은 다음과 같은 특징을 가진다. susan 프로그램을 이용하여 이미지의 코너와 가장가리를 인식하고, 이미지를 구분하여 출력으로 보내준다. 이미지를 부드럽게 하거나, 밝기의 경계를 조정하거나 공간의 조정 등에 대한 측정에 사용한다. 두 번째로 jpeg 프로그램을 이용 이미지의 압축에 대한 실험을 할 수 있다. tiff에서는 이미지 파일을 칼라에서 흑백으로의 변환, 칼라의 tiff 이미지를 RGB 로 변환할 때의 값을 측정할 수 있으며 또한 흑백이미지의 해상도와 사이즈를 줄이고 선명도에 대한 손실을 알 수 있고, 현재 칼라 이미지의 구성 색상을 줄이고 삭제된 색상을 대신하여 선택 된 색상으로 칼라 이미지를 구성하여 손실에 대한 측정을 할 수 있는 데이터를 포함하고 있다. 본 연구에서는 MiBench 프로그램을 사용하여 32bit 처리 시 캐시에 접근하는 데이터를 각 bit별로 측정한다. 각각의 프로그램은 포함하고 있는 데이터양이 다르기 때문

에 L2 캐시에 읽고 쓰기 시 각 프로그램별 각 bit의 변화량을 측정하여 그것을 백분율로 나타내고 모든 프로그램의 각 bit 별 총 변화량을 구하게 된다. 그림 1과 그림 2는 측정한 각 비트별 데이터의 변화율을 나타내고 있다. 첫 번째 측정결과는 L2 캐시에 데이터 쓰기를 할 때의 결과이고, 두 번째 측정결과는 L2 캐시로부터 데이터를 읽을 때의 결과이다. 측정한 데이터에서 볼 수 있듯이 영상 정보를 처리함에 있어서 LSB(Least Significant Bit)의 정보 변화량은 MSB(Most Significant Bit)보다 많음을 알 수 있다. 이러한 결과는 영상 정보를 처리함에 있어 하위비트의 변화가 상위비트의 변화보다 많기 때문이다. 또한 결과에서 각 비트별 변화량에 대한 분석을 통해 캐시에서 데이터를 읽을 때와 캐시에

데이터를 쓸 때 공통적으로 특정 비트에서 변화율이 작거나 많은 비트를 확인할 수 있다. 공통적으로 비트의 변화가 많은 비트들을 나열하면 0, 1, 2, 3, 8, 16, 17, 18, 24, 25 번째의 비트들의 변화가 많음을 알 수 있다. 이와는 반대로 비트의 변화가 작은 비트들은 31, 30, 29, 28, 23, 22, 16, 15, 14, 7 번째 비트이다. 이는 각각의 프로그램에서 그래픽을 처리함에 있어 기본으로 하는 단위가 8비트, 16비트 또는 32비트이기 때문이다. 이와 같이 L2 캐시에 읽고 쓰는 데이터의 비트별 변화량의 결과를 이용하여 영상 정보를 처리함에 있어 공통적으로 저 전력을 구현할 수 있는 H-matrix를 구성할 수 있다.

### 3.2 제안하는 오류검출 및 정정 회로 구현을 위한 H-matrix

32 bit 처리를 위한 H-matrix의 구성은 7개의 체크비트를 필요로 한다. 구성된 각각의 체크비트는 같을 수 없고, 7개의 숫자 모두 0으로 구성되어 지면 안 되고, 모든 열은 홀수개의 1을 가져야한다. 이러한 조건을 만족하는 구성 중 32 비트를 표현하기 위해서는 적어도 1의 개수는 3개 이상 이어야 한다. 7개의 집합에서 3개를 선택하는 조합 확률인  ${}^7C_3$ 의 계산법에 의해 35개의 표본을 구할 수 있다. 표 3은 35개의 선택할 수 있는 항목의 나열을 보여 준다. 32 비트를 표현하기 위해서는 35개의 선택할 수 있는 항목 중 32개를 필요로 하기 때문에 어떠한 구성을 선택하느냐에 따라 오류정정 회로의 구성이 틀려지며 전력소모에 영향을 끼치게 된다. 표 3에서 볼 수 있듯 Check 1에 1을 가지는 열, Check 2에 1을 가지는 열과 Check 3에 1을 가지는 열, 즉 최대한의 같은 변화를 가지는 열들을 차례대로 나열하였다. 이렇게 나누어진 구성 중 Check 1에 1을 가지는 열 10개를 비트의 변화가 많은 비트들인 0, 1, 2, 3, 8, 16, 17, 18, 24, 25 번째의 비트를 구성하도록 한다. 두 번째로 Check 2에 1을 가지는 열 10개를 비트의 변화가 작은 비트 31, 30, 29, 28, 23, 22, 16, 15, 14, 7 번째 비트를 구성하도록 한다. Check 3에 1을 가지는 열 6개는 Check 1에 배정된 비트 다

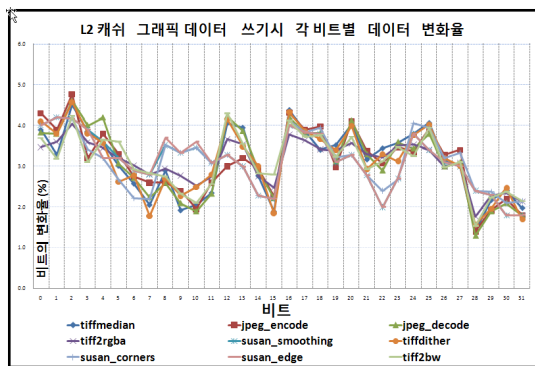


그림 1. L2 캐시 영상 데이터 읽기 시 각 비트별 데이터 변화율

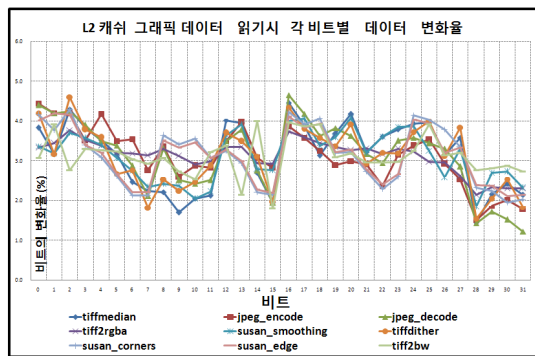


그림 2. L2 캐시 영상 데이터 쓰기 시 각 비트별 데이터 변화율

표 3. H-matrix 구성 시 선택할 수 있는 35가지 표본

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35			
Check 1	1	1	1	1	1	1	1	1	1	1																												
Check 2											1	1	1	1	1	1	1	1	1	1																		
Check 3	1	1	1	1								1	1	1	1	1	1	1	1																			
Check 4	1				1	1	1																					1	1	1	1							
Check 5		1						1	1																													
Check 6			1			1				1																		1	1	1	1							
Check 7				1			1		1																													

표 4. 제안하는 32 비트 H-matrix 구성

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	P1	P2	P3	P4	P5	P6	P7										
Check 1	1	1	1	1	1												1	1	1		1	1	1		1	1	1											1											
Check 2						1		ⓐ		ⓐ	ⓐ	ⓐ			ⓐ	ⓐ					1	1					1		ⓐ	ⓐ	ⓐ	ⓐ									1								
Check 3	1	1	1	1	ⓐ			ⓐ		ⓐ	ⓐ	ⓐ	ⓐ	ⓐ	ⓐ					ⓐ	1							ⓐ																					
Check 4	1				ⓐ		1	ⓐ	1				ⓐ	ⓐ	ⓐ	ⓐ	1	1	1				1																										
Check 5		1					1			ⓐ			ⓐ		ⓐ		1				ⓐ	1			ⓐ	1	1																						
Check 6			1		ⓐ	1			1			ⓐ					1				ⓐ	1						1		ⓐ																			
Check 7				1			1		1			ⓐ		ⓐ					1							ⓐ	1	1		ⓐ	ⓐ		ⓐ	ⓐ															
	1	1	1	1	3	1	4	2	4	2	2	2	3	3	2	2	1	1	1	3	1	1	1	3	1	1	1	3	2	2	2	2																	
	3	3	3	3	4	5	5	3	6	3	3	4	4	4	4	4	4	4	5	5	2	2	5	5	6	2	6	4	5	5	6																		
	4	5	6	7	6	6	7	4	7	5	6	7	5	7	5	6	5	6	7	6	6	3	4	7	7	7	5	7	7	6	7																		

음으로 비트의 변화가 많은 비트를 구성하도록 한다. 이렇게 구성한 H-matrix는 표 4와 같다. 오류의 유무를 판단하고 잘못된 데이터의 정정을 가능하게 하는 체크 비트 생성기는 H-matrix에 의해서 구성되며, 회로의 지연과 전력소모에 밀접한 연관을 가진다. H-matrix의 구조를 달리함에 따라 오류 검출 및 정정 회로의 성능에 가장 많은 영향을 준다. 유사한 변화를 가지는 해당 비트들의 조합을 구성하여 Bit-transition의 감소를 확인할 수 있고, 체크 비트 생성기는 Exclusive-or 게이트에 의해서 구현되어진다. H-matrix에 의해 여러 개의 Exclusive-or 게이트가 트리형태를 가지고 구성되어지는데 구성되어진 트리의 레벨을 얼마나 줄이는지에 따라 지연과 전력소모 특성이 영향을 받게 되고, 변화의 유사성을 가진 항목으로 구성함에 따라 전력소모를 줄일 수 있게 된다. 또한 구성된 레벨이 줄어들수록 면적 또한 줄어들게 되고, 비트의 변화율이 높은 신호를 트리의 상위 레벨에 가깝게 배치함으로써 트리의 전체적인 비트 변화를 줄일 수 있다. 가장 중요시되는 것은 비트의 변화율과 변화율을 고려한 배치이다. 그림 3은 체크비트 1의 구성원으로 된 체크비트 생성

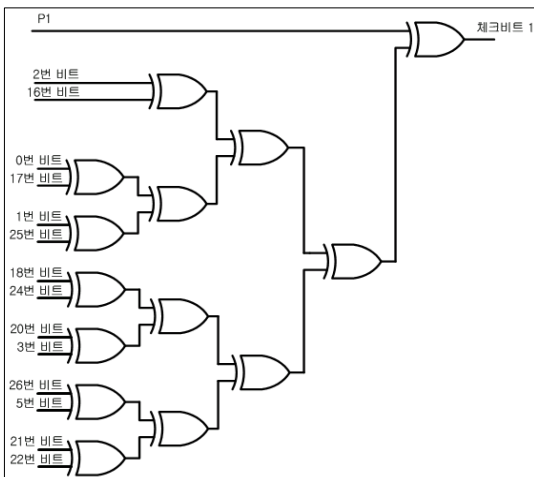


그림 3. 체크비트 1의 체크비트 생성기 구성

기를 보여주고 있다. H-matrix에 의해 구성되어진 체크비트 1의 구성원 중 비트의 변화가 많은 순서대로 상위에 배치하게 되고, 비트의 변화가 적을수록 하위에 배치되게 된다. 이러한 방법으로 7개의 체크비트를 구성 하게 되며, 비트의 변화가 많은 비트를 상단에 배치함으로써 인해 전력소모를 더욱 줄일 수 있게 된다.

#### IV. 실험 및 결과분석

제안하는 L2 캐시의 영상 정보 처리 시 저 전력을 구현하기 위한 실험 과정은 다음과 같다. L2 캐시에 접근하는 영상 데이터를 분석하기위한 방법으로 ARM의 마이크로프로세서를 모델로 실험 한다. 시뮬레이션 하기 위한 방법으로 Simplescalar-ARM을 이용하여 실제적인 L2 캐시에 입출력 되는 데이터를 얻어 낼 수 있다. 벤치마크 어플리케이션으로는 MiBench를 사용한다. MiBench를 이용하여 L2 캐시의 접근 데이터에 대한 분석을 마치고, 데이터 비트의 변화율을 고려하여 변화율이 많은 비트와 작은 비트를 구분하고 구분되어진 비트로 제안한 H-matrix에 의해 데이터 비트를 배치한다. 해당 비트의 구성으로 각각의 체크비트를 구성하게 된다. Cadence사의 Schematic Editor를 사용하여 Odd-weight-column 코드와 제안한 오류 검출 및 정정 회로를 구현한다. 기존 회로와 제안한 오류 검출 및 정정 회로의 전력 비교를 위해서 Synopsis사의 H-spice를 사용하여 단위시간당 평균 전력 소모를 비교한다. 공정으로는 TSMC 0.18um 라이브러리를 사용하였으며 1.8V 전압을 사용한다. 그림 4는 각 프로그램별 단위시간당 소비전력의 감소율을 나타내고 있다.

제안한 회로에서 기존의 Odd-weight-column 오류 정정 회로 대비 모든 프로그램에서 단위시간당 전력소모의 감소를 확인할 수 있었으며, 그중 많은 전력 소비의 감소를 가져온 프로그램은 jpeg\_encode(22.6%), tiff2bw(21.8%), susan edge(19.5%) 등이며 tiff2rgba

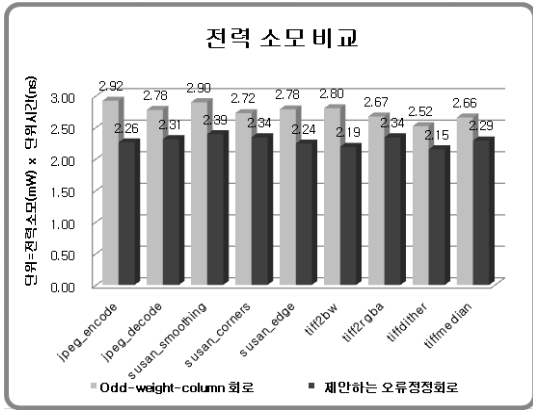


그림 4. 제안하는 오류정정 회로와 Odd-weight-column 코드의 단위시간당 전력소모 비교

표 5. 제안하는 회로의 소비전력 감소율

프로그램	소비전력감소율(%)
jpeg_encode	22.6%
jpeg_decode	16.8%
susan_smoothing	17.5%
susan_corners	14.1%
susan_edge	19.5%
tiff2bw	21.8%
tiff2rgba	12.4%
tiffdither	14.6%
tiffmedian	13.8%

프로그램에서 가장 작은 12.4% 감소율을 보였다. 전체적인 결과에서 많게는 22.6%에서 작게는 12.4% 까지 평균 17%의 단위시간당 소비전력의 감소를 확인할 수 있었다. 또한 회로를 구성함에 있어 기존 회로대비 제안한 회로의 지연시간 측면에서는 거의 같은 결과를 볼 수 있었으며, 면적에서는 3% 정도의 감소를 볼 수 있었다. Odd-weight-column 코드 대비 제안하는 회로의 소비전력 감소율은 표 5에서 볼 수 있다.

## V. 결론

본 논문에서는 마이크로프로세서의 영상 정보 처리 시 L2 캐시의 오류검출 및 정정 회로의 저 전력을 구현하기 위한 오류정정 회로를 제안 하였다. MiBench를 구동하여 MiBench가 포함하고 있는 영상과 관련한 프로그램을 이용 L2 캐시의 접근 데이터를 분석하여 비트의 변화량을 기준으로 데이터를 구분하여 저 전력을 구현할 수 있는 H-matrix를 구현하였으며, 이를 회로로 구성하여 기존의 Odd-weight-

column 오류정정 회로와의 소비전력 비교를 통해 평균 17%의 소비전력이 감소됨을 확인하였다.

반도체 공정 기술의 발달로 칩의 면적이 줄어들고, 저 전력을 구현하기 위한 공급 전압의 감소로 전자 회로는 소프트 에러에 의한 오류를 고려해야 할 것이다. 또한 신뢰성 있는 마이크로프로세서를 위해서 소프트 에러에 의한 오류를 효과적으로 줄일 수 있는 방법들에 대한 필요성이 제기되었다. 기기의 다기능, 소형화로 인해 아주 작은 부분의 전력소모의 감소에 까지 많은 노력을 기울이고 있는 시점에서 본 논문에서 제안한 회로는 마이크로프로세서를 포함하는 휴대용 영상기기에 적합할 것으로 생각되어지며, 나아가 더욱 다양한 표본과 상황에 대한 연구를 통해 더 많은 전력감소를 이룰 수 있을 것으로 기대된다.

## 참고 문헌

- [1] T. C. May and M. H. Woods, "Alpha-particle-induced soft errors in dynamic memories," *Electron Devices, IEEE Transactions on*, Vol. 26, No.1, pp.2-9, Jan. 1979.
- [2] N. Seifert, D. Moyer, N. Leland and R. Hokinson, "Historical trend in alpha-particle induced soft error rates of the AlphaTM micro-processor," *Reliability*.
- [3] Nhon Quach, "High availability and reliability in the Itanium processor," *IEEE Micro*, Vol.20, No.5, pp.61-69, Sep.-Oct. 2000.
- [4] D. C. Bossen, J. M. Tendler and K. Reick. "POWER4 system design for high reliability." *IEEE Micro*, Vol.22, No.2, pp.16-24, Mar.-Apr. 2002.
- [5] K. Favalli and C. Metra, "Design of Low-Power CMOS Two-rail Checkers," *Journal of Microelectronics Systems Integration*, Vol.5, No.2, pp.101-110, 1997.
- [6] S. Ghosh, S. Basu, N. A. Toubia, "Reducing power consumption in memory ECC checkers," *Test Conference, 2004. Proceedings. ITC 2004. International*, pp.1322-1331, 26-28 Oct. 2004.
- [7] John Penton and Shareef Jaliloq, "Cortex-R4 : A mid-range processor for deeply-embedded applications," *ARM Ltd*, May 2006.

이 상 준 (Sang-jun Lee)

정회원



2001년 2월 경희대학교 전자공학과 학사  
2001년 3월 삼성전자 연구원  
2007년 3월 연세대학교 전기전자공학과 석사과정  
<관심분야> 전자공학, 마이크로프로세서, SoC

전 호 윤 (Ho-yun Jeon)

정회원



2002년 2월 홍익대학교 컴퓨터공학과 학사  
2004년 2월 홍익대학교 컴퓨터공학과 석사  
2006년 3월~현재 연세대학교 전기전자공학과 박사과정  
<관심분야> 전자공학, 마이크로프로세서, SoC

박 종 수 (Jong-su Park)

정회원



2002년 2월 경희대학교 전자공학과 학사  
2004년 2월 경희대학교 전자공학과 석사  
2004년 3월~현재 연세대학교 전기전자공학과 박사과정  
<관심분야> 영상처리, 마이크로프로세서, SoC

이 용 석 (Yong-surk Lee)

정회원



1973년 2월 연세대학교 전기공학과 학사  
1977년 2월 University of Michigan, Ann Arbor 석사  
1982년 2월 University of Michigan, Ann Arbor 박사  
1993년 3월~현재 연세대학교 전기전자공학과 교수  
<관심분야> 마이크로 프로세서, 네트워크 프로세서, 암호화 프로세서, SoC