

스테레오 비디오를 이용한 실시간 3차원 입체 변환 시스템

종신회원 서영호*, 정회원 최현준**, 종신회원 김동욱**

Real-time 3D Converting System using Stereoscopic Video

Young-Ho Seo* *Lifelong Member*, Hyun-Jun Choi** *Regular Member*,
Dong-Wook Kim** *Lifelong Member*

요약

본 논문에서는 스테레오 카메라를 이용하여 실시간으로 3차원 입체 영상을 재생할 수 있는 시스템을 구현하였다. 전체 시스템은 스테레오 카메라, FPGA(field programmable gate array) 보드, 그리고 3차원입체 LCD로 구성된다. 스테레오 카메라로는 두 개의 CMOS 영상 센서를 사용하였다. 비디오 데이터를 처리하는 FPGA는 Verilog-HDL(hardware description language)을 이용하여 설계하였고 다양한 해상도의 비디오를 실시간으로 처리할 수 있다. 3차원 입체 영상을 구성은 side-by-side와 up-down 방식을 이용한다. FPGA로 입력된 두 개의 프레임은 입체 영상으로 재생되기 위한 형태로 가공된 후에 SDRAM에 저장된다. 다음 프레임이 입력될 때 이전 프레임은 LCD로 재생하기 위해 DA 변환기로 출력된다. 이러한 전체적인 파이프라인 동작을 통해서 실시간 동작이 가능하다. 제안한 시스템은 실제 하드웨어로 구현한 후에 정확한 동작이 수행됨을 검증하였다.

Key Words : FPGA, HDL, 스테레오, 실시간, 3차원, 재생

ABSTRACT

In this paper, we implemented a real-time system which displays 3-dimensional (3D) stereoscopic image with stereo camera. The system consists of a set of stereo camera, FPGA board, and 3D stereoscopic LCD. Two CMOS image sensor were used for the stereo camera. FPGA which processes video data was designed with Verilog-HDL, and it can accommodate various resolutional videos. The stereoscopic image is configured by two methods which are side-by-side and up-down image configuration. After the left and right images are converted to the type for the stereoscopic display, they are stored into SDRAM. When the next frame is inputted into FPGA from two CMOS image sensors, the previous video data is output to the DA converter for displaying it. From this pipeline operation, the real-time operation is possible. After the proposed system was implemented into hardware, we verified that it operated exactly.

I. 서론

3차원 입체영상이란 2차원 평면정보와 달리 깊이 및 공간 형상 정보를 동시에 제공하는 보다 사실적

인 영상을 말한다. 즉, 이미 학습한 경험이 있는 볼륨을 갖는 환경을 인간의 양안(좌, 우측눈)이 인식하여 뇌에서 정리하는 과정에서 종합되는 공간 인식 개념의 영상으로 이러한 3차원 입체영상은 현장에서

* 본 논문은 교육인적자원부, 산업자원부, 노동부의 출연금 및 보조금으로 수행한 최우수실용실험실지원사업의 연구결과입니다.

* 광운대학교 교양학부(yhseo@kw.ac.kr), ** 광운대학교 전자재료공학과

논문번호 : KICS2008-06-265 접수일자 : 2008년 6월 10일, 최종논문접수일자 : 2008년 9월 10일

실물을 보는 듯 한 입장감, 사실감 및 가상 현실감 등을 제공하게 된다.

3차원 영상 기술의 응용분야는 개인용 모니터, 정보통신, 게임, 의료, TV 방송, 교육, 훈련, 시뮬레이터, 화상처리, 영상, 인쇄, 군사, 산업기술 등 매우 다양하며 차세대 입체 멀티미디어 정보통신분야의 핵심 기반기술이라 할 수 있다^[1]. 중장기적인 시장규모만 보더라도 2010년에 3D 디지털 TV 및 LCD 관련 시장규모는 약 100억불로 추정되므로, 이를 기반으로 한 새로운 3D 영상 시장 규모가 창출될 것으로 예상된다. 우선 상업화가 기대되는 분야는 무안경방식의 입체영상 TV와 모니터인데 LCD를 채용한 방식으로 평판 디스플레이의 장점을 갖추고 있으면서 입체영상 방식이 부가된 박형구조로 개인용 모니터를 비롯한 첨단 정보통신 분야에 응용이 가능하다^{[2][3]}.

지금까지 일반적인 2D 영상을 3D 입체영상으로 변환하는 기술은 상용화 단계는 아니더라도 많은 연구가 진행되어 왔다^{[4][5][6]}. 그러나 거의 대부분이 연구 단계에 머물러 있을 뿐만이 아니라 하드웨어를 위한 알고리즘이 부족하다. 앞으로 디지털 TV의 보급 정책에 따라서 수요가 증가할 것으로 예상되고, 이러한 디지털 방송의 저변확대는 입체방송의 밑거름이 되어 3D 영상을 시청할 수 있는 입체 TV의 보급이 확대될 것으로 예상된다^[7].

본 논문에서는 스테레오 카메라를 이용하여 양쪽 눈에 해당하는 두 개의 영상을 입력받아 3차원 입체 영상을 실시간으로 재생하는 시스템을 구현하였다. HDL과 FPGA, 그리고 임베디드 프로세서(Nios II)를 이용하여 대용량의 비디오 신호를 실시간으로 처리하였고, 3차원 입체 특수 모니터를 이용하여 실제로 입체영상을 재생하였다.

본 논문은 다음과 같이 구성된다. 먼저 II장에서는 스테레오를 이용하여 입체감을 느끼는 원리를 간략히 설명하고, III장에서 제안한 하드웨어 시스템의 구조를 설명한다. IV장에서는 구현한 결과 및 실험 결과를 보이고 V장에서 결론을 맺는다.

II. 3차원 입체 영상

2.1 입체감

인간의 시각 체계는 좌·우 한 쌍의 눈으로 물체를 바라볼 때 각각의 망막에 맺힌 2차원 정보를 대뇌로 전달하여 물체에 관련된 거리와 공간을 인식하고 입체 구조를 인지한다^[8]. 인간의 시각 신호는 눈 망막으로부터 대뇌 후두엽까지 시각정보를 전달하고 처

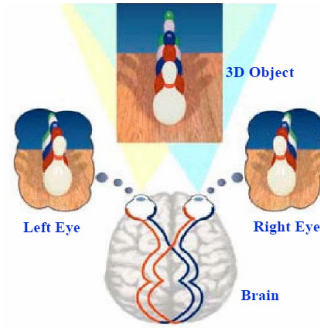


그림 1. 양안시차에 의한 입체감

리는 시각적인 신경망을 통하여 처리된다. 약 1억 3000만개의 시세포에 맺혀진 상은 광학적인 반응을 통해서 전위차 신호로 광전 변환한다. 이 전기적인 신호는 병렬적으로 시신경 섬유를 통해 고도의 신호 처리를 거친 후 대뇌의 후두엽에 전달된다. 이러한 신호처리 시간은 대략적으로 망막으로부터 상이 맺힌 후 약 0.1초 정도의 시간 내에 모두 처리되는데, 이러한 과정은 연속적으로 발생한다. 즉, 3차원 영상은 좌·우안의 망막에서 얻어진 2차원 영상 정보를 대뇌의 후두엽이 다양한 작용을 통해 입체감으로 형성한다.

그림 1과 같이 인간의 두 눈은 약 65mm의 간격을 두고 있으므로 양안의 망막에 맺히는 상은 서로 다른 위치에 놓이게 되고 양안간의 시 각도 차를 양안시차(binocular parallax)라고 한다. 이 양안 시차는 깊이감이 작은 가까운 물체에 대하여 큰 값을 갖고, 깊이감이 큰 멀리 있는 대상물에 대하여는 작은 값을 갖는다. 이러한 양안시차의 원리가 입체감을 제공해 주는 기본 원리이다.

2.2 입체 디스플레이

입체 디스플레이의 원리는 기본적으로 매우 단순한데 2.1절의 입체감의 원리를 인위적으로 재현하는 것이다. 인간이 입체감을 느끼는 여러 요인 중 주된 요인은 양안이 양안시차에 의해 서로 다른 영상정보를 입력받는다라는 것이다. 따라서 입체 디스플레이는 인간의 양안에 서로 다른 영상정보를 입력시켜주는 기능을 하는 것이다. 그 방식으로는 패럴랙스 베리어(parallax barrier) 방식과 렌티큘라 렌즈(lenticular lens) 형태가 주로 사용되는데 주로 전자는 안경식으로 사용되고 후자는 무안경식으로 사용된다. 그림 2에서 보이는 것과 같이 두 방식 모두 인간의 왼쪽 눈에는 왼쪽 눈에 입력되어야할 영상정보(빨강색)를 입력시키고 오른쪽 눈에는 오른쪽 눈에 입력되어야

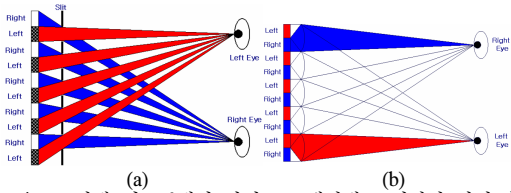


그림 2. 입체 디스플레이 방식 (a) 패럴랙스 베리어 방식(안경식) (b) 렌티큘라 렌즈 방식(무안경식)

할 영상정보(파란색)를 입력시키고 있다. 입체 디스플레이를 위해서는 주로 LCD를 이용하는데 2차원 영상과 달리 2가지 영상을 한 번에 디스플레이 해야 하므로 해상도가 떨어지는 문제가 발생할 수 있고, 양안을 위한 정보가 정밀하게 분리되지 않을 경우에는 입체감이 현저히 떨어진다. 또한 인위적으로 양안 시차를 부여하는 것이므로 자연스러운 시각계의 혼란을 가중시켜 생리적인 문제를 발생시킨다.

III. 3차원 입체 영상

본 장에서는 제안하고자 하는 시스템의 구조를 보이고, 핵심 부분인 FPGA 구조를 설명한다. 또한 입체 영상을 구성하는 방식에 대해서도 설명한다.

3.1 전체 시스템의 구조

구현하고자 하는 전체 시스템의 구조를 그림 3에 나타내었다. 전체 시스템은 두 대의 카메라와 비디오 처리부(Video Processing), SDRAM 및 메모리 제어기, 디스플레이 제어기 (Display Controller), 니오스 프로세서 (Nios Processor), 그리고 3차원 입체 모니터로 구성된다.

두 개의 영상을 획득하기 위해서 두 대의 CCD 카메라 혹은 CMOS 영상 센서가 필요하다. 두 대의 카메라 혹은 센서는 입체감을 위해 일정 거리 이상 띄워 놓아야 하는데 그 거리는 특정한 값으로 정해질 필요는 없다. 입력된 두 개의 아날로그 영상은 AD 변환기를 통해서 디지털 신호로 변환된다. 변환된 신호는 RGB 색채 포맷을 갖고 있는데 비디오 처리부를 통해서 원하는 형태의 비디오로 가공된 후에 메모리 제어기를 통해서 SDRAM에 저장된다. 즉 3차원 입체 영상의 구성을 위한 데이터 처리는 SDRAM에 저장되기 전에 실시간으로 입체 디스플레이를 위한 형태로 변형이 되고 LCD 모니터에 적합한 형태로 구성된 후에 SDRAM에 저장된다. SDRAM은 약 1Mbyte를 사용한다. 비디오 처리부는 또 내부적으로 부 비디오 처리부들로 나뉜다. 각각의

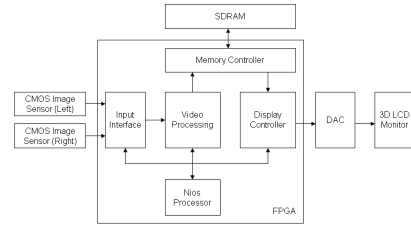


그림 3. 전체 시스템의 구조

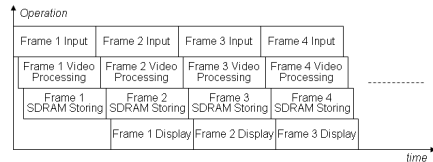


그림 4. 동작 순서

부 비디오 처리부들은 해당되는 해상도의 비디오를 처리할 수 있다.

본 논문에서는 실제로 CCD 카메라가 아니라 CMOS 영상 센서를 사용하므로 AD(analog-to-digital) 변환기를 사용하지 않고, DA(digital-to-analog) 변환기 (DAC)는 사용한다.

그림 4는 전체 시스템의 동작 순서를 나타내었다. 첫 번째 영상이 입력되면 약간의 버퍼링 이후에 비디오 처리 과정을 수행한다. 비디오 처리과정이 수행됨과 동시에 처리된 비디오 데이터를 SDRAM에 저장한다. 그리고 다음 영상이 입력되어 앞서 설명한 과정을 반복하는 것과 동시에 첫 번째 영상을 SDRAM으로부터 출력하여 디스플레이를 위해 DA 변환기로 입력시킨다. 이러한 동작을 반복함으로써 실시간으로 입체 디스플레이를 가능하게 한다.

3.2 비디오 데이터의 처리

본 절에서는 비디오 데이터를 처리하는 방식에 대해서 설명한다. 그림 5에는 CMOS 영상 센서로부터 입력되는 데이터의 구조를 나타내었다. 입력 데이터는 RGB 색채 포맷으로 구성되어 있고 하나의 화소를 표시하는데 한 개의 R 성분, 두 개의 G 성분, 그리고 한 개의 B 성분으로 구성된다. 이들 화소를 비례적으로 조절하여 영상의 크기와 구조 등을 변형한다.

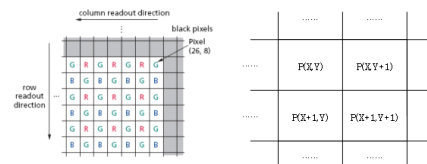


그림 5. CMOS 영상 센서의 데이터 구조

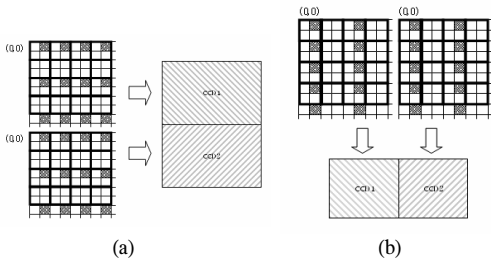


그림 6. 입체 영상의 구성 방법 (a) top-down 방식 (b) side-by-side 방식

본 논문에서는 두 가지 형태의 스테레오 영상처리를 통해서 입체 디스플레이를 구현하고자 한다. 그 두 가지 형태의 스테레오 영상 구성을 그림 6에 나타내었다. 그림 6(a)는 up-down 방식을 나타내고, 그림 6(b)는 side-by-side 방식의 스테레오 영상을 나타낸다. 두 가지 방식은 왼쪽과 오른쪽 영상에 해당하는 두 영상의 크기가 서로 다르기 때문에 이들의 정밀한 조합이 중요하다.

3.3 비디오 처리부

비디오 처리부는 두 대의 카메라 혹은 CMOS 영상 센서로부터 입력된 비디오 신호를 하나의 스테레오 비디오로 구성하는 역할을 담당한다. 세 가지 종류의 비디오 포맷을 지원할 경우에는 각각의 포맷을 지원할 수 있는 부 비디오 처리부를 갖는다. 만일 한 가지의 비디오 포맷만을 지원할 경우에는 비디오 처리부가 부 비디오 처리부와 동일한 하드웨어에 해당한다. 각각의 부 비디오 처리부를 통해서 출력된 신호 중에서 선택된 신호를 다중화하여 출력으로 내보낸다. 출력된 신호는 그림 3과 같이 메모리 제어기를 통해서 SDRAM에 저장된다. 그림 7에 비디오 처리부의 구조를 나타내었다.

부 비디오 처리부는 실제로 데이터를 처리하는 모듈에 해당하는데, 부 비디오 처리부의 구조를 그림 8에 나타내었다. 부 비디오 처리부는 입력 인터페이스

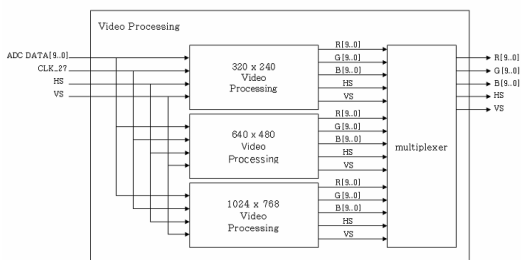


그림 7. 비디오 처리부의 구조

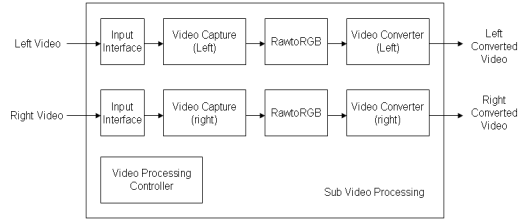


그림 8. 부 비디오 처리부의 구조

부(Input Interface), 비디오 캡처부(Video Capture), 데이터 변환부(RawtoRGB), 비디오 변환부(Video Converter), 그리고 제어기로 구성된다. 각각의 블록들은 왼쪽 영상과 오른쪽 영상을 각각 따로 처리하기 위해서 쌍으로 구성된다. 비디오 캡처부와 비디오 변환부에 의해서 그림 6에서 나타내었던 스테레오 영상의 구성이 수행된다.

3.4 디스플레이 제어부

그림 3의 디스플레이 제어부는 SDRAM에 저장된 영상정보를 읽어 들여서 LCD로 출력하는 역할을 담당한다. 또한 스테레오 영상이 LCD의 어느 부분에 위치할지도 조절한다. 디스플레이 제어부는 VESA (Video Electronics Standards Association)의 규격에 맞추어 설계되어 있는데, 이를 만족하는 다양한 모드를 지원할 수 있도록 구현하였다. 디스플레이 제어부는 비디오 처리부와 다른 클럭 주파수를 사용하고 있는데, 이러한 동기 문제를 해결하기 위해서 비디오의 프레임 단위로 동기를 조절한다. 다시 말하면 SDRAM이 동기 조절을 위한 프레임 버퍼로 사용된다고 할 수 있다.

디스플레이 제어부는 LCD로 비디오 제어 신호를 출력하게 되는데 이 비디오 제어 신호는 VESA의 규격과 호환성을 가지도록 하였고, CMOS 영상 센서와의 동기를 맞추기 위해서 CMOS 영상 센서로부터 입력되는 비디오 제어신호들을 변환하고 재구성하여 LCD를 위한 비디오 제어신호를 구성하였다. 이러한 비디오 제어신호는 디스플레이 모드에 따라서 VESA 규격에 맞추어 변환된다.

표 1은 VESA의 모니터 타이밍 표준 신호에 호환성을 갖게 하기 위해서 비디오 제어 신호에 대한 타이밍을 실험적으로 정리한 것이다. SDRAM으로부터 비디오 신호를 읽어오는 과정은 LCD의 타이밍에 맞추어져 있다. 쓰기 동작은 25MHz로 동작하고 읽은 동작은 25MHz(VGA), 50MHz(SVGA), 및 75MHz(XGA)의 클럭 속도를 따른다.

표 1. 모드별 비디오 제어 신호

Modes	VGA3 (640×480)	XGA (1024×768)
VSYNC (Hz)	60	70
Ver.Addr. (msec)	15.253	13.599
HSYNC (KHz)	31.469	56.476
Her.Addr. (usec)	25.422	13.653
N	800	1328
DotClock Time (msec)	25.175	75.000
Ver.Sync Porch (msec)	0.064	0.106
Ver.Back Porch (msec)	0.794	0.513
Ver.Left Border (msec)	0.254	0.100
Hor.Sync Time (usec)	3.813	1.813
Hor.Back Porch (usec)	1.589	1.920
Hor.left Border (usec)	0.318	0.210

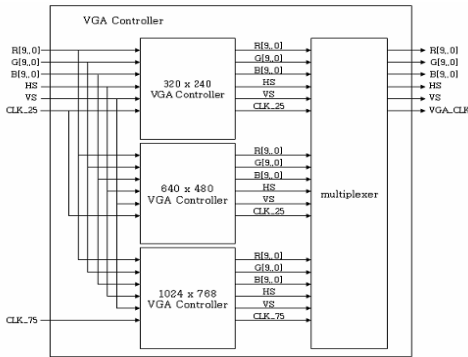


그림 9. 비디오 제어부의 구조

그림 9는 디스플레이 제어부에 대한 구조를 나타내는데 디스플레이 제어부는 VGA 제어로 구성된다. 그림 7에서 살펴보았던 내용과 유사하게 각각의 VGA 제어기는 다양한 해상도를 지원할 수 있도록 세 개가 내장되고 모드에 따라서 선별적으로 사용된다.

IV. 구현 결과

본 장에서는 구현 결과에 대해서 설명한다. 설계된 회로는 Verilog-HDL을 이용하여 설계하였고, Synplify를 통해 합성한 후에 Altera FPGA(Cyclone II)를 사용하여 사상되었다. 또한 ModelSim을 이용하여 functional 및 timing simulation을 수행하였다.

구현한 시스템의 전체적인 하드웨어 사양은 아래와 같다.

- FPGA - Altera Cyclone2 EP2C35 FPGA
- Dynamic Memory - 8Mbyte SDRAM
- Static memory - 512Kbyte SRAM
- Flash memory - 4Mbyte flash memory
- Crystal oscillator - 50MHz and 27MHz
- Port - XSGA video port, XSGA 10bit digital-to-analog converter(DAC)

▪ TV decoder chip - NTSC

동작속도는 해당 FPGA에서 전체적인 입출력 데이터는 189.9MHz의 동작속도가 가능하고 SDRAM은 174MHz의 동작이 가능하였다. 구현한 시스템에서 100MHz의 SDRAM을 사용하기 때문에 SDRAM과 관련된 회로는 고속의 동작이 요구되고 174MHz의 동작 속도는 이러한 요구조건을 충분히 만족시켰다. 또한 시스템의 입출력 데이터는 27MHz의 클록 주파수에서 실시간 동작이 가능하다. 이 클록 주파수는 카메라의 동작을 비롯하여 DA 변환기의 동작을 만족하도록 정해진다. 따라서 구현된 하드웨어는 모든 동작이 안정적으로 동작할 수 있다.

4.1 하드웨어 자원

표 2에는 비디오의 크기별 하드웨어 자원을 정리하였다. 하나의 카메라를 사용한 경우부터 해서 두 개의 카메라를 사용한 경우까지 모두 나타내었다. 기본적인 화면의 크기는 640×480, 800×600, 그리고 1024×768이다. 단일 모드의 경우에 기본화면의 크기와 동일한 크기로 처리되고 두 개의 카메라를 사용한 입체 모드의 경우에는 비디오의 크기가 행 혹은 열이 반의 크기를 갖는다. 예를 들어 800×600 비디오 두 개를 side-by-side로 처리하면 400×800 크기의 비디오 두 개로 처리된다. 각 영상의 크기에 따른 FPGA 셀 수, 레지스터의 사용량, 그리고 메모리의 사용량을 나타내었다.

그림 10에는 구현한 시스템에서 가장 핵심 블록인 부 비디오 처리부의 RTL 합성 결과를 보였다. RTL 합성결과는 Altera사의 QuartusII를 이용하여 추출하였다.

표 2. 비디오의 구성에 따른 구현 결과

Left & Right Resolution	Total Logic Elements	Total Register	Total Memory bits
640×480	848 (3%)	582	59.224 (12%)
320×480 320×480	1341 (4%)	924	92.464 (19%)
640×240 640×240	1360 (4%)	928	102.064 (21%)
800×600	904 (3%)	612	62.655 (13%)
400×600 400×600	1407 (4%)	943	112.681 (23%)
800×300 800×300	1427 (4%)	952	105.251 (22%)
1024×768	982 (3%)	657	64.984 (13%)
512×768 512×768	1.486 (4%)	994	129.968 (27%)
1024×384 1024×384	1474 (4%)	972	113.584 (23%)

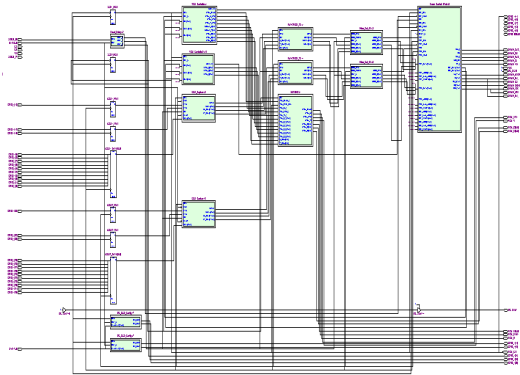


그림 10. 부 비디오 처리부의 RTL 합성도

4.2 구현된 시스템

표 2에는 비디오의 크기별 하드웨어 자원을 정리하였다. 하나의 카메라를 사용한 경우부터 해서 두 개의 카메라를 사용한 경우까지 모두 나타내었다.

그림 11과 그림 12에는 구현된 시스템을 나타내었다. 그림 11의 사진을 살펴보면 구현된 시스템은 그림 3에서 설명한 것과 같이 두 개의 카메라와 FPGA 기반의 보드, 그리고 3D 영상의 재현이 가능한 특수 LCD 모니터로 구성된다.

그림 13에서는 실제로 up-down 방식과 side-by-side 방식으로 비디오를 디스플레이하고 있



그림 11. 구현한 시스템

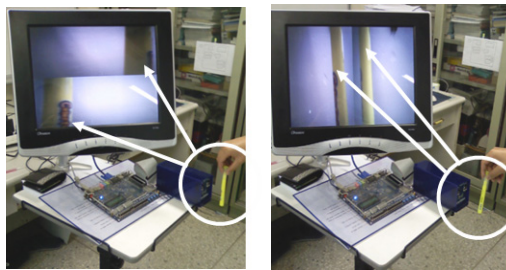


그림 12. 입체 디스플레이를 위한 실제 비디오 처리 결과 (a) up-down 방식 (b) side-by-side 방식

는 장면을 보여주고 있다. 분별이 용이하도록 펜 하나를 이용하여 스테레오 영상이 정확히 구성되는 것을 볼 수 있다.

V. 결 론

본 논문에서는 실시간으로 3차원 입체 영상을 재생할 수 있는 하드웨어 시스템을 구현하였다. 전체 시스템은 두 개의 CMOS 영상 센서를 이용한 스테레오 카메라, FPGA 보드, 그리고 3차원 입체 LCD로 구성하였다. Side-by-side와 up-down 방식의 입체 영상을 위해 비디오 데이터를 처리하는 FPGA는 Verilog-HDL을 이용하여 설계하였고 다양한 해상도의 비디오를 실시간으로 처리하도록 하였다. 구현한 시스템을 이용하여 실제로 NTSC 방식의 비디오를 실시간으로 3차원 입체 영상으로 재생할 수 있었다.

본 연구팀은 제안하고 구현한 결과물을 다시점 영상에 대한 응용분야로 더욱 확장하고자 한다. 즉, 얼굴을 인식하고 추적하여 다시점 영상 중에서 관찰자의 시점에 해당하는 두 개의 영상을 디스플레이하는 시스템을 구현하고자 한다. 이러한 시스템은 소프트웨어로 구현될 경우에 지연시간에 의해서 자연스러운 재생이 되지 않기 때문에 칩 기반의 하드웨어로 구현되어야 한다. 마지막으로 본 논문을 통해 구현된 시스템은 3D 디스플레이를 위한 각종 상용 시스템에 효율적으로 응용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] 3차원 영상의 기초, 오모사 & 기다리, 1998.
- [2] "3DTV", 방송과 기술, 2003년 10월호
- [3] Tadenuma, M, Yuyama, I, and Kubota, K., "Stereoscopic HDTV system- development and application," IEEE Global Telecommunications Conference, 1990, and Exhibition. 'Communications: Connecting the Future', GLOBECOM '90., 2-5, pp.1057-1061 Vol.2, Dec. 1990.
- [4] Chul-Ho Choi, Byong-Heon Kwon, and Myung-Ryul Choi, "A real-time field-sequential stereoscopic image converter", IEEE Trans. on Consumer Electronics, Vol.50, Issue 3, pp.903-910, Aug. 2004
- [5] Doulamis, N.D., Doulamis, A.D., Avrithis, Y.S., Ntalianis, K.S., and Kollias, S.D., "Efficient summarization of stereoscopic video sequences", IEEE

Trans. on Circuits and Systems for Video Technology, Vol.10, Issue 4, pp.501-517, Jun. 2000.

[6] "Stereoscopic and autostereoscopic display system", IEEE Signal Processing Magazine, May 1999, pp.85-99.

[7] Smallman, H.S., St. John, M., Oonk, H.M., and Cowen, M.B., "Information availability in 2D and 3D displays", IEEE Computer Graphics and Applications, Vol.21, Issue 5, pp.51-57, July-Aug. 2001.

[8] Alm, T., "How to put the real world into a 3D aircraft display", The Second International Conference on Human Interfaces in Control Rooms, Cockpits and Command Centres, 2001. People in Control. (IEE Conf. Publ. No. 481), pp.223-227, Jun. 2001.

[9] K. C. Chang, "Digital systems design with VHDL and synthesis", IEEE Computer Society Press, California, 1999.

[10] D. Regan, ed., Binocular Vision, Vol.9 of Vision and Visual Dysfunction. Boca Raton : CRC Press, 1991.

서 영 호 (Young-Ho Seo)

중신회원



1999년 2월 광운대학교 전자재료 공학과 (공학사)
 2001년 2월 광운대학교 일반대학원(공학석사)
 2000년 3월~2001년 12월 인티스 닷컴(주) 연구원
 2004년 8월 광운대학교 일반대학원(공학박사)

2003년 6월~2004년 6월 한국전기연구원 연구원
 2004년 12월~2005년 8월 유한대학 연구교수
 2005년 9월~2008년 2월 한성대학교 조교수
 2008년 3월~현재 광운대학교 조교수
 <관심분야> 2D/3D 영상 및 비디오 처리, 디지털 홀로그래, SoC 설계, 워터마킹/암호화

최 현 준 (Hyun-Jun Choi)

정회원



2003년 2월 광운대학교 전자재료공학과(공학사)
 2005년 2월 광운대학교 전자재료공학과(공학석사)
 2005년 3월~현재 광운대학교 전자재료공학과 박사과정

<관심분야> Image Processing, 디지털 홀로그래, 디지털 콘텐츠 보안, FPGA/ASIC 설계

김 동 욱 (Dong-Wook Kim)

중신회원



1983년 2월 한양대학교 전자공학과 (공학사)
 1985년 2월 한양대학교 대학원 (공학석사)
 1991년 9월 Georgia공과대학 전기공학과 (공학박사)

1992년 3월~현재 광운대학교 전자재료공학과 정교수. 광운대학교 신기술 연구소 연구원

2000년 3월~2001년 12월 인티스닷컴(주) 연구원
 <관심분야> 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication