

SDR기반 스마트 안테나 시스템을 위한 듀얼 모드 채널 카드 구현

정희원 김 종 은*, 종신회원 최 승 원**°

Implementation of Dual-Mode Channel Card for SDR-based Smart Antenna System

Jongyeon Kim* *Regular Member*, Seungwon Choi**° *Lifelong Member*

요 약

본 논문에서는 상용 DSP를 기반으로 하여 SDR용 스마트 안테나 시스템의 듀얼 모드 채널 카드를 구현하였다. SDR(Software Define Radio) 기술은 공통된 하드웨어 플랫폼에 소프트웨어를 다운로드하여 사용자가 원하는 모드로 재구성이 가능하게 하는 기술이다. 채널 카드는 고속 데이터 전송을 위한 차세대 이동통신 방식인 WiBro(Wireless Broadband)와 HSDPA(High Speed Downlink Packet Access) 통신 모드를 지원하며, 스마트 안테나 기술이 적용된 듀얼 모드 기지국 시스템의 핵심인 모뎀 카드로 사용된다. 본 논문에서는 WiBro 시스템과 HSDPA 시스템으로 구현된 채널 카드의 구조를 설명하고, 구현된 채널 카드의 성능 검증을 위해 상용 통신 규격인 WiBro와 HSDPA 시스템에서의 성능을 알아본다.

Key Words : SDR, Smart Antenna, WiBro, HSDPA, Channel Card

ABSTRACT

In this paper, we describe the implementation and performance of a dual-mode Software Define Radio (SDR) smart antenna base station system. SDR technology enables a communication system to be reconfigured through software downloads to the flexible hardware platform that is implemented using programmable devices such as Digital Signal Processors (DSPs), Field Programmable Gate Arrays (FPGAs), and microprocessors. The presented base station channel card comprises the physical layer (PHY) including the baseband modem as well as the beamforming module. This channel card is designed to support TDD High-Speed Downlink Packet Access (HSDPA) as well as Wireless Broadband Portable Internet (WiBro) utilizing the SDR technology. We first describe the operations and functions required in WiBro and TDD HSDPA. Then, we explain the channel card design procedure and hardware implementation. Finally, we evaluate WiBro and TDD HSDPA performance by simulation and actual channel-card-based processing. Our smart antenna base-station dual-mode channel card shows flexibility and tremendous performance gains in terms of communication capacity and cell coverage.

※ 본 연구는 대학 IT 연구센터 육성지원사업의 연구결과로써 HY-SDR 연구센터의 연구비 지원으로 수행되었습니다.

* 삼성전자 연구원(gewyvern@gmail.com), ** 한양대학교 전자컴퓨터통신공학과 (choi@ieee.org) (° : 교신저자)

논문번호 : KICS2008-09-408, 접수일자 : 2008년 9월 17일, 최종논문접수일자 : 2008년 10월 16일

I. 서 론

현재 이동 통신의 사용자들은 음성뿐만 아니라 언제 어디서든 원하는 무선으로 인터넷을 사용하는 요구가 많아지고 있다. 이러한 요구로 충족시킬 수 있는 기술이 WiBro(Wireless Broadband)와 HSDPA(High Speed Downlink Packet Access) 시스템이다.

본 논문에서는 WiBro와 HSDPA 시스템에 적용 가능한 채널 카드를 구현하였고, 구현된 채널 카드는 SDR(Software Defined Radio) 기술과 스마트 안테나 기술의 적용이라는 점에서 두 가지 큰 의미를 가진다. SDR 기술은 범용적으로 사용 가능한 하드웨어를 바탕으로 해당 모드에 관련된 통신 프로토콜 즉, 소프트웨어를 다운로드하여 여러 가지 모드의 통신환경에 적절한 솔루션을 제공할 수 있는 경제적이고 효율적인 기술을 말한다. WiBro, HSDPA 뿐만 아니라 여러 통신 모드들은 각각 특성에 따라 하드웨어적인 요구사항이 달라지게 된다. 하지만 채널 카드는 범용적 하드웨어로 설계되어 있기 때문에 WiBro, HSDPA 각각에 관련된 프로토콜만 소프트웨어적으로 구현하여 다운로드 해주면 하드웨어 수정 없이도 각 모드에 해당하는 기능을 수행할 수 있다.

스마트 안테나 기술은 사용자의 위치에 따라 빔을 적응적으로 변화시켜 원하는 사용자의 방향으로 출력을 집중시킴으로써 효율적인 성능을 얻는 방식을 말한다. 스마트 안테나 시스템은 RF(Radio Frequency) 소자, 모뎀, 빔형성 모듈 등이 종합 연동된 통합 시스템으로 통화 용량 및 신뢰도 향상을 위한 핵심적인 기술로 인식되고 있다.

듀얼 모드 SDR용 스마트 안테나 기술을 적용하기 위하여, 구현된 채널 카드는 고정 소수점을 지원하는 상용 DSP(Digital Signal Processing)칩 8개와 FPGA(Field Programmable Gate Array) 2개를 사용하였다. 각각의 DSP는 동일한 구조로 설계되어 있으며, 통신 모드에 맞게 자신의 역할을 다운로드 받게 된다. 각 Device의 기능이 고정되어 있지 않은 점은 융통성 있게 기능을 부여 가능하다는 점에서 SDR 기술에 부합한다.

본 논문은 II장에서 듀얼 모드 채널카드 구조에 대해서 살펴보고, 각 통신모드인 WiBro와 HSDPA 시스템에서 각 디바이스별 기능에 대해서 정의한다. III장에서 컴퓨터 시뮬레이션과 채널 카드의 성능을 비교 분석하였다. 마지막으로 IV장에서 결론을 내렸다.

II. 본 론

2.1 스마트 안테나를 지원하는 듀얼 모드 채널 카드 구현

본절에서는 채널 카드 전체 구조를 살펴 보고, 구현된 채널 카드가 WiBro와 HSDPA 시스템으로 각각 동작하기 위한 디바이스 활용 방법에 대하여 설명한다.

2.1.1 채널 카드 구조

채널 카드 구조는 아래의 그림 1에서 보듯이 크게 8개의 고정 소수점을 지원하는 상용 DSP와 2개의 FPGA로 구성되어 있다.

그림 1에서 보듯이 모든 DSP 블록들은 동일한 모듈 형태로 이루어져 있다. 각 DSP 모듈은 2개의 SDRAM과 1개의 FLASH ROM, JTAG, Buffer, Oscillator, Reset, switch, EMI Filter 그리고 Serial Port로 구성되어 있다. SDRAM은 64Mbit SDRAM 2개를 EMIFA로 연결하여 128Mbit의 메모리를 사용한다. Stand Alone 동작을 위하여 EMIFB로 FLASH ROM을 연결하였으며, DSP 디바이스의 상태를 PC와 연결하여 확인하고 외부 컨트롤을 할 수 있도록 하기 위하여 McBSP0를 이용하여 UART Serial 포트를 RJ-45로 연결하였다. 각 6416-DSP는 FPGA와 EMIF 클럭이 없는 비동기로 설계 되었으며, 다른 한편으로 McBSP1 포트를 통해서 FPGA로부터 동일한 데이터를 수신할 수 있게 설계되어 있다. PCI Peripheral을 이용하여 채널 카드의 메인 컨트롤러인 MPC8280을 탑재한 Daughter Board(모듈)의 PCI Bus와 연결하여 통신을 하도록 설계하였다.

각각의 FPGA는 퓨징을 위한 FLASH ROM을 가지고 있으며, 8280으로부터 Control 데이터들을

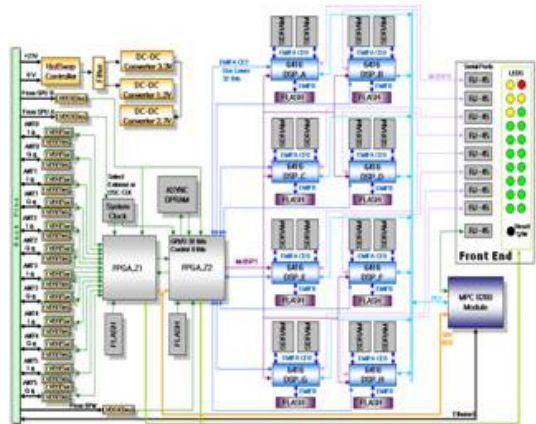


그림 1. 채널 카드 블록 다이어그램

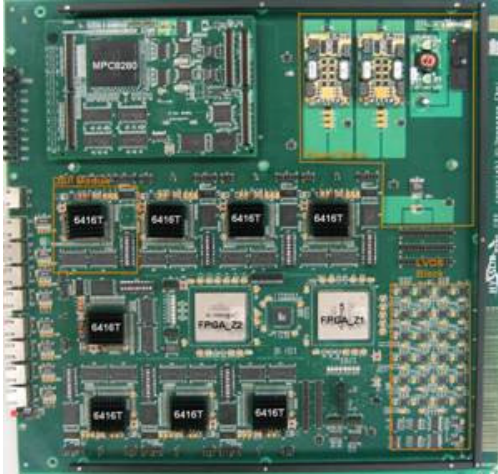


그림 2. 채널 카드 사진

받을 수 있다. 첫 번째 FPGA_Z1은 UpDown Converter(이하 UDC)로부터 데이터를 받기 위해 LVDS 칩이 연결되어 있으며, 전면부의 LED를 통해 Board의 상태를 알려줄 뿐 아니라 외부 리셋(Reset) 신호와 연결되어 있다.

두번째 FPGA_Z2에는 비동기 DPRAM이 연결되어 있으며, 8개의 DSP와 통신할 수 있도록 구성되어 있다. 스마트 안테나 시스템에서 빔 패턴에 대한 웨이트를 계산하기 위한 BeamForming Card(이하 BFM)로부터 데이터를 받기 위한 LVDS Receiver가 연결되어 있으며, 참고로 BFM은 고정 소수점을 지원하는 상용 DSP 2개와 부동 소수점을 지원하는 상용 DSP 6개로 이루어져 신호 처리를 수행한다. 그림 2는 실제 구현한 채널 카드의 사진이다.

2.1.2 WiBro와 HSDPA 모드에서의 채널카드 신호 흐름 및 디바이스 할당

본 절은 SDR 기반으로 구현된 다중 모드 채널 카드에서 현재 상용서비스를 하고 있는 통신 규격인 WiBro, HSDPA 시스템에 적용하기 위한 각 시스템별 신호 흐름 및 각 기능별 디바이스 할당에 대해서 설명한다^[12].

채널 카드에는 앞서 말한 바와 같이 SDR 기술의 적용을 위해 8개 모든 DSP 모듈이 동일한 구조로 설계되어 있다. 따라서 해당 소프트웨어다운로드에 따라 통신 모드를 변경할 수 있다.

2.1.2.1 WiBro 시스템

그림 3은 채널 카드의 6416-DSP에 WiBro 각 기능 블록을 할당한 것을 보여준다.

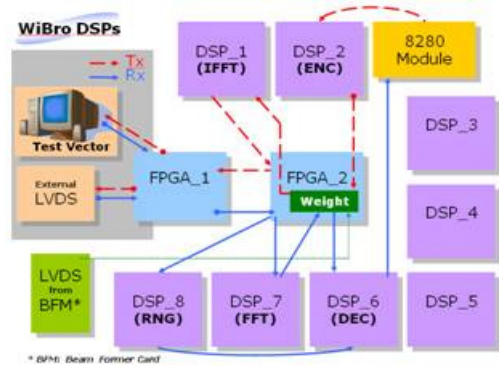


그림 3. WiBro 모드에서의 디바이스 할당

구현된 WiBro에서 신호의 흐름은 크게 세 가지로 구분된다. 첫째 웨이트 데이터의 흐름으로 BFM으로부터 전송되어 FPGA_2에 저장되어 활용된다^[6]. 둘째 송신 신호의 흐름으로, 8280 모듈에서 받은 데이터를 DSP_2가 인코딩하여 FPGA_2에서 웨이트를 적용한 후 IFFT를 담당하는 DSP로 넘긴다. IFFT 수행 후 FPGA_2와 FPGA_1을 거쳐 PC로 데이터를 보내거나 외부 다른 보드와의 통신을 위해 LVDS 포맷으로 출력된다. 본 논문에서는 PC로 데이터를 받아 성능을 분석하였다. 셋째 수신 신호의 흐름으로 송신 흐름과 반대로 FPGA_1이 PC로부터 받은 데이터는 FPGA_2를 거쳐 FFT DSP에서 FFT되며, 이와 동시에 RNG DSP에서 초기 동기를 맞추기 위해 레인징을 수행하며 DEC DSP로 넘겨준다. FFT된 데이터는 FPGA_2에서 웨이트 콤바인되어 DEC DSP에서 레인징 정보와 함께 디코딩된다. 디코딩된 데이터는 8280 모듈로 전송된다. 남아 있는 DSP로 각 기능을 분할하여 사용하거나 모니터링의 기능으로 사용 가능하다.

특히 OFDM의 기본 기술인 FFT와 IFFT는 DSP에서 제공하는 라이브러리를 사용하였다. 약 100 μ s마다 한 번씩 안테나 개수 만큼의 심볼 데이터를 처리해야 하므로 FFT, IFFT 연산 속도가 매우 빨라야 한다. WiBro에 적용된 1024 포인트의 FFT 경우 7 μ s 정도를 보장한다. FFT는 16비트 형태의 함수를 사용하였으며, IFFT는 라이브러리로 제공되는 32비트를 사용하지 않고, 1024 포인트의 입력 데이터 허수 부분 부호를 바꿔서 FFT하고 다시 허수 부분의 부호를 바꿔주는 방법으로 IFFT를 구현하였다.

2.1.2.2 HSDPA 시스템

그림 4는 채널 카드에 HSDPA 각 기능 블록을

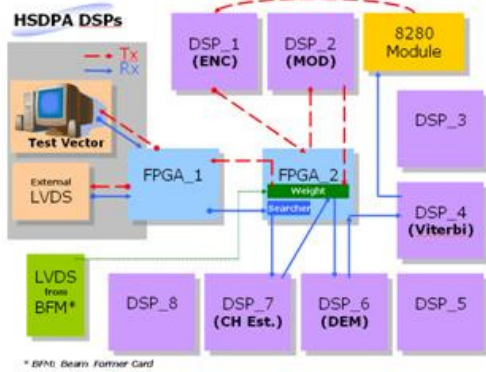


그림 4. HSDPA 모드에서의 DSP 할당

할당한 것을 보여준다. WiBro와 마찬가지로 HSDPA에서 신호의 흐름은 크게 세 가지로 구분된다. 첫째 화이트 데이터의 흐름으로 BFM으로부터 전송되어 FPGA_2에 저장되어 활용된다. 둘째 송신 신호의 흐름으로, 8280 모듈에서 받은 데이터를 DSP_1이 인코딩하여 FPGA_2를 거쳐 DSP_2에서 변조시킨다. 변조된 데이터는 FPGA_2에서 웨이트가 적용된 후 FPGA_1을 거쳐 PC로 데이터를 보내거나 외부 다른 보드와의 통신을 위해 LVDS 포맷으로 출력된다. 셋째 수신 신호의 흐름은 송신 흐름과 반대로 FPGA_1이 PC로부터 받은 데이터는 FPGA_2의 서처 블록을 거쳐 DSP_7에서 채널 추정을 하게 되며 FPGA_2에서 웨이트 콤파인 된 후 DSP_6에서 복조된다. 그 후 DSP_4에서 비터비 코프로세서를 이용하여 디코딩되어 8280 모듈로 전해진다. 남아 있는 DSP로 각 기능을 분할하여 사용하거나 모니터링의 기능으로 사용 가능하다.

III. 성능분석

본 장에서는 채널 카드에 구현한 WiBro와 HSDPA 모드에서의 성능을 분석하였다. 성능 분석을 위하여 PC에서 채널 환경을 겪은 테스트 벡터를 발생하여 송신한 데이터가 각 DSP 블록을 통과하

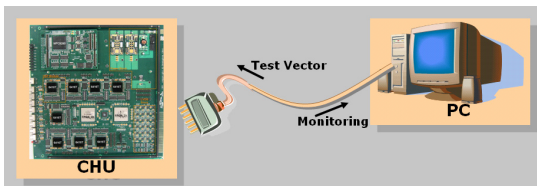


그림 5. PC와 채널 카드를 연결한 실험 환경

여 수신되었다는 시나리오를 세워 실험하였다. 논문에서 성능 검증을 위해 그림 5과 같은 실험 환경을 구축하였다.

현재 WiBro, HSDPA 모두 시험 단말이나 기지국이 구하기 쉽지 않아서, PC로 모델링 한 채널 환경을 통과한 송신 데이터를 발생하였고 그 데이터를 테스트 벡터 형태로 채널 카드에 전달하여 WiBro, HSDPA 수신 프로세스를 거친 후 데이터를 다시 PC로 받아 BER(Bit Error Rate)을 계산하였다

3.1 WiBro 성능 분석

그림 6은 레일레이 페이딩 환경에서 WiBro 시스템 모드일 경우, 채널카드의 성능을 보여준다. 수신 안테나 수는 6개의 안테나 엘리먼트를 가지는 스마트 안테나를 고려하였고, 부동 소수점인 컴퓨터 시뮬레이션 결과와 고정 소수점인 채널카드에서의 결과를 비교 하였다. BER 1%에서 성능 결과는 컴퓨터 시뮬레이션과 채널카드에서의 성능이 0.5dB 차이가 나는 것을 확인하였다^{3)[4]}.

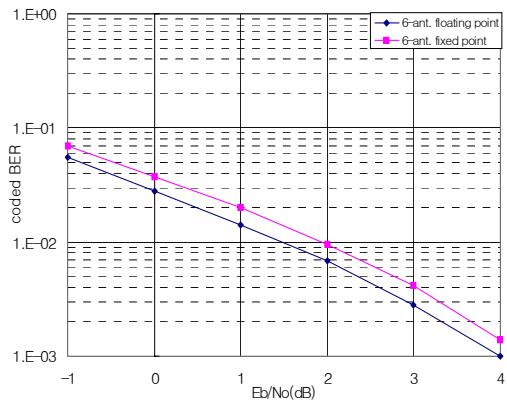


그림 6. 레일레이 페이딩 환경에서의 WiBro 모드에서의 채널 카드 성능

3.2 HSDPA 성능 분석

그림 7은 레일레이 페이딩 환경에서 HSDPA 시스템 모드일 경우, 채널카드의 성능을 보여준다. 수신 안테나 수는 WiBro 시스템과 동일하게 6개 안테나 엘리먼트를 가지는 스마트 안테나를 고려하였고, 부동 소수점인 컴퓨터 시뮬레이션 결과와 고정 소수점인 채널카드에서의 결과를 비교 하였다. 성능 결과는 그림에서 보듯이 컴퓨터 시뮬레이션과 채널카드에서의 성능이 같은 것을 확인하였다^{5)[7]}.

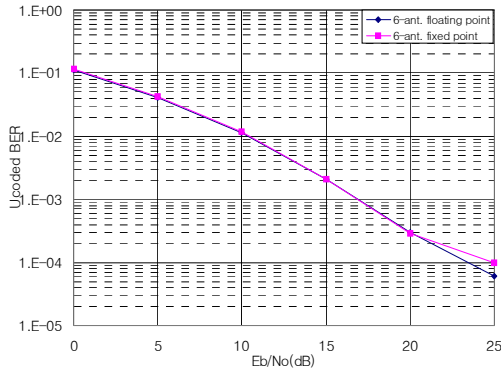


그림 7. 레일레이 페이딩 환경에서의 HSDPA 모드에서의 채널카드 성능

IV. 결 론

본 논문은 고정 소수점을 지원하는 상용DSP를 기반으로 하는 SDR 스마트 안테나 시스템의 듀얼 모드 채널 카드의 구현과 성능에 관한 것이다. 기존 단일 모드 채널 카드는 각 디바이스의 기능이 고정되어 다른 통신 규격에 사용하기 위해서 다시 설계해야 하는 단점이 있다. 그러나, 다중 모드를 지원하는 SDR용 채널카드에서는 각 디바이스의 기능이 통신 규격에 따라 자유롭게 변경이 가능하여, 하나의 하드웨어에 여러 개의 통신 규격을 지원할 수 있다. 본 논문에서는 현재 상용화가 되고 있는 WiBro, HSDPA 시스템을 이용하여 다중 모드 채널 카드의 성능을 검증, 분석하였다.

참 고 문 헌

- [1] IEEE, "IEEE Std802.16", IEEE, 2005
- [2] 3GPP, "3GPP TS25.244", 3GPP, 2005
- [3] John G. Proakis, "Digital Communications-4th Ed.", McGRAWHILL, 2001
- [4] L. HANZO, M. MUNSTER, B. J. CHOI and T. KELLER, OFDM and MC-CDMA for Broadband Multi-User Communications, WLANs and Broadcasting, John Wiley & Sons, Ltd, 2003
- [5] Richard Van Nee, Ramjee Prasas, "OFDMA for Wireless Multimedia Communications", Artech House Publishers, 2000

- [6] S. Choi and D. Shim, "A novel adaptive beamforming algorithm for a smart antenna system in a CDMA mobile communication environment, " IEEE Trans. Vehicular Technology, Vol.49, No.5, pp.1793-1806, Sep. 2000
- [7] Yi-Pin Eric Wang, R. Ramesh, "To bite or Not to Bite - A study of Tail Bits versus Tail-Biting", Personal, Indoor and Mobile Radio Communications 1996 (PIMRC 96), Seventh IEEE International Symposium on Volume 2, 15-18. Oct. 1996 Page(s):317-321 Vol.2 Digital Object Identifier 10.1109/PIMRC.1996. 567407

김 종 은 (Jongun Kim)

정회원



트 안테나

2005년 2월 한양대학교 전자통신공학과 학사
 2007년 2월 한양대학교 전자통신공학과 석사
 2007년 3월~현재 삼성전자 연구원
 <관심분야> LTE, WiBro, 스마트 안테나

최 승 원 (Seungwon Choi)

중신회원



1980년 2월 한양대학교 전자공학과 학사
 1982년 2월 서울대학교 전자통신공학과 석사
 1985년 12월 미국 Syracuse Univ. 공과대학 석사
 1989년 12월 미국 Syracuse Univ. 공과대학 박사
 1992년 9월~현재 한양대학교 전자컴퓨터통신공학과 교수
 2002년 7월~현재 HY-SDR 연구센터 센터장
 <관심분야> SDR, 스마트 안테나, 신호처리, 이동통신