

COG 패키지에서 스크라이브 레인을 줄이기 위한 레이저 소잉

정희원 김 경 수*, 종신회원 이 호 응**

Silicon Thickness Control and Laser sawing to Reduce Scribe lane in COG Package

Kyeong-Su Kim* *Regular Member*, Ho-Woong Lee** *Lifelong Member*

요 약

본 과제는 반도체 패키지 제조 공정중, 반도체 표면에 발생하는 칩핑을 를 효과적으로 제거 할 수 있는 방법에 대해 분석하고 그 개선책을 마련함으로써, 장비 제조시에 효율적 활용과 현장 생산성을 높이는데 그 목적이 있다. 이를 위해 본 과제에서는 가장 큰 문제인 칩핑과 넷 다이 대해 개선책을 제시하고자 한다. 레이저 소잉은 반도체 제조시 가장 큰 손실단계이다. 우리는 실리콘 웨이퍼의 두께 180um, 길이:폭 = >10:1 이상의 비율을 가지는 DDI 칩을 사용하여 실험하였다. SEM (scanning electron microscope) 을 이용하여 파괴 기구에 대한 분석을 실시하였으며, 웨이퍼 두께와 레이저 소잉에 따른 칩핑 증가에 대하여 논의하였다.

Key Words : Laser sawing, Chipping, Net die

ABSTRACT

The purpose of this study is to analyze the method for eliminating chipping occurred on The surface of semiconductor in production line, and to improve the net die problem, for this purpose, I suggest solutions for chipping and net die of serious problems as follows. Laser sawing can be the most damaging step in semiconductor manufacturing where individual dice are freed from a brittle silicon wafer. We have experimented a DDI device using silicon wafers cut to >0.2mm long 0.02 mm wide and 180 um thick. We try design equipment with these two kinds solution and co work with equipment manufacture. SEM (scanning electron microscope) was used to the analyze failure mechanics. The degradation of chipping of laser sawing caused by wafer thickness and size of test pattern was discussed.

I. 서 론

Flip chip은 chip과 기판을 연결하는 방법으로서 현재 차세대 패키지 기술로서 개발이 진행되는 소자연결방법중의 하나이다. 1964년에 IBM이 C4 (Controlled Collapse Chip Connection) 라는 이름으로 개발한 이래 각국의 우수한 전자회사들 중

심으로 발전되어 온 소자연결방법이다. 기존의 wire bonding은 지금까지의 flip chip법을 적용해야 할 만큼 많은 입출력단자를 가지고 있지 않았다.^[1] 디지털 기술의 발전과 함께 문자, 음성 및 영상 등을 복합적, 일체적으로 이용하고 대화형으로 교환하는 시대가 도래 하면서, 계속적인 “미세화, 집적화”를 거쳐서 더 많은 정보를 더욱 빠르게 처리 할 수 있

* 매그나칩 반도체 (kks711220@empal.com), ** 동원대학 정보통신과(hwlee@tongwon.ac.kr)
논문번호 : 09028-0522, 접수일자 : 2009년 5월 22일

는 능력을 갖는 반도체 소자들이 요구 되고 있다. 반도체 제조 공정은 크게 3가지로 나누어 지는데, Design , Fab , PKG 등이다. 기존에 문제가 되지 않았던 것이 크기가 현저히 작아짐에 따라 소자의 고집적화 되는 패턴이 PKG process 상에서 많은 문제점을 발생하고 있다. 특히, 생산라인의 자동화, 고속화, 미세화가 확대되고 시스템의 사용이 증가하고 있다. 최근의 반도체 집적도의 증가율은 상상을 초월할 만큼 빠르게 발전하고 지금의 wire bonding 으로는 더 이상의 집적도에서 한계에 다가 왔다. Flip chip의 경우 chip의 면에 전체적으로 bump를 형성할 수 있으므로 bump 간 거리를 넓힐 수 있는 방법이다. Flip chip의 경우 chip의 면에 전체적으로 bump를 형성 할 수 있으므로 bump 간거리를 넓힐 수 있는 방법이다 그러나 chip을 뒤집어 작업해 야하므로 bump를 정확하게 맞추기가 어렵고 이에 따라 업계가 요구 하는 생산성을 수용하기 어려웠다. 그럼에도 불구하고 미국과일본의 기업들은 가까운 장래에 이방식이 사용 될것을 예측하고 오랜 시간 연구개발에 임하여 왔다²⁾ FPD (flat panel display)의 종류에서 LCD 및 모니터가 가장 널리 사용되고 있으며 평판 표시장치 시장의 약 90% 이상을 점유하고 있는 이유는 다른 평판 표시장치에 비해 가격이 저렴하고, 소비전력이 낮으며, 경박 단소가 요구 되는 휴대용 제품으로의 응용에 적당하기 때문이다. LCD의 연구 개발동향을 살펴보면, 최근 급격한 신장세를 보이고 있는 차세대 이동통신용 web-browsing cellular phone 이나, 개인정보 단말기(PDA), 네비게이션 등에서 사용되는 소면적 TFT-LCD의 저 소비전력, 고해상도 연구 개발과 컴퓨터 모니터, 가정용 TV와 같은 대면적, 고해상도 디스플레이 장치로서의 연구 개발의 노력이 집중되고 있으며 다양한 소자설계기술 및 제조기술에 대한 연구가 요구되고 있다.^{3),4)} 액정 표시장치의 실장 기술에는 COB (chip on board), TAB (tape automated bonding), COG (chip on glass), COF (chip on flim) 등이 있다. Flip chip 연구에 있어 중요한 점은 solder bump 및 under bump metallurgy 형성을 위한 효과적이고 저렴하며 높은 생산성을 가지는 공정의 개발에 있다. TFT-LCD 구동소자의 실장기술로 가장 많이 사용되는 있는 TAB(tape automated bonding) 방법은 COB 방법에 비해 고밀도 실장과 얇은 두께의 패키징이 가능하고, I/O pin 수가 많은 chip의 연결에 유리 하다. 극미세 pitch, 최소한의 접촉 면적을 필요로 하는 고정밀 다단자 실장기술의 필

요성이 부각되었다. TAB공정은 한계피치가 50 μm 로 알려지고 있으며 전기적 신호길이가 길어 고속 응답 HDTV용 LCD에는 적용되기 힘든 기술이다. TAB 공정보다 발전된 형태의 COG 공정 기술은 구동회로를 뒤집어 구동회로의 패드를 LCD 패널에 직접 연결하는 방법으로 TAB 방식보다 훨씬 미세한 pitch의 고밀도 실장이 가능하고, 연결부분이 점유하는 면적도 최소화시킬 수 있으며, 공정이 간단하여 제조비용도 줄일 수 있다. 이러한 COG 방법으로 이방성 도전 접착제 (anisotropic conductive adhesive; ACA), 이방성 도전 필름 (anisotropic conductive film; ACF), stud bump 그리고 솔더 범프를 이용한 방법들이 있다. 물리적인 힘에 의한 접합을 이용한 방법에는 이방성전도필름(Anisotropic Conductive Film; ACF),이방성전도접착제 (Anisotropic Conductive Adhesive; ACA)를 이용한 방법, 등방성 전도접착제(isotropic Conductive Adhesive; ICA)를 이용하는 방법,^{5),6)} 특히 ACF를 이용한 방법은 현재 TFT-LCD(Thin Film Transistor Liquid Crystal Display) 를 비롯한 정보 디스플레이 장치의 구동소자의 실장기술에 널리 사용되고 있다. 이 방법은 구동소자의 Au 범프와 LCD 패널(panel)의 전극(electrode) 사이에 전도성 입자가 접착제(adhesive)내에 고르게 분포된 ACF를 위치시킨 후 하중과 열을 가하여 전도성 입자들이 범프와 전극 사이에 물려 접합되는 방식이다. ACF를 이용하는 방법은 솔더 범프를 이용하는 방법에 비해 환경 친화적이고, 저온공정이 가능하고, 공정이 단순하고, 신뢰성이 높은 방법으로서 선호하고 있으며 Pitch와 I/O Pin의 증가에 따른 COG 형태의 방법을 사용 하는 것이 가장 유리하다. 본 논문에서는 COG 공정을 이용하기 위하여 chip의 net die를 증가시키기 위하여 Laser sawing 을 이용하는 연구 하고자 한다.

Laser sawing은 blade sawing에 비하여 놓은 장비 비용의 단점이 있지만 깨지기 쉬운 실리콘에 singulation 이 자유로우며 수율을 향상시킬 수 있다.^{7),9)} 반도체 제조 공정 중 많은 부분들이 있지만, 전 공정 부분이 더욱 정밀하게 다루어야 할 부분을 간과하고 지나치는 경우가 많이 있으며, sawing 관련 부분도 그런 오류를 범할 수 있다. 실제 system 상에서 동작되어 질 때 많은 문제점이 발생되기도 한다. 본 연구를 통하여 최적의 조건에서 최고의 품질 생산 할 수 있는 sawing의 pitch 설정 및 test pattern을 설정 할 수 있었다. PKG에 손상이 없으면서 최상의 조건을 찾아내기 위한 작업이 계속 진

행 되어야한다.

II. 실험 방법

DDI chip을 만들기 위한 COG의 패키지 구조를 가지는 구조로 제작하였다. Si wafer에 Al pad를 형성 후 Oxide와 Nitride를 형성하여 패시베이션을 형성 하였다. Chip 크기는 1mm × 23mm 이며, Open Pad size는 7μm × 60μm 직사각형 모양으로 구성 되어 있다. Open pad 부분의 지역의 신뢰성을 높이기 위해 UBM(under bump metallurgy)을 3500 Å 스퍼터링하고 금도금을 위한 seed layer인 Au를 약 1000 Å 증착하고, 두꺼운 감광제를 사용하여 패턴 형성 한다. Au 도금을 통해 chip 전극과 골드 범프를 연결시키는 신호선을 형성한 후, 감광제를 없애고 불필요한 seed layer를 습식 식각 하여 제거 하였다. 그림 1과 같이 Scribe lane과 테스트 패턴은 60um(50um) & 70um(50um) 의 테스트 패턴을 제작 하였다. 그림 2와 같이 테스트 패턴을 형성 하였으며 웨이퍼 두께는 200um 로 제작 하였다. DDI chip의 백그라인딩의 두께는 180~650um정도를 유지 하고 있으며 레이저 sawing을 하기 위한 두께 100um 이하였을 시 적당하나 chip의 구조상 100um 이하를 유지하기 힘들기 때문에 레이저 sawing과 Blade sawing을 겸하여 실험을 하였다. 그림 3과 같이 레이저 sawing을 통하여 T/P의 메탈 패턴을

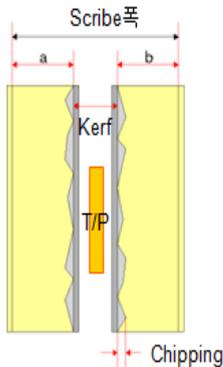


그림 1. COG 패키지의 Scribe lane 구조

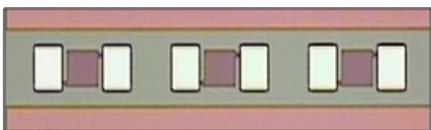
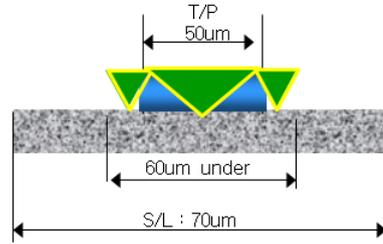
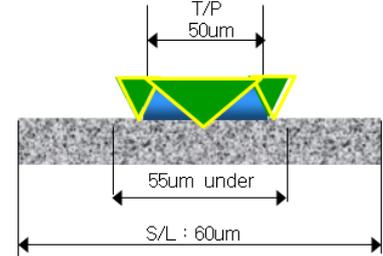


그림 2. Test 패턴



a) S/L : T/P = 70 : 50



b) S/L : T/P = 70 : 50

Scribe Lane	Test Pattern	Saw Blade	Chipping Spec
		Z (um)	TOP/Backside
60	50	30-35	5/15
70	50	30-35	10/15

그림 3. Scribe lane에 대한 Laser sawing 방법

제거 후 Blade sawing을 하여 chip을 분리 하였다. 패키지 신뢰성 시험을 위해 JEDEC (Joint Electron Device Engineering Council)-standard level 3 후, 3회 리플로우를 거친 시편을 짧은 시간 동안 극도의 고온 및 저온에서 반복적인 노출을 통한 충격 시험을 실시하였다. 온도 사이클 동안 발생하는 전기적 물리적 손상의 변화의 발생을 알아보기로 -55 °C +/- 125 °C 온도 프로파일을 이용하여 5번 반복 하는 T/C를 각각 500회를 실시하였다. 각 시편은 Shear tester dage series 2400을 사용하여, Bump의 중심과 substrate 사이의 1/2 높이(5um)에서 shear blade를 고정시키고, 300um/sec 속도로 하중을 부가 하여 최고 전단 하중을 측정하였다. 레이저 sawing을 한후 wafer의 단면을 주사 전자 현미경(SEM)으로 미세조직을 조사하였다.

III. 결 과

DDI chip의 COG/COF 의 패키지 구조에서 Net Die 증가를 위한 방법으로 고정된 test pattern 에서

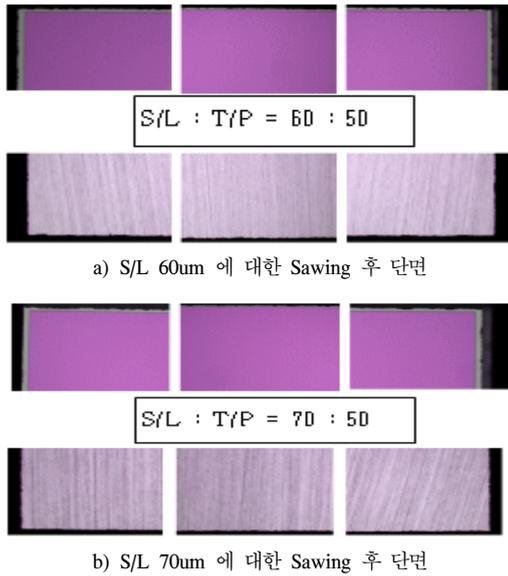


그림 4. Sawing 후 Top, Bottom 면의 Chipping 사진

Scribe lane을 축소하기 위하여 레이저 sawing을 통하여 Net Die 증가를 가져올 수 있다. DDI chip의 웨이퍼 두께는 구조상 180um 이상을 유지하여야 작업이 가능하기 때문에 최소 180um의 웨이퍼 두께를 이용하여 레이저 sawing을 단독으로 사용하기 위해서는 100um 이하에서만 사용 하여야 TAT에 대한 적정 수준이 가능하다. 웨이퍼 두께가 180um 이상 에서는 레이저 sawing과 블레이드 sawing을 접합 하여야만 적정 TAT를 유지 할 수 있다. 그래서 두 가지를 적목하여 실험을 하였다. 현재 Blade sawing을 통하여 가능한 Test pattern에 대한 Scribe lane은 Test pattern에 20um의 여유가 있어야 chipping에 대하여 안전 할 수 있다. 더 이상 줄이기 위해서는 장비의 마진과 새로운 시스템이 요구 된다. Scribe lane과 Test pattern은 60um (50um) & 70um (50um)에 따른 경향성을 검토하였다. 그림 4와 같이 Blade의 chipping 을 고려 하여 Blade의 크기를 설정 하였다. 상부, 하부 의 chipping 을 유지하기 위하여야 신뢰성 검사 및 chip 장착시 chip의 파손 을 방지 할수 있다.

위의 그림 4와 같이 Test pattern 50um에 대한 Scribe lane의 폭은 60um 까지 가능하였다. Chipping 및 칩의 damage를 줄이기 위해 1차로 레이저 sawing을 한후 2차로 Blade sawing 한 후 측정된 결과 Test pattern 50um시 5um/per side만 유지하면 chipping의 문제없이 chip sawing을 할 수 있다. 그림 5

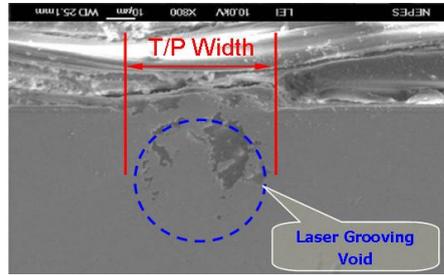


그림 5. Laser Sawing시 void

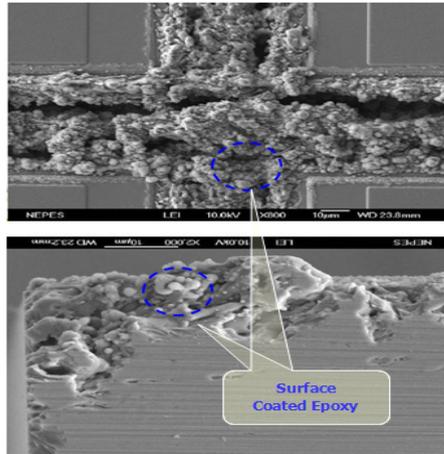


그림 6. Laser Sawing 후 표면의 Epoxy

와 같이 1차로 레이저 sawing을 한 후 단면을 측정 한 결과 열에 의한 Void가 발생하였으나 T/P 크기 이므로 Blade sawing시 모두 제거 된다. 그림 6은 레이저 sawing시 particle를 방지하기 위한 epoxy를 입힌 후 레이저 sawing한 후 잔여 epoxy 사진이다. spin coating 방식을 이용 시 균일한 두께를 유지 할 수 있으나 높이의 제한이 있어 spray 방식을 이용하여 단가적인 면과 잔여 epoxy를 제거시 효율성 을 증가 시켰다.

이와 같이 레이저 sawing을 접목시켜 10 - 20%의 Net Die 증가를 가져왔으며 chipping에 대한 수율 향상을 가져왔다.

IV. 결 론

본 연구 결과는 COG & COF 패키지를 위한 레이저 sawing을 접목 시켜 chipping 감소 및 Net Die 증가 시키는 것을 제안하였으며, 제안한 고집적도의 sawing 시 크랙을 감소 시킬 수 있는 것을 제안 하였다.

1) chipping 감소시킬 수 있는 Top면의 레이저 sawing시 웨이퍼의 상부 chipping을 감소 시킬수 있었다.

2) 테스트 패턴이 실장 되어 있는 실리콘 웨이퍼의 두께가 180um 이상을 유지하는 반도체 제품에 대하여 Net Die 증가의 한계에서 레이저 sawing을 접목시켜 제조 단가 및 수율을 향상 시킬 수 있었다.

참 고 문 헌

[1] Rao R. Tummala et al., Microelectronics Packaging Handbook II, Capman & Hall, 1997, pp.78

[2] E. Jan Vardaman, et al., Worldwide Developments in Flip Chip Interconnect, 1994, TechSearch International Inc. p.41

[3] Masuda, M. Sakuma, K. Satoh, E. Yamasaki, Y. Miyasaka, H. Takeuchi, "Chip on glass technology for large capacity and high resolution LCD" Electronic Manufacturing Technology Symposium, 1989, pp. 55-58

[4] Matsuda. K, Watanabe. I, "Recent progress toward anisotropic conductive films in flat panel display and semiconductor packaging applications", Density Microsystem Design and Packaging and Component Failure Analysis, 2004. pp. 8-13

[5] J. H. Zhang, Y. C. Chan, M. O. Alam and S. Fu, Contact resistance and adhesion performance of ACF interconnections to aluminum metallization, Microelectronics Reliability, Vol. 43, Issue 8, Aug. 2003, pp. 1303-1310.

[6] A. Tolvgard, J. Malmodin, J. Liu, and Z. Lai, A reliable and environmentally friendly packaging technology-flip chip joining using anisotropically conductive adhesive, Adhesive Joining and Coating Technology in Electronics Manufacturing, 1998.

[7] Peter van zant, Microchip Fabrication. pp. 70, 71, 568

[8] B.S.Chang, J.Presto, "Laser as a Solution to Today's Wafer Sawing Challenges, "Semicon, Singapore 2006

[9] R.Adalak, " Laser Singulation and Scribing technologies Alternatives to Conventional Mechanical Dicing," Chipscale Review, Oct. 2005

김 경 수 (Kyeong-Su Kim)
한국통신학회 논문지 32권 12호 참조

정회원

이 호 응 (Ho-Woong Lee)
한국통신학회 논문지 32권 12호 참조

종신회원