

전류 컷 기법을 적용한 저전력형 직병렬/ 병직렬 변환기 설계

정회원 박 용 운*, 황 성 호*, 종신회원 차 재 상**, 정회원 양 충 모*, 김 성 권**°

Design of Low-power Serial-to-Parallel and Parallel-to-Serial Converter using Current-cut method

YongWoon Park*, SungHo Hwang* *Regular Members*, JaeSang Cha** *Lifelong Member*,
ChungMo Yang*, SungKweon Kim**° *Regular Members*

요 약

본 논문에서는 OFDM과 같은 대용량 무선 전송방식의 베이스밴드단(Baseband) 신호처리 방식 중 직병렬/병직렬 변환기(Serial-to-Parallel/Parallel-to-Serial Converter)를 전류모드(Current-mode) 회로로 구현했을 경우 유효한 설계 기법을 제안한다. 전류모드를 이용한 OFDM(Orthogonal Frequency Division Multiplexing: 직교주파수분할다중)용 아날로그 프리에 변환(FFT) LSI의 병렬 입출력을 담당하는 전류모드 직병렬/병직렬 변환기의 홀드모드(Hold mode)의 불필요한 전류를 제거할 수 있다. 이를 통해 전류모드로 구성된 아날로그 신호처리 시스템의 저소비전력을 실현하기 위해 필수적인 새로운 전류모드 직병렬/병직렬 변환기를 제시하고 설계된 칩의 측정결과가 시뮬레이션 결과와 일치하는 것을 확인하였다. 이를 통해 저전력형 대용량 무선통신 시스템의 베이스밴드단 구축이 가능한 전류모드 아날로그 시스템의 구현 가능성을 제시하였다.

Key Words : Current-mode, Current-cut, OFDM FFT LSI, Current memory

ABSTRACT

Current-cut circuit is an effective method to obtain low power consumption in wireless communication systems as high speed OFDM. For the operation of current-mode FFT LSI with analog signal processing essentially requires current-mode serial-to-parallel/parallel-to-serial converter with multi input and output structure. However, the Hold-mode operation of current-mode serial-to-parallel/parallel-to-serial converter has unnecessary power consumption. We propose a novel current-mode serial-to-parallel/parallel-to-serial converter with current-cut circuit and full chip simulation results agree with experimental data of low power consumption. The proposed current-mode serial-to-parallel/parallel-to-serial converter promise the wide application of the current-mode analog signal processing in the field of low power wireless communication LSI.

1. 서 론

최근 언제, 어디서나, 모든 사람들과 어떤 정보든지 통신 가능한 유비쿼터스(Ubiquitous) 컨버전스화

가 급속히 진행되고 있다. 그러나 고속 대용량 이동통신 서비스가 가능하기 위해서는 OFDM 통신방식과 같이 20Mbps 이상의 고속의 전송방식이 요구된다. OFDM통신방식은 20Mbps 이상의 고속통신

* 삼성전기(주) 중앙연구소(snowman.park@samsung.com, sungho717.hwang@samsung.com, chungmo.yang@samsung.com)

** 서울산업대학교 매체공학과(chajs@snut.ac.kr), (kim12632@snut.ac.kr) (° : 교신자)

논문번호 : KICS2009-07-308, 접수일자 : 2009년 7월 22일, 최종논문접수일자 : 2009년 10월 15일

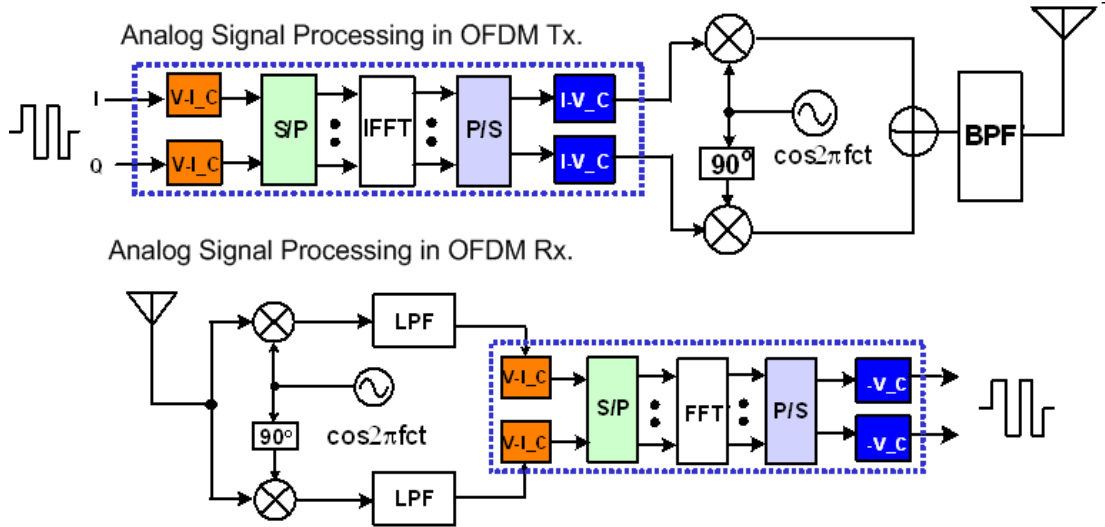


그림 1. 아날로그 신호처리 방식을 적용한 OFDM System

을 실현하기 위한 방식으로 IMT-2000을 넘어 제 4세대 통신방식으로서 많은 발전을 거듭하고 있다. 그림 1은 최근 아날로그 신호처리 방식을 적용한 베이스밴드 신호처리부에 대해 나타내고 있다. 이는 종래의 DSP(Digital signal processing) 방식에 비해 저소비전력 및 고속 동작에 유리한 장점을 가지고 있다^[1].

일반적인 디지털 신호처리 시스템의 소비전력 문제를 보완하기 위해 SI(Switched Current) 회로를 이용한 아날로그 신호처리 회로가 제안되고 있다^[2]. 대표적인 전류모드 회로에 의한 아날로그 신호처리는, 아날로그 전압신호를 전류신호로 변환해서(V-I Converter) 아날로그 값 그대로 연산처리하기 때문에 A/D(Analog to Digital), D/A(Digital to Analog) 변환기가 필요 없는 무선 시스템 구성이 가능하다. 또한 가산회로 동작에서 비교적 적은 지연시간을 가지며 동작 주파수에 의존하지 않고 일정한 소비전력을 유지하는 특징을 이용함으로써 저소비전력화가 가능하다^[3]. 실제, 0.13um CMOS Process를 이용한 FFT 연산에 전류모드를 이용한 OFDM용 64-point FFT LSI는 전원전압 1.1V에서 20mW의 저소비전력이 소비되고 있으며 과거에 비해 공정 파라메타가 낮아짐에 따른 저소비전력화가 가능해지고 있다^[1]. 그러나 이러한 전류모드 OFDM용 FFT LSI는 병렬 입출력의 구조를 가지고 있기 때문에 일반적인 레지스터 구조의 전압모드 직병렬/병직렬 변환기를 사용하는 것이 불가능하다. 이러한 문제점을 해결하기 위해서 전류모드 OFDM FFT LSI와

동일한 방식의 전류모드 직병렬/병직렬 변환기가 필수적으로 필요하게 된다.

본 논문에서는, SI 회로를 이용한 새로운 전류모드 송수신단 시스템 블록에 대해서 제안하며 실제, 회로 설계에 있어서의 문제점 및 해결책에 대해서 검토한다. 또한 제안된 전류 컷(Current-cut) 회로를 적용한 전류모드 직병렬/병직렬 변환기에 대해서 검토한다. 이를 통해 저소비전력에 큰 장점을 지니고 있는 아날로그 OFDM FFT LSI의 활용이 가능하여 송수신단 시스템에서 큰 소비전력의 감소효과를 가져올 것으로 기대된다.

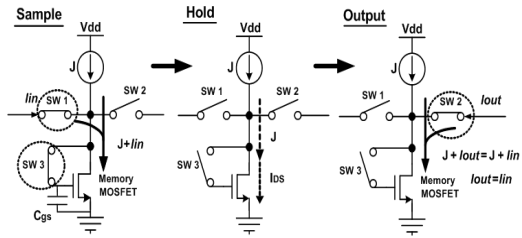
II. 전류모드 아날로그 신호처리

2.1 전류모드 회로 동작

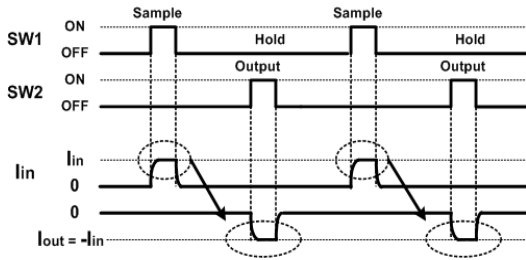
SI 회로를 이용한 전류모드 회로설계에 대해서 검토한다. 전류모드 회로로 사용되는 기본 회로들에 대해서 살펴보고 전류 메모리 회로의 전류 전송 오차(Clock Feed-through)를 발생시키는 Charge Injection Error에 대한 해결책을 제시한다.

전류모드 직병렬/병직렬 변환기 회로의 주요 회로로서 사용되는 전류메모리 회로의 3가지 동작특성 및 타임차트를 그림 2에 나타내었다. Sample mode 동작은 입력 스위치(SW1)와 메모리 MOS 제어 스위치(SW3)가 On이 되어 메모리 MOS 트랜지스터의 게이트와 소스사이의 기생용량(Parasitic capacitance)에 의존해 입력되는 전류값을 기억한다. Hold mode 동작은 모든 스위치 동작이 Off가 되어 전류원에서

공급되는 전류만이 메모리 MOS에 흐르게 된다. Hold mode는 다른 전류 메모리 회로의 sample mode가 실행될 동안 기억 전류치를 유지만 하고 있는, 즉 기억 동작의 관점에서는 휴지상태를 유지하고 있다. Output mode는 출력 스위치(SW2)가 On되어 Sample mode동작 시 저장되어 있던 전류값(Iin)을 다음 단으로 출력한다.



(a) 기본 동작



(b) 타임차트

그림 2. 전류 메모리 회로

2.2 전류 전송오차 및 해결책

전류값을 입출력하기 위한 구조에서 발생하는 전류 전송오차라는 문제점을 해결하지 않으면 안 된다. 그림 3에 나타난 전송오차는 Sample mode 동작시, 기생용량에 축적된 전하가 Hold mode 동작시 SW3의 MOS 트랜지스터의 게이트-드레인 사이에서 축적된 전하와 재분배되면서 발생하는 입출력값의 오차를 말한다.

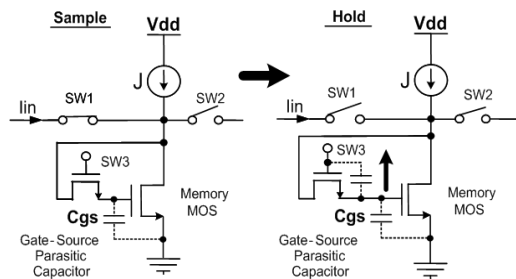


그림 3. 전류 전송오차 현상

$$Q_T = C_{gs} \times V_{gs} \quad (1)$$

$$Q_T = (C_{gs} \times C_{gd}) \times V_x \quad (2)$$

$$V_x = \frac{C_{gs}}{C_{gs} + C_{gd}} \times V_{gs} \quad (3)$$

Sample mode와 Hold mode에서의 Memory MOS의 기생용량에 의해 축적되는 전하량의 값은 일정해야 전류 전송오차가 발생하지 않으며 (1)과 (2)식에서 Memory MOS에 축적되는 전하량의 값 (Q_T)을 동일하게 유지하도록 해야만 전류 메모리 회로의 성능을 높일 수 있다. (3)식에서 알 수 있듯이 전하량의 변화는 Memory MOS와 SW3의 게이트 전압의 변화량을 의미하므로 V_x 와 V_{gs} 값을 일치하도록 하기 위해서는, 기생용량 C_{gs} 가 C_{gd} 보다 큰 값을 가지게 하거나 Memory MOS와 SW3의 게이트-드레인 사이에서 일어나는 전하의 이동을 막아주는 방법이 요구된다. 흔히, 가변 정전용량의 개념과 같이 사용되는 Dummy MOS 트랜지스터를 전류 전송오차를 줄이는 방안으로 사용하였다. 실제 회로 설계에 있어서는 SW3와 Dummy MOS 트랜지스터의 게이트 폭을 이상적으로 정할 필요가 있다. 이를 위해 식(4)와 같은 방법으로 최적의 전류 전송비(Current transfer ratio)를 결정했다.

$$\text{전류 전송비} = \frac{SW3 \text{ MOS } W_{gate}}{Dummy \text{ MOS } W_{gate}} \quad (4)$$

그림 4에 전류 전송비의 결과를 나타내고 있다. Foundry는 AMS(Austria Mikro Systems)의 0.35um 공정을 기준으로 시뮬레이션을 실행했으며, 시뮬레이션 툴은 Cadence Analog Artist SpectreS를 사용

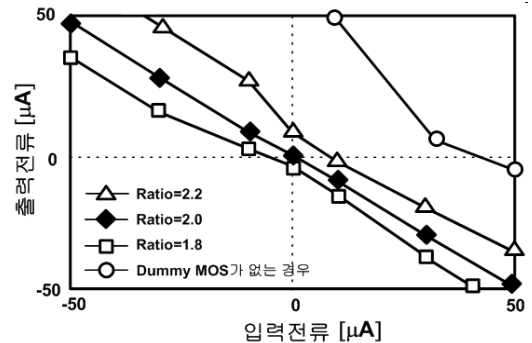


그림 4. 전류 전송비의 최적화 결과

하였으며 Dummy MOS 트랜지스터의 게이트 폭을 기준으로 1.2um에서 2.4um까지 변화시켰다. 시뮬레이션 결과에서 알 수 있듯이, SW3 트랜지스터의 게이트 폭이 Dummy MOS 트랜지스터의 약 2배가 될 때, 최적의 전류 전송비를 나타내고 있다. 또한 Dummy MOS 트랜지스터를 적용하지 않았을 경우, Charge Injection 효과에 의해 큰 전류 전송오차가 발생하는 것을 알 수 있다.

III. 전류모드 직병렬/병직렬 변환기

3.1 저소비전력용 전류 컷 회로 제안

제안된 전류 메모리 회로에 적용할 저소비전력용 전류모드 전류 컷 회로에 대해서 검토한다.

그림 5는 설계한 단일 전류 메모리 회로도들을 나타내고 있다. 일반적으로 전류원으로 사용되는 전류원과 동일한 구조를 취하고 있지만, 입력값을 전류로 하여 그 값을 일정 시간 저장하고 출력하기 위해 저장 역할을 수행하는 Memory MOS 트랜지스터에 스위치(SW3)를 연결하고 전류 전송오차를 최소화하기 위해 Dummy MOS 트랜지스터를 연결하였다. 그림 2(a)에서 설명한 바와 같이 기존의 전류 메모리 회로는 Sample/Hold/Output mode 동작 중 특히, Hold mode에서는 다른 전류 메모리 회로의 동작 동안 스위치의 동작은 일어나지 않으나 전압원(Vdd)에 의해 전류가 흐르고 있다. 이 전류값에 의해 불필요한 소비전력의 증가가 발생하게 된다. Sample mode와 Output mode 동작 시에 필요한 전류만을 공급하여 소비전력을 저감시킬 수 있는 전류 컷 회로를 기억동작에 지장이 없도록 간략한 구조로 적용할 필요가 있다.

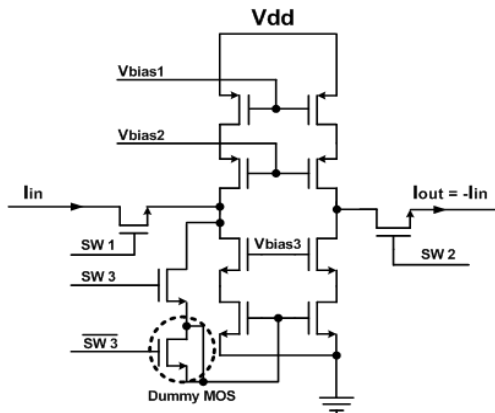


그림 5. 전류 메모리 회로도

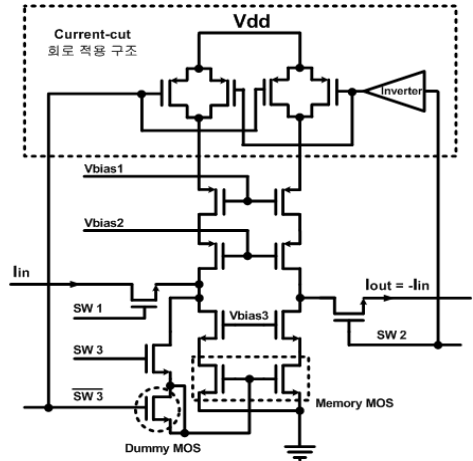
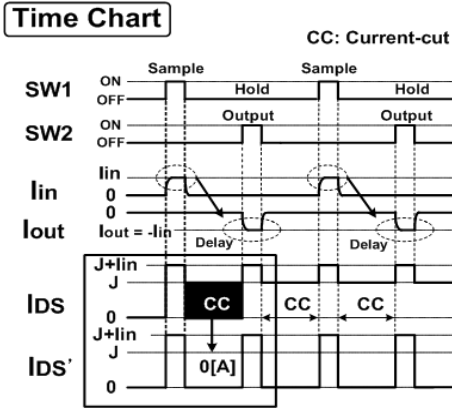


그림 6. 전류모드 전류 컷 회로

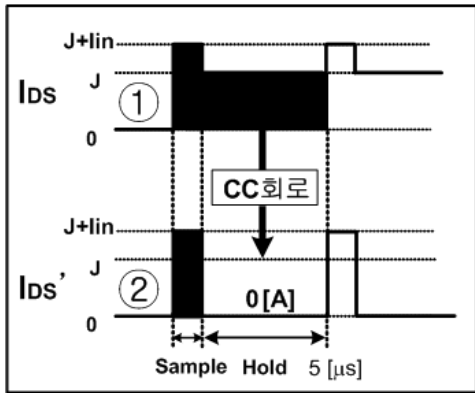
그림 6은 새로이 적용한 전류 컷 회로의 구조를 나타낸다. 전류 컷 회로의 동작은, Sample mode에서는 SW1과 SW3이 ON(3.3V)이 되어 Memory MOS에 입력된 전류값이 기억된다. 이때 $\overline{SW3}$ 에는 역위상이 가해지므로 OFF가 된다. 전류 컷 회로는 전류원 회로 구성과 같은 pMOS로 이루어져 있으므로 게이트에 OFF(0V) 신호가 가해져 정상적으로 전류원의 전류값을 흘려준다. 하지만, 불필요한 전류가 흐르는 Hold mode에서의 동작은 SW3은 OFF가 되고 역위상인 $\overline{SW3}$ 은 ON이 되어 전류 컷 회로의 게이트 소스간 동전위를 가지므로 동작하지 않는다. 즉, 전류원의 전류를 차단하게 된다. 반대편의 전류 컷 회로는 Sample/Hold mode에서 SW2의 OFF신호가 Inverter에 의해 ON신호가 게이트에 가해지므로 Hold mode에서 전류원으로 부터 흐르는 전류를 차단하게 된다.

전류 컷 회로의 동작은 그림 7의 타임차트와 같다. 그림 7(a)는 전류 컷 회로를 적용하기 전후의 전류 메모리 회로의 동작을 나타내고 있다.

Sample mode에서 입력된 전류값은 전류원에서 흐르는 전류값(J)에 더해져 전류 메모리 회로에 저장되어 다음 단계인 Hold mode에서는 입력전류를 제외한 불필요한 전류원 전류가 흐르고 있는 것을 알 수 있다. Output mode에서는 Sample mode에서 저장된 전류값(lin)이 반전되어 출력되고 있음을 알 수 있다. 이와 같이 Hold mode에서 흐르는 전류원 전류는 아무런 동작을 하지 않음에도 불구하고 전원전압에 비례해 불필요한 전류를 소모하고 있다. 소비전력면에서 고려하면 그림 7(b)와 같이



(a) 전류 메모리 회로 타임차트

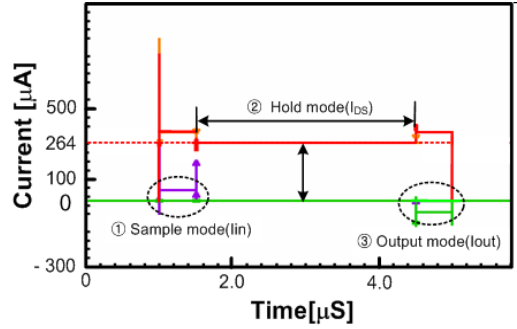


(b) 전류 컷 회로 적용 타임차트

그림 7. 전류 컷 회로 타임차트

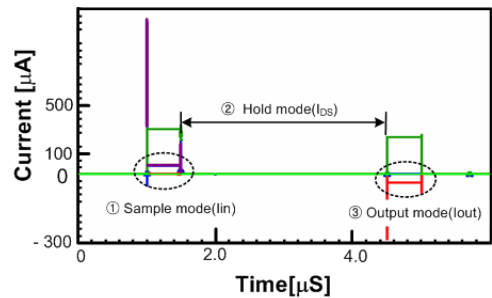
전원전압과 전류원 전류의 곱에 의한 면적으로 환산할 수가 있다.

제안된 새로운 전류 컷 회로를 적용하였을 경우, 시뮬레이션 결과는 그림 8에 나타내었다. 그림 8(a), (b)는 각각 전류 컷 회로 미적용 및 적용 시, 50[μA]의 입력전류와 264[μA]의 전류원 전류를 기준으로 Memory MOS와 실제 Sample/Output mode에 흐르는 전류값(IDS, I_{in}, I_{out})을 나타내고 있다. 시뮬레이션 결과와 같이 전원전압과 Sample mode에서 동작하는 Memory MOS의 전류값은 동일하다. 그러나 Hold mode에서 동작하는 전류값이 264[μA]에서 0[μA]로 감소한 것을 알 수 있다. 결과로 얻어진 수치를 이용하여 정량적으로 계산해 보았다. 한 사이클(5us)당 소비전력 감소는 전류 컷 회로 적용 시 기존 전류 메모리 회로의 소비전력에 비해 약 80%의 소비전력의 절감 효과가 가능하다.



- ① Sample mode시 직병렬/병직렬 변환기 입력전류(I_{in}): 50[μA]
- ② Hold mode시 전류원전류(I_{bs}): 264[μA]
- ③ Output mode시 직병렬/병직렬 변환기 출력전류(I_{out}): -50[μA]

(a) 전류 컷 회로 미적용 시 전류값



- ① Sample mode시 직병렬/병직렬 변환기 입력전류(I_{in}): 50[μA]
- ② Hold mode시 전류원전류(I_{bs}): 0[μA]
- ③ Output mode시 직병렬/병직렬 변환기 출력전류(I_{out}): -50[μA]

(b) 전류 컷 회로 적용 시 전류값

그림 8. 전류 컷 회로 시뮬레이션 결과

3.2 전류 컷 회로를 적용한 전류모드 직병렬 / 병직렬 변환기 회로

본 절에서는 제안된 저전력형 전류 메모리 회로를 적용한 전류모드 직병렬/병직렬 변환기에 대해서 검토한다.

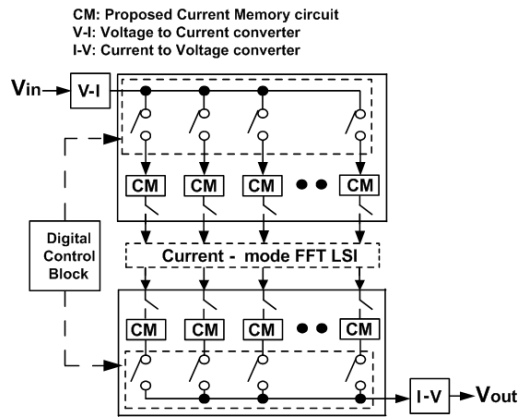


그림 9. 제안 전류모드 직병렬/병직렬 변환기

제안된 직병렬/병직렬 변환기는 전류 메모리 회로와 각 제어 스위치 제어에 사용되는 디지털 제어 블록(Digital Control Block)을 포함한다. SI 회로를 이용한 전류모드 신호처리를 위해 직병렬/병직렬 변환기 전후 단에 전압-전류, 전류-전압 변환기를 위치시켰다. 이를 통해 먼저, 직병렬 변환기에 각 전류 메모리 회로는 입력되는 전류 값으로 샘플 되어 저장된다. 디지털 제어 블록의 출력신호에 따라 병렬로 1 cycle에 병직렬 변환기로 전송이 되며 동일기능의 병직렬 변환기의 전류 메모리 회로에서 각각의 설정된 cycle에 맞게 전류-전압 변환기로 전송된다. 그림 9는 전류모드 OFDM FFT LSI를 가정한 전류모드 직병렬/병직렬 변환기를 나타내고 있다. 제안된 전류모드 직병렬/병직렬 변환기의 full-chip 시뮬레이션 결과는 그림 10과 같다. 시뮬레이션 툴은 Cadence Analog Artist SpectreS를 사용하였다. 입력된 정현파 전류 값이 설정된 디지털 제어 블록의 샘플링 시간(15ns)에 따라 이산화 된 파형으로 샘플링 되어 출력된다. 입력 전류치의 정확한 샘플링이 가능한 최소 샘플링 시간을 기준으로 한 결과이며 67MHz의 동작주파수 확보가 가능한 것을 알 수 있다.

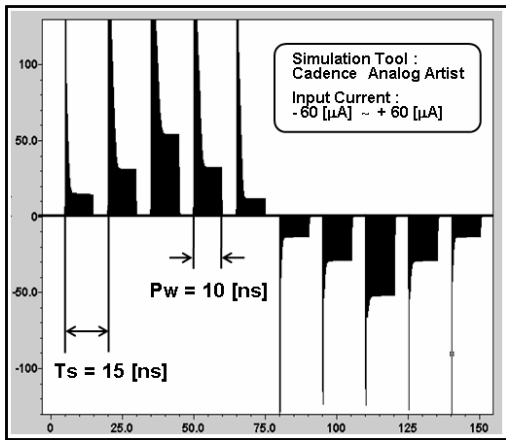


그림 10. 전류모드 직병렬/병직렬 변환기 시뮬레이션 결과

IV. 실험 및 결과

그림 11은 제안된 변환기의 칩 사진을 나타내고 있다. 모델 트랜지스터는 BSIM3(Berkeley Short-channel IGFET Model3)의 n-type MOS(nMOS)와 p-type MOS (pMOS)이며 Foundry는 AMS의 0.35um 공정을 사용하였다.

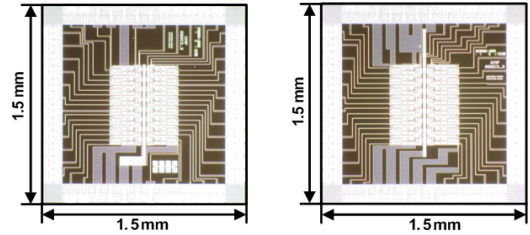


그림 11. 전류모드 직병렬/병직렬 변환기 칩 사진

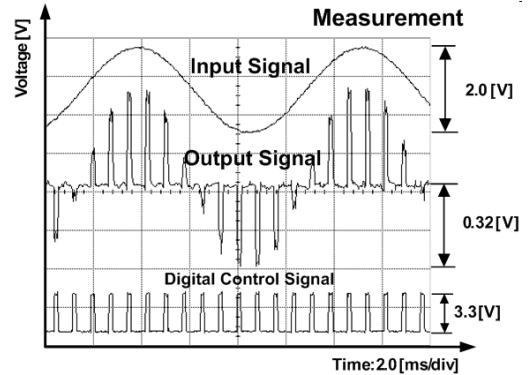


그림 12. 전류모드 직병렬/병직렬 변환기 실측 결과

칩에 대한 실측 결과는 그림 12와 같으며 입력신호와 디지털 제어 블록의 제어신호, 그리고 병직렬 변환기의 전류값을 전류-전압 변환기를 통해 전압값으로 나타내고 있다. 최하단의 디지털 제어 블록으로부터 일정 cycle의 신호를 발생시키면 이 신호에 따라 입력된 정현파 값이 이산화 된 출력 값으로 변환되어 전류모드를 이용한 아날로그 신호 처리의 가능성을 제시하였다. 또한 저전력형 전류모드 직병렬/병직렬 변환기 회로의 성능 확인으로 인해 전류모드를 이용한 FFT LSI의 활용이 가능해 졌으며 일반적으로 사용되는 전압모드 디지털 시스템의 베이스밴드단 구성 요소들과 전류모드 아날로그로 구현한 수신단의 소비전력 비교 결과를 표 1에 나타내었다.

일반적인 디지털 시스템에서는 A/D변환기의 소비전력이 총 소비전력의 약 96%를 차지하여 베이스밴드단 신호처리에 있어 커다란 부담이 되고 있다. 그러나, A/D변환기가 불필요한 전류모드 OFDM 통신방식은 1 clock에서 연산처리가 가능하기^[3] 때문에 디지털 FFT LSI에 비해 적은 전력소비를 나타내고 있으며 본 논문에서 제안한 저전력형 전류모드 직병렬/병직렬 변환기는 1.1mW의 전력을 소비한다. 따라서 총 소비전력은 24.1mW는 Digital의

표 1. 전압모드 디지털 시스템과 전류모드 아날로그 시스템의 수신단 구성요소 소비전력 비교

	Digital	Analog	비 고
V-I 변환기	X	6 mW	Power of V-I Converter = 2x2.5 mW
I-V 변환기	X	6 mW	Power of I-V Converter = 2x3 mW
A/D 변환기*1	700 mW	X	14bit, 20Msps
64point FFT LSI	22.36 mW *2	12 mW	Power of 64point FFT LSI = (8x240mW) x (25nsec/4μsec) = 12 mW
직병렬/병직렬 변환기	≒ 0	1.1 mW	Power of S/P,P/S Converter = (8x21.2mW) x (25nsec/4μsec) = 1.1 mW
총 소비전력	722.36 mW	24.1 mW	

*1 Analog Device, A/D converter AD9248, 2005.
 *2 IEEE ISCAS 2006, A Low-Power 64-point FFT/IFFT Design for IEEE 802.11a WLAN Application, p4523~4526. 0.13μm TSMC CMOS process 22.36mW at Vdd =1.2

총 소비전력의 1/30 정도에 불과하여 저소비전력으로 베이스밴드단 수신부의 신호처리가 가능하다고 할 수 있다.

V. 결 론

본 연구의 목적인 OFDM 시스템을 이용한 고속 무선통신 시스템의 저전력화를 위해, A/D, D/A 변환기가 필요 없는 아날로그 신호처리 시스템에 대해 논의 하였다.

병렬 입출력 구조를 가지고 있는 OFDM FFT LSI를 활용하기 위해 제안된 저전력형 전류모드 직병렬/병직렬 변환기는 전류모드 FFT LSI를 포함한 무선통신 시스템의 베이스밴드단에 활용 가능성을 제시하였다. 또한, 저전력형 설계 기법으로서 전류 컷 회로를 적용하여 이를 통해 한 cycle당 약 80%의 소비전력의 절감 효과가 가능한 것을 확인할 수 있다. 0.35um CMOS 공정을 이용하여 실측한 결과, 제안된 저전력형 전류모드 직병렬/병직렬 변환기의 일정 cycle의 신호에 따라 입력된 정현파 값이 전류전압 변환기를 통해 이산화 된 값으로 변환되어 출력된다. 이를 통해 전류모드를 이용한 아날로그 신호 처리의 가능성을 제시하였으며 전류모드 OFDM용 FFT LSI와의 활용을 통해 고속 및 저소비전력화가 가능한 아날로그 신호처리 분야에서의 폭 넓은 적용이 기대된다.

참 고 문 헌

[1] Seong-Kweon Kim, Jae Sang Cha, Hiroyuki Nakase and Kazuo Tsubouchi, "Novel FFT LSI for Orthogonal Frequency Division Multiplexing using

current mode circuit", *Japanese Journal of Applied Physics*, Vol. 40, no.10, pp. 2859-2865, 2001.4.30

[2] Terri S. Fiez, and David J. Allstot, "CMOS switched-current ladder filters", *IEEE, J. Solid-State Circuits*, Vol. 25, No. 6, pp. 1360-1367, December 1990.

[3] Bevan M. Baas, "A Low-Power, High- Performance, 1024-Point FFT Processor" *IEEE, J. Solid-State Circuits*, Vol. 34, No. 3, pp. 380-387, March 1999.

[4] G. Kumar and P.E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors", *IEEE Journal of Solid-State Circuits*, vol. 37, No. 10, pp. 1271-1281, Oct. 2002

[5] P.H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction", *IEEE Trans. Communication*, Vol. 42, No. 10, pp. 2908-2914, October, 1994.

박 용 운 (YongWoon Park)

정회원



1992년 2월 인하대학교 전기공학과 공학사
 1998년 3월 (주)효성중공업 자동화사업부
 2004년 3월 일본 東北대학교 전자공학과 공학석사
 2007년 3월 일본 東北대학교 전자공학과 공학박사

2007년 4월~현재 삼성전기(주) UC(Ubiquitous Solution) Team 책임연구원

<관심분야> Cognitive Radio, Noise Cancellation System

황 성 호 (SungHo Hwang)

정회원



1991년 2월 경북대학교 컴퓨터공학과 공학박사
 2004년 Postech 박사후 연구원
 2006년 Georgia Tech 박사후 연구원
 2007년 2월~현재 삼성전기(주) 중앙연구소 책임연구원

<관심분야> Cognitive Radio, 다중접속기술(MAC), 60GHz 대역용 MAC, 4세대 이동통신기술

차 재 상 (JaeSang Cha)

중신회원



2000년 일본 東北대학교 전자
공학과 공학박사
2002년 ETRI 이동통신연구소
무선전송기술팀 선임연구원
2008년 미국 플로리다 대학교
방문교수
2009년~현재 서울산업대학교
매체공학과 조교수

<관심분야> 디지털 방송전송기술, Cognitive Radio,
UWB, 홈네트워크 무선통신기술, 대역확산 및 다
중접속기술, 4세대 이동통신기술

김 성 권 (SungKweon Kim)

정회원



2002년 일본 東北대학교 전자
공학과 공학박사
2009년 국립목포해양대학교 해
양전자통신공학과 조교수
2009년~현재 서울산업대학교
매체공학과 조교수

<관심분야> 무선통신 LSI 설계,
주파수분배정책 및 주파수의 효율적 사용에 관한
연구, 고주파 회로 설계, 무선통신시스템

양 충 모 (ChungMo Yang)

정회원



1996년 2월 경북대학교 금속공
학과 공학사
1998년 2월 경북대학교 금속공
학과 공학석사
2004년 9월 일본 東北대학교전
자공학과 공학박사
2007년 3월 일본 東北대학교

2004년 10월~현재 삼성전기(주) 중앙연구소 eMD
센터 책임연구원

<관심분야> RF MEMS, Noise Cancellation System