

# 900MHz 대역 RFID 수동형 태그 전치부 설계 및 구현

준회원 황지훈\*, 오종화\*, 김현웅\*, 이동근\*,  
정회원 노형환\*, 성영락\*\*, 오하령\*\*, 박준석\*

## 900MHz RFID Passive Tag Frontend Design and Implementation

Ji-Hun Hwang\*, Jong Hwa Oh\*, Hyun-Woong Kim\*, Dong-Gun Lee\* *Associate Members*,  
Hyoung-Hwan Roh\*, Yeong-rak Seong\*\*, Ha-ryoung Oh\*\*, Jun-seok Park\* *Regular Members*

### 요 약

본 논문에서는 900MHz 대역 RFID 수동형 태그 전치부를 설계 및 구현하고 측정을 통해 검증하였다. 문턱전압(threshold voltage) 제거 회로 구조의 전압 체배기, 전류를 이용한 복조 회로, 온도 및 공정 보상회로를 포함한 EPC Global Class-1 Generation-2 UHF RFID 프로토콜에 만족하는 클럭 발생기 구조로 주요 블록을 설계하였으며, 전력차단 회로를 추가하여 동작의 안정성에 중점을 두었다. PWM(Pulse Width Modulation)을 이용한 변조기 구조로 입력단의 용량성 임피던스 부하 변조 방식을 이용하여 변조 동작을 검증하였다. 성능 검증을 위해 평가 보드에 CPLD(Complex Programmable Logic Device)를 삽입하여 디지털 신호 처리부의 기능을 통해 기본적인 태그 명령을 처리할 수 있도록 하여 설계된 태그 칩과 더불어 전체 태그 동작을 검증하였다. 삼성 0.18 $\mu$ m CMOS 공정을 이용하여 설계하였고, 인식거리는 1.5m내에 안정적인 동작이 가능하다. 15~100% 변조율의 신호를 복조하며, 온도 및 공정에 변화에 대해 9.6% 이하의 오차를 가진 클럭을 생성하였으며, 1m 거리에서 평균 소모전력은 약 71 $\mu$ W이다.

**Key Words** : RFID, RFID tag, UHF 대역, Passive tag, Vth Cancellation

### ABSTRACT

0.18 $\mu$ m CMOS UHF RFID tag frontend is presented in this paper. Several key components are highlighted: the voltage multiplier based on the threshold voltage terminated circuit, the demodulator using current mode, and the clock generator. For standard compliance, all designed components are under the EPC Global Class-1 Generation-2 UHF RFID protocol. Backscatter modulation uses the pulse width modulation scheme. Overall performance of the proposed tag chip was verified with the evaluation board. Prototype Tag Chip dimension is nearly 0.77mm<sup>2</sup> ; According to the simulation results, the reader can successfully interrogate the tag within 1.5m. where the tag consumes the power about 71 $\mu$ W.

### 1. 서 론

RFID 기술은 우리가 인지하지 못하고 지나치는 생활 전반에 폭 넓게 적용되고 있다. 출·퇴근시 이용

하는 버스카드, 옷가게의 도난 방지용 태그에서부터 건물 출입을 위한 출입증, 고속도로 통행까지 다양한 생활 영역에 분포하고 있다.

RFID는 태그, 리더기, 안테나 등의 하드웨어 분야

※ 본 연구는 지식경제부의 산업원천기술개발사업 일환으로 수행되었습니다. (과제번호 10033845). 연구비 지원에 감사드립니다.

\* 국민대학교 전자과 UCRC 실험실(jspark@kookmin.ac.kr), \*\*국민대학교 전자정보 통신공학부

논문번호 : KICS2009-11-547, 접수일자 : 2009년 11월 2일, 최종논문접수일자 : 2010년 7월 1일

와 미들웨어 및 시스템통합 등 운영시스템을 담당하는 소프트웨어 분야로 구분되며, 그 중 하드웨어 분야 내에 태그 부문이 가장 큰 비중을 차지하고 있다. RFID 활용의 제약 요인으로 초기 투자비용으로 태그의 가격 문제가 쟁점이 되는데, 현재 기술 수준으로 100만개 이상의 대량 생산에서도 태그가격이 낮아지지 않고 있음을 알 수 있다<sup>[1]</sup>. 이에 태그의 가격을 낮추기 위한 소형화 이슈뿐 아니라 태그 인식을 향상, 저전력화 등의 성능 보장이 요구되어 지고 있다.

기존의 상용화된 태그에서는 인식거리 성능 향상을 위해 쇼트키 다이오드를 이용하여 전압 체배기의 turn-on 전압을 낮추는 방법을 사용하였다. 하지만 본 논문에서는 쇼트키 다이오드의 추가적인 공정비용과 면적 문제를 보완하기 위하여 CMOS 공정을 이용한 MOSFET 문턱전압 제거회로 구조를 사용하여 문제점을 보완하였다. 그리고 기존의 포락선 복조회로를 대신하여 짧은 거리에서도 안정적인 복조가 가능한 전류모드 복조회로 구조로 설계하였다<sup>[2]</sup>. 또한 EPC Global Class-1 Generation-2 UHF(860~960MHz) RFID 프로토콜에 만족하는 동작 주파수를 양자화 오차 및 칩 제작과정 중 공정 변동 및 사용 환경의 온도에 기인한 오차를 고려하여 설계하였다<sup>[3]</sup>.

구현 회로의 검증을 위해 칩 제작 후 테스트 보드 제작을 통해 태그 전치부 특성을 측정 및 검증하였다.

## II. 본 론

### 2.1 태그 구조

본 논문에서 설계 및 구현한 900MHz 대역 수동형 태그의 전치부 블록을 그림 1에 나타내었다. 기존에 구현된 태그와 비교하여 복조효율을 높이기 위한 전류 모드 복조기의 사용으로 복조기의 위치를 조정하였다. 또한 태그 동작의 안정성을 높이기 위해 전력 차단 회로를 추가하여 기존 태그와 차별성을 두었다.

제한한 태그의 주요 특징으로 CMOS 기반의 MOSFET을 이용한 문턱전압 제거회로 구조를 이용

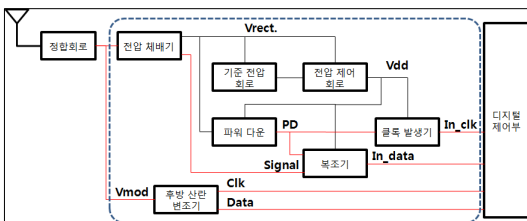


그림 1. 제한한 태그 칩 구조도

한 전압 체배기와 복조 효율을 높이기 위한 전류 모드를 이용한 복조회로, 그리고 EPC Global Class-1 Generation-2 UHF RFID 프로토콜에 만족하는 클럭 발생기가 있다.

### 2.2 전압 체배기(Voltage Multiplier)

전압 체배기는 태그 칩의 초단에 위치함으로 전체 태그 동작 여부에 중요한 역할을 한다. 리더로부터 고주파 신호를 수신해 전압 레벨을 높이고 정류 동작을 수행한다. 일반적으로 전압 체배회로는 쇼트키 다이오드를 이용한 다단의 디슨(Dickson) 구조로 설계 및 구현하였다.

본 논문에서는 쇼트키 다이오드의 공정비용과 면적 문제를 고려하여 MOSFET의 다이오드 커백션을 통해 다이오드를 대신하였으며 문턱전압을 낮추기 위한 방법으로 문턱전압 제거회로 구조로 설계함으로써 쇼트키 다이오드의 문제점을 해결하였다. 그림 2는 문턱전압 제거 전압 체배기 회로 구조를 나타내고 있다.

전압 체배기 출력은 입력의 전압 최대치(Vp)에서 MOSFET의 문턱전압의 차에 비례함으로 리더와 태그사이의 무선접속 특성을 결정하는 태그 측면에서 매우 중요한 성능 지표가 된다.

따라서 리더와 태그간의 거리가 가까워지면 능동소자가 견딜 수 있는 전압 레벨을 초과하여 태그의 전압 체배기 이후의 전치부가 포화되어 리더로부터 수신되는 명령을 제대로 인식할 수 없게 된다. 이런 현상을 방지하기 위하여 본 논문에서는 전압 체배기의 저장 커패시터 다음에 리미터(limiter) 회로를 추가하여 최대 전압을 2.1V이하로 제한하였다. 이는 0.18um 공정의 Thin oxide 소자가 견딜 수 있는 절대 전압(Absolute Voltage)인 2.7V에서 0.6V이상의 마진을 고려한 설계 제한 사항이 된다.

그림 3은 전압 체배기를 구성하는 단위 소자의

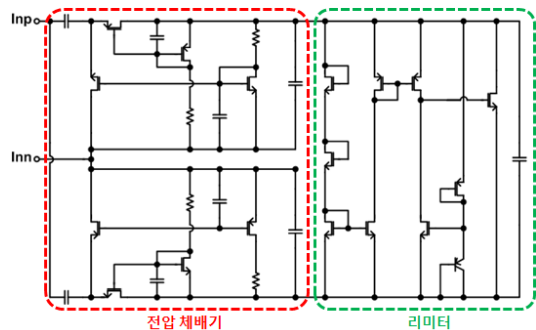


그림 2. 전압 체배기 구조

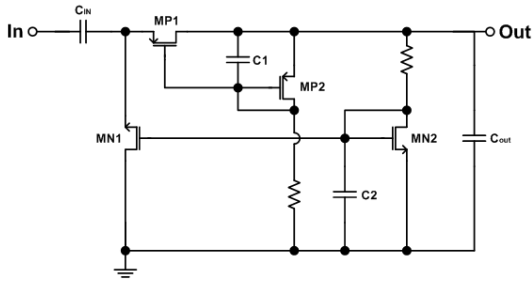


그림 3. 문턱전압 제거회로

Turn-on 특성을 개선하기 위한 문턱전압 제거회로를 나타내고 있다.

MP1과 MN1은 각각 C1, C2와 다이오드 커백션을 이루고 있다. 고주파 신호가 입력될 때 양의 입력 주기 동안 MP1이, 음의 주기 동안 MN1이 동작한다. 음의 주기에 MN1이 ON되며 C<sub>in</sub>에 전하를 충전하고 양의 구간동안 MP1이 ON되며 C<sub>out</sub>에 전하를 충전한다. 이때 MP1과 MP2, MN1과 MN2는 각각 같은 사이즈의 MOSFET으로 MP2의 문턱전압(VSG) 크기의 전압을 C1에 미리 저장해 두고 있고, 양의 입력구간에 MP1의 게이트 전압이 미리 문턱전압을 확보하고 있기 때문에 작은 입력전압에도 MP1이 문턱전압 이상의 입력 없이 동작이 가능하다. MN1의 동작은 MP1과 동일하다.

이 구조의 회로는 다른 구조에 비해 문턱전압 제거로 인한 효율 향상뿐만 아니라 MOS의 문턱전압을 복사해서 사용함으로써 온도 및 공정 변화에 대한 영향에 둔감한 특성이 있다.

1.5m보다 짧은 거리에서 리미터 회로에 의해 제한된 약 2.1V의 DC전압이 출력되고, 1.5m거리에서 약 1.8V 전압이 출력됨을 알 수 있다.

표 1. 거리에 따른 전압 체배기 출력 및 정류효율

거리 (m)	인가전력		체배전압 (V)	정류효율 (%)
	(mV)	(dBm)		
0.1	450	26.5	2.07	9.7
0.2	112	20.5	2.07	22.0
0.33	41	16.2	2.07	26.8
0.55	15	11.7	2.07	24.7
0.9	5.5	7.4	2.07	19.2
1.0	4.5	6.5	2.07	17.7
1.5	2	3	1.76	12.3

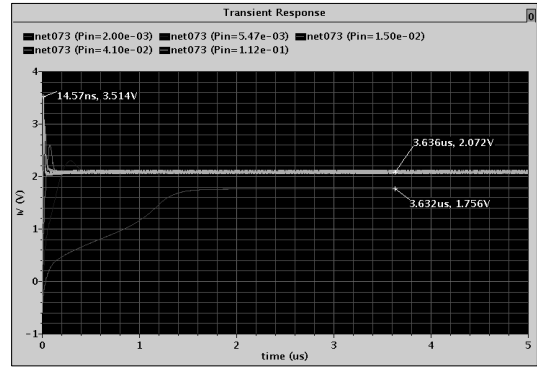


그림 4. 거리에 따른 전압 체배기 동작

### 2.3 기준전압회로(Bandgap Reference)/ 전압제어회로(Voltage Regulator)

RFID 수동형 태그는 전압 체배기의 출력 전압(DC output)을 이용하여 전체 회로의 공급전압(supply voltage)으로 사용한다. 그러나 체배기의 출력 DC전압은 리미터 회로의 제한을 받지 않는 거리에서는 제한을 받을 때와 비교해 수백mV의 전압 변동(ripple 발생)이 있으며, 또한 온도에 따른 전압 변동이 생기므로 직접 공급전압으로 사용할 수 없다. 따라서 기준전압회로를 이용하여 회로의 공급전압에 대해 독립적인, 온도에 따른 오차가 작은 새로운 공급전압의 생성이 필요하다.

기존의 기준 전압 회로 방식은 MOSEFET을 이용한 자가 바이어싱(self biasing) 회로를 이용한 기준전압회로를 일반적으로 사용한다. 하지만 이 방식은 1.5V 미만의 공급전압 레벨에서도 동작을 보장해야할 때 충분한 헤드룸(headroom) 마진 확보가 어렵다는 단점이 있다. 이에 본 논문에서는 연산증폭기 케환을 이용한 구조를 사용하여 전체 회로에 안정적인 DC 전압을 공급할 수 있도록 하였다.

시뮬레이션 결과 각 거리에 따라 1.26V의 일정한 DC전압 출력을 확인하였고, 10mV의 리플을 포함하여 전압변동(1.7~2.1V), 온도변동(-25~100°C)에 따라 최대 1,460ppm의 변동이 나타났다. PSRR(Power Supply Rejection Ration)은 100kHz에서 -31dB이하의 성능을 시뮬레이션 결과를 통해 확인하였다.

전압제어 회로는 선형성 구조로써 일반적으로는 연산 증폭기의 출력이 NMOS의 게이트 입력을 통해 임피던스가 낮은 소스단자로 출력되는 구조이다. 그러나 본 논문에서 설계한 전압제어 회로구조는 기준전압회로 출력 DC 전압이 낮고, 연산증폭기의 출력 DC 전압도 낮기 때문에 최소한의 문턱전압 소모가 요구되

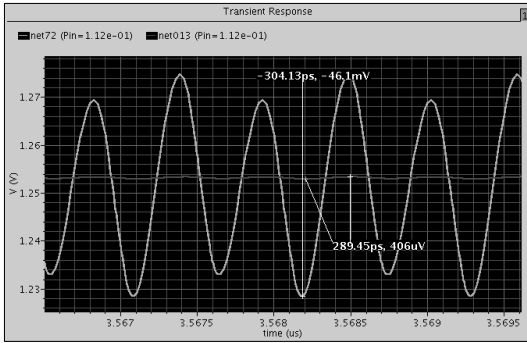


그림 5. 기준전압회로 출려과 전압제어회로 출력 리플 비교

는 NMOS 대신 PMOS를 사용하여 설계하였다. 따라서 출력단의 임피던스가 크기 때문에 어느 정도의 로딩 이펙트(Loading Effect) 감수해야하지만 이를 연산 증폭기의 이득을 통해 보완하였다.

2.4 복조기(Demodulator)

기존의 태그의 복조기 방식을 살펴보면 구조가 간단한 포락선 검파를 이용한 진폭편이변조(ASK, Amplitude Shift Keying) 복조기가 가장 많이 사용된다. 그렇지만 이 방식은 비교기의 기준전압을 위한 저역통과여파기(LPF) 구현에서의 면적 문제가 발생하고 거리에 따라 기준전압의 크기가 달라져야함에 따라 근거리 영역에서 전압을 이용한 복조의 어려움이 있다는 단점이 있다. 아래 그림 6에서는 전압과 전류를 이용한 복조방법의 비교로써 15%의 변조율을 갖는 신호를 수신할 때 근거리 영역에서 복조 성능을 비교하였다.

그림 6.에서와 같이 근거리로 올수록 전압 레벨은 포화되는 반면 전류는 선형성을 유지하는 장점이 있음을 알 수 있다. 본 논문에서는 기존의 복조기의 문제점을 보완하기 위해 전압 체재회로에서 입사 전력에 대한 전류의 변화를 이용하는 전류를 이용한 복조 방식을 적용하였고, 그림 7에서와 같은 구조의 전류 모드 복조 회로를 설계하였다<sup>[2]</sup>.

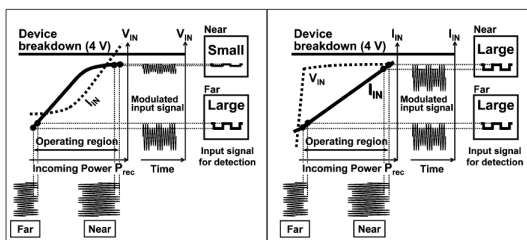


그림 6. 전류와 전압 복조 비교

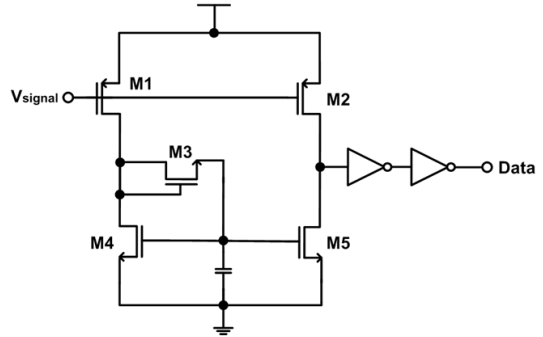


그림 7. 전류모드 복조기

전류 모드 복조기의 동작 원리를 살펴보면, 전압 체재로부터 전류의 변화를 전압으로 변환한 Vsignal 이 전류모드 복조기의 입력으로 M1과 M2에 인가된다. Vsignal이 LOW로 동작이 될 때 M1과 M2의 VSG가 큰 값을 가짐에 따라 두 경로에 큰 전류가 흐르게 된다. M1 경로에 흐르는 큰 전류는 M3의 다이오드 커넥션을 통과하여 커패시터에 전하를 충전하고 M5를 ON시킴에 따라 인버터의 입력을 LOW 상태로 만든다. 두 단의 인버터를 거친 Data 출력은 Vsignal 값인 LOW의 값을 복조해 낸다. 반면 Vsignal이 HIGH인 경우에는 M5가 OFF 상태로 인버터의 입력에 HIGH가 인가되고 Data 출력은 Vsignal 값인 HIGH가 출력된다.

그림 8은 구현한 태그 전체 블록에서 변조율에 따른 복조기 동작을 시뮬레이션한 결과이다. 시뮬레이션은 15%에서 100%까지 변조율에 대한 복조기의 복조 동작을 검증하였고, 시뮬레이션 결과를 통해 15~

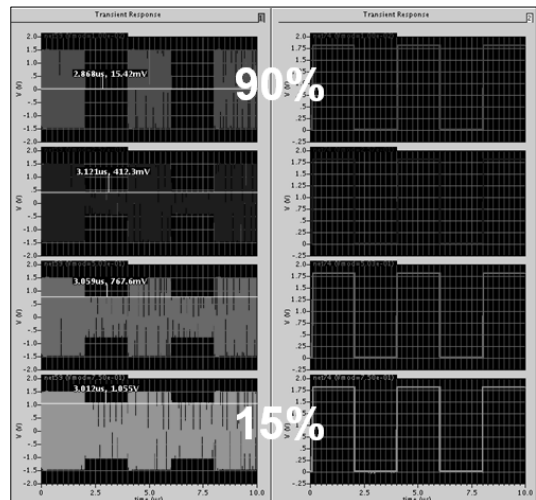


그림 8. 변조율에 따른 복조기 동작

100%까지 변조가 가능함을 알 수 있었다. 이는 낮은 변조율로 리더가 송신할 때 태그는 LOW 구간에서도 전압 체배 동작이 가능하므로 전압 체배기의 성능을 높일 수 있는 장점이 있다.

2.5 클럭 발생기(Clock Generator)

UHF 대역 RFID 태그에서는 낮은 전력 소모와 소형화 문제로 인해 일반적인 클럭 발생기 회로 구조인 LC 또는 RC 오실레이터 구조를 사용하지 않는다. 따라서 낮은 전력 소모와 소형화에 중점을 둔 링 오실레이터 구조가 태그에 사용된다. 클럭 발생기의 출력 클럭은 디지털 처리부의 동작 클럭으로 사용되며 EPC Global Class-1 Generation-2 UHF RFID 프로토콜에 따라 여러 가지 TRcal과 BLF(Backscatter-Link Frequency) 상황에 따른 각각의 허용오차(FT, Frequency Tolerance)를 맞추어야 하기 때문에 태그의 클럭 발생기 설계시 생성되는 클럭의 값과 오차범위에 대한 계산이 요구된다.

본 논문에서 설계하는 삼성 0.18um 공정에서의 시뮬레이션 결과 온도 및 공정 보상회로를 적용한 클럭 발생기의 출력 주파수 오차가 2% 이내로 설계가 가능함을 확인하였다. 또한 클럭 발생기의 클럭 값과 오차 범위에 대한 계산 방법을 적용하여 온도 및 공정의 코너 환경을 고려한 결과 3.84MHz의 출력 주파수가 10%이내의 오차범위 내의 주파수를 출력할 때 디지털 처리부의 동작 주파수로 사용이 가능함을 계산함으로써 클럭 발생기의 출력 주파수가 3.84MHz가 되도록 설계하였다.

아래 그림 9는 본 논문에서 설계한 링 오실레이터와 온도 및 공정 보상회로 구조이다.

온도 보상 회로의 출력은 링 오실레이터의 블록 MP의 게이트로 인가되어 오실레이터 회로의 전류를 결정한다. 온도와 공정 변화에 따라 안정된 전류 공급을 위해 MP의 온도에 따른 문턱전압 변화를 확인하였다.

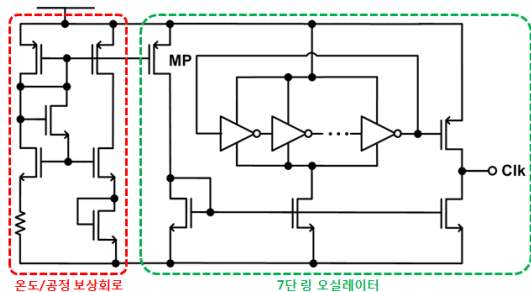


그림 9. 클럭 발생기 구조

포화 영역(saturation region)에서 PMOS의 전류 공식은 식(1.1)과 같다.

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{TH}|)^2 \quad (1)$$

공정변수 및 설계 파라미터를 제외한 (VSG - |VTH|)의 값이 일정하게 유지될 때 일정한 전류를 생성할 수 있다. 온도가 올라감에 따라 문턱전압이 낮아짐으로 소스와 게이트 양단의 전압 역시 낮아져야 한다. MP의 소스전압은 공급전압에 고정된 값이므로 온도가 높아짐에 따라 게이트 전압이 높아져야 일정한 전류 공급이 가능하다. 따라서 온도 보상회로 출력은 온도 변화에 따른 양의 기울기를 갖는 형태의 출력전압 특성이 필요하다.

그림 10은 양의 기울기를 갖는 온도 보상회로 출력 전압 시뮬레이션 결과이다. 시뮬레이션 결과 온도 보상회로 출력은 0.725[mV/°C]로 온도에 비례하는 특성을 확인하였다.

공정별로 온도에 따른 클럭 발생기의 출력 주파수를 PSS(Periodic Steady State) 시뮬레이션 통해 확인하였고, 그 결과를 그림 11에 나타내었다. 그리고 결과를 표 2에 오차와 함께 정리하였다.

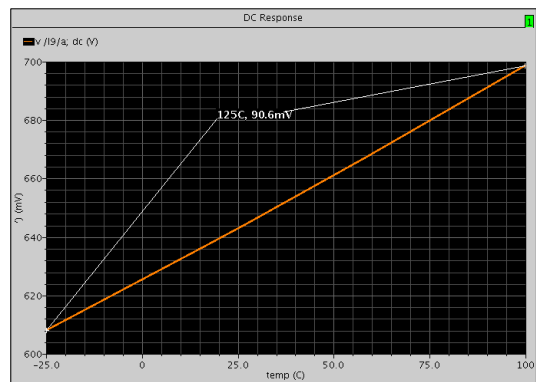
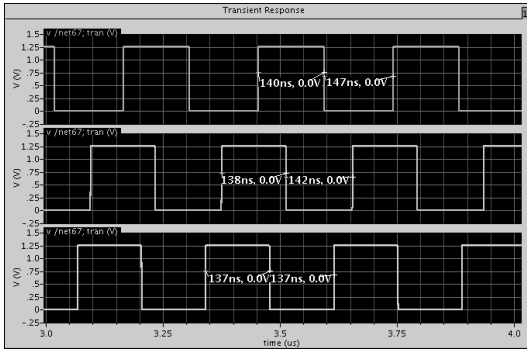


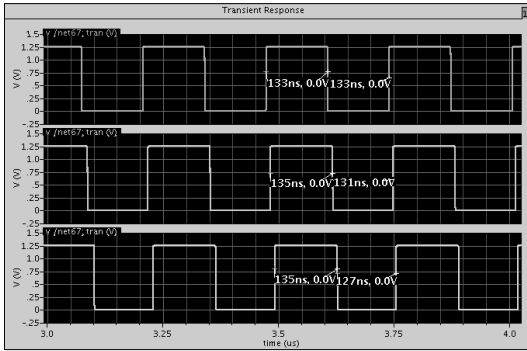
그림 10. 온도 보상회로 출력

표 2. 온도 및 공정변화에 따른 클럭 발생기 출력 주파수 및 오차

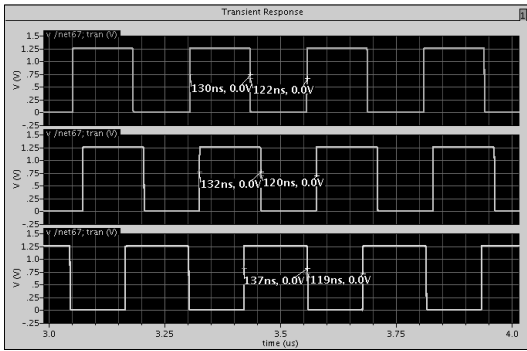
온도(°C) \ 공정	-25	27	100
ss	3.47 (9.6%)	3.57 (7.0%)	3.65 (4.9%)
nn	3.75 (2.3%)	3.77 (1.8%)	3.80 (1.0%)
ff	3.96 (3.1%)	3.97 (3.4%)	3.90 (1.6%)



Slow(ss)



Nomal(nn)



Fast(ff)

그림 11. 공정 및 온도변화에 따른 출력 주파수의 듀티 비

시뮬레이션 결과 3.5%의 최대 오차를 확인하였고 이는 디지털 처리부 동작 클럭 인가 시 안정된 동작 클럭으로 역할을 하기에 충분함을 알 수 있었다. 또한 클럭 발생기 회로는 보상회로를 포함하여 공급전압 1.25V에서 5.09uA로 저전력으로 동작함을 확인하였다.

그림 12에서는 태그 전처부의 주요 블록을 시뮬레이션한 결과이다. 주요 블록 시뮬레이션 후 각 블록별 소모 전력을 표 3에 정리하였다.

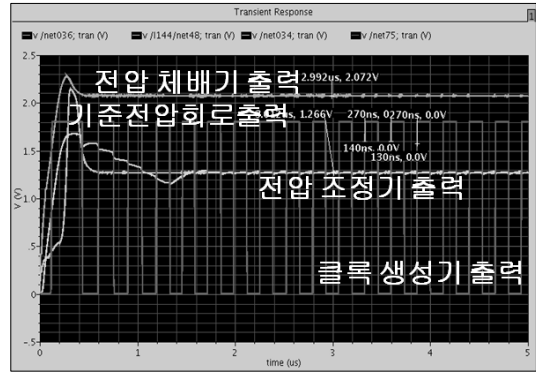


그림 12. 주요 블록 시뮬레이션

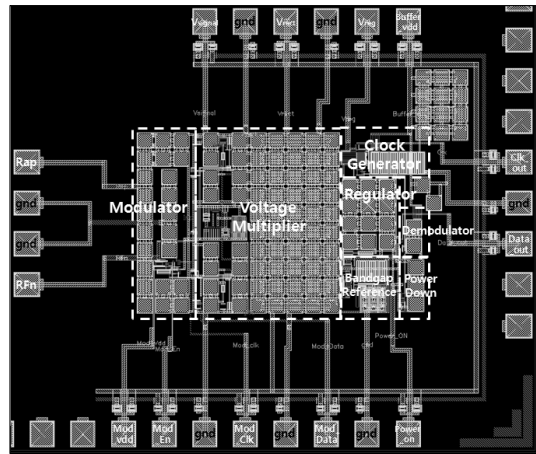


그림 13. 태그 칩 레이아웃

표 3. 1m 거리에서 태그 칩 소모전력

블록	공급전압(V)	평균전류소모(uA)	평균전력소모(uW)
기준전압회로	2.05	6.03	12.36
전압조정회로	2.05	3.98	8.16
클럭 발생기	1.25	5.09	6.36
복조기	1.73	22.33	38.63
변조기	1.25	4.77	5.96
합계			71.47

### III. 실험

설계한 태그 칩의 검증을 위하여 아래 그림 14 테스트 보드를 설계하고 측정하였다.

TAG\_V1.0 테스트 보드는 아날로그 파트와 디지털 파트로 구분된다. 테스트를 위해 UHF RFID(860~960MHz) 안테나를 사용하여 리더로부터 신호를 인가하여 정합회로를 지나 발룬(balun)을 통해 차동신호

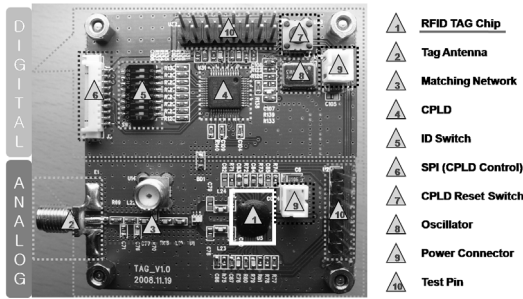


그림 14. TAG\_V1.0 테스트 보드와 주요 소자

를 설계한 태그 칩으로 인가하도록 하였다. 태그 칩의 출력이 되는 리더로부터 복조된 데이터와 디지털 제어회로의 동작 클록은 CPLD로 입력된다. CPLD (Complex Programmable Logic Device)는 디지털 제어부로 기본적인 명령 처리뿐만 아니라 CRC(Cyclic Redundancy Check), 인코더(Encoder), 디코더(Decoder), 레지스터(Register) 등의 기능도 수행한다. 설계한 테스트 보드를 이용하여 태그 칩 전체의 동작을 검증하였다.

태그의 초단에 위치한 전압 체배기 동작 측정에서 요구되는 결과는 태그 동작을 위한 공급전압 생성과 리더 신호 데이터의 전류 레벨을 획득하여 복조기로 전달하는 동작이다. 측정 결과 전압 체배기 동작 측정 결과 출력 정류 파형이 약 1.25V의 낮은 전압에서 제한되는 현상을 측정을 통해 확인하였다. 이는 설계한 리미터 회로에서 제한되는 전압을 설계할 때 칩 Layout 과정에서 NMOS의 바디(Body)를 각 MOSFET의 소스(Source)에 연결하기 위해 Deep-well과 pwell의 Layer를 사용함에 따른 오류로 분석된다. 또한 태그 칩의 측정을 위해 칩 그라운드 설정으로 인해 차동입력 신호의 왜곡이 발생함으로써 인식거리를 단축시키는 현상이 발생하게 되었다.

전압 체배기 이후 다음의 블록 검증을 위해 테스트를 위한 전압 체배기 출력 핀을 통해서 2V의 전압을 인가하고, 먼저 기준전압회로 및 전압제어회로의 동작

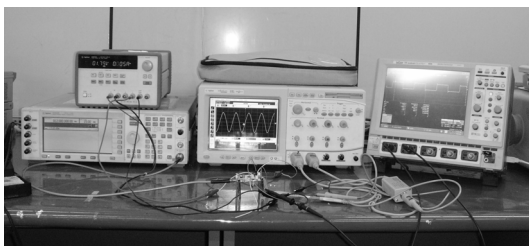


그림 15. 태그 칩 동작 측정 환경

을 검증하였다. 그림 16은 전압제어회로의 출력파형으로 1.25V를 목표로 설계하였으며, 측정결과 1.16V의 출력을 확인하였다.

위의 그림 17은 클록 발생기 측정 결과이다. 계산을 통해 설계한 클록 주파수는 3.84MHz이며, 10% 이내의 오차를 허용하도록 설계하였는데, 측정결과 3.52MHz의 클록 주파수를 측정하였으며, 오차는 8.3%이며, 듀티 비는 49.6%로 안정적으로 동작함을 확인하였다.

다음으로 복조기 검증을 위해 전압 체배기로부터 인가되는 Vsignal 신호를 함수발생기(Function Generator, Agilent 33220A)를 통해 인가하였다. 인가된 신호는 리더와 태그간의 간격을 고려하여 1m를 기준으로 근거리와 원거리에 대해 측정하였다. 그림 18은 복조기의 데이터 입력과 출력을 측정한 그림으로 (a)는 HIGH와 LOW 신호의 레벨 차가 적은 근거리 환경이며, (b)는 원거리 환경에 대한 측정 결과이다. 측정결과 전류의 변화에 따라 전압 값의 HIGH / LOW 가 1V / 800mV 로 신호 레벨 차이가 적게 나

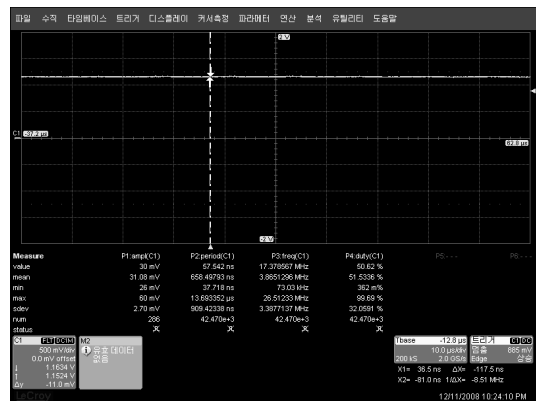


그림 16. 기준전압회로 출력 파형

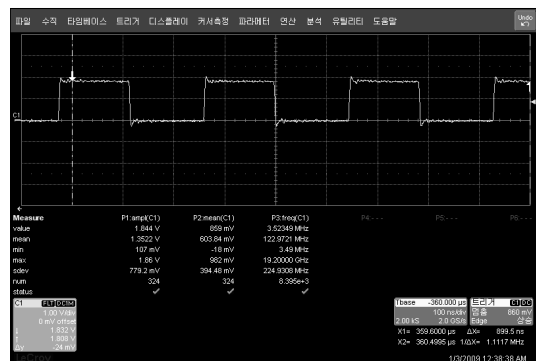


그림 17. 클록 발생기 출력 파형

도 안정적으로 복조기가 동작함을 확인 할 수 있었다.

태그칩 설계시 전치부 구조만 설계함에 따라 PWM 변조기는 외부에 디지털 신호를 따로 인가하여 측정하였다. 변조기 출력 파형 검증을 위해 태그 칩에 CW(지속파)를 인가하고 PWM 동작을 위한 클럭과 데이터 신호를 함수 발생기를 이용하여 인가하는 방법으로 변조기 동작을 측정 및 검증하였다. 그림 19는 태그 칩에 CW를 인가할 때 태그 칩에 인가되는 파형

을 측정함으로써 변조기의 동작을 검증한 결과이다.

측정결과 데이터 HIGH일 때 Pulse Width는 415ns, LOW일 때 142ns로 설계와 같이 약 3배의 Pulse Width가 생성됨을 측정을 통해 확인하였다.

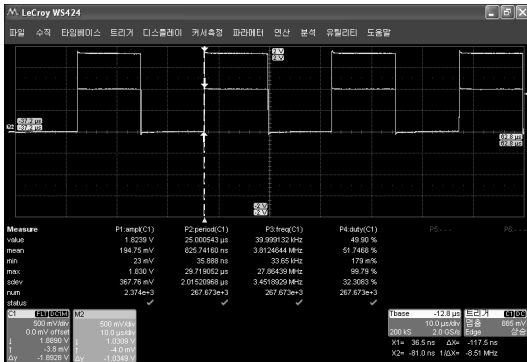
#### IV. 결 론

900MHz 대역 RFID 수동형 태그 전치부를 설계 및 구현하고 태그 칩 테스트 보드를 통해 측정 및 검증하였다. 문턱전압(threshold voltage) 제거 회로 구조의 전압 체배기, 전류를 이용한 복조 회로, 온도 및 공정 보상회로를 포함한 EPC Global Class-1 Generation-2 UHF RFID 프로토콜을 만족하는 클럭 발생기 구조로 주요 블록을 설계하였으며 파워다운 회로를 추가하여 정류동작의 안정성에 중점을 두었다. PWM(Pulse Width Modulation)을 이용한 변조기 구조로 입력단에 용량성 임피던스 부하 변조 방식을 이용하여 변조 동작을 검증하였다.

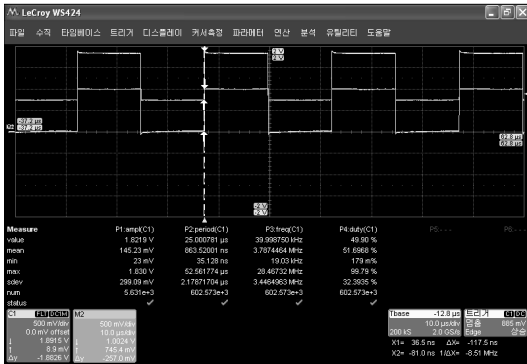
기준전압회로와 전압제어회로를 통해 1.16V의 공급전압이 생성됨을 확인하였고, 또한 3.52MHz의 클럭 생성도 확인 할 수 있었다. 거리에 따른 복조기 성능을 측정을 통해 검증하였으며, 설계한 복조기 동작을 확인하였다. 태그 칩은 1m거리에서 71uW의 전력 소모를 하였고, 15~100%의 변조율에 대한 신호의 복조가 가능함을 보였다.

본 논문은 국내에서는 태그 칩에 관련된 연구논문이 미비한 가운데 태그 설계를 위한 설계 중점 사항을 알아보고 내부회로의 동작을 분석하였으며, 칩 제작을 통해 구현하고 실험 결과로 검증하였다.

향후 연구 방향으로는 본 논문에서 설명한 각 블록의 구조 및 기능을 바탕으로 동작 모드에 따라 회로 동작의 안정성을 보장하고, 태그 전력 소모를 최소화시키는 방법을 연구하여 태그 성능 향상을 높이는 방향으로 진행할 예정이다.



(a) 근거리 환경



(b) 원거리 환경

그림 18. 거리에 따른 복조기 출력 파형



그림 19. 변조기 동작에 따른 태그 칩 입력신호 파형

#### 참 고 문 헌

- [1] 조현승, "RFID 활용 확산을 위한 정책 방향," e-KIET 산업경제 정보, 제395호, pp.1-12, 2008년 4월
- [2] H. Nakamoto, et al., "A Passive UHF RF Identification CMOS Tag IC Using Feffoelectric RAM in 0.35-µm Technology," IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.42, No.1, JANUARY 2007.



[3] EPCglobal Inc., “EPCTM Radio-Frequency Identity Protocols Class-1 Generation-2 UHF RFID Protocol for Communications at 860 MHz - 960 MHz Version 1.2.0,” EPCglobal Inc, 2007.

이 동 군 (Dong-Gun Lee)

준회원



2007년 2월 국민대학교 전자공학  
학과  
2009년 3월~현재 국민대학교  
대학원 석사과정  
<관심분야> RFID/USN, 무선  
전력전송분야

황 지 훈 (Ji-Hun Hwang)

준회원



2008년 2월 국민대학교 전자  
공학과  
2008년 3월~현재 국민대학교  
전자공학과 박사과정  
<관심분야> RFIC, MMIC,  
RFID/USN

노 형 환 (Hyoung-Hwan Roh)

정회원



2005년 2월 국민대학교 전자공  
학과  
2007년 2월 국민대학교 전자공  
학과 대학원  
2007년 3월~현재 국민대학교  
대학원 박사과정  
<관심분야> RFID, MMIC,  
RFID/USN

오 종 화 (Jong Hwa Oh)

준회원



2007년 2월 국민대학교 전자공  
학과  
2009년 3월~현재 국민대학교  
대학원 석사과정  
<관심분야> RFID/USN, 무선  
전력전송분야, 전력증폭기

성 영 락 (Yeong-Rak Seong)

정회원



1989년 2월 한양대학교 전자  
공학과  
1991년 2월 한국 과학기술원  
전기 및 전자공학과 석사  
1995년 2월 한국과학기술원 전  
기 및 전자공학과 박사  
현재 국민대학교 전자정보 통  
신공학부 교수

김 현 응 (Hyun-Woong Kim)

준회원



2007년 2월 국민대학교 전자공  
학과  
2009년 3월~현재 국민대학교  
대학원 석사과정  
<관심분야> RFIC, MMIC,  
RFID / USN

<관심분야> RFID, 실시간 처리, 이산사건 시스템  
모델링 및 시뮬레이션

오 하 령 (Ha-Ryoung Oh)

정회원



1983년 서울대학교 전기 공  
학과

1988년 한국 과학기술원 전기  
및 전자공학과 석사

1992년 한국 과학기술원 전기  
및 전자공학과 박사

현재 국민대학교 전자정보 통  
신공학부 교수

<관심분야> RFID/USN, Embedded System, 실시간  
처리, ASIC 설계

박 준 석 (Jun-Seok Park)

정회원



1987년 국민대학교 전자 공학  
과 석사

1993년 국민대학교 전자 공학  
과 석사

1996년 국민대학교 전자 공학  
과 박사

1997년~1998년 Dept. of EE,  
UC-LA(PostDoctoralFellow)

현재 국민대학교 전자정보 통신공학부 부교수

<관심분야> Mobile RFIC, RFID Active Tag,  
Wireless LAN